

### 前言

本参考手册面向应用开发人员，提供有关使用 SPC1185 微控制器存储器与外设的完整信息。

有关 SPC1185 器件的机械与电气特性，请参见该器件的数据手册。

有关带 FPU 的 ARM® Cortex-M4F 内核的信息，请参见相应的 ARM®技术参考手册。

# 目录

|          |                            |           |
|----------|----------------------------|-----------|
| <b>1</b> | <b>存储器和总线架构 .....</b>      | <b>48</b> |
| 1.1      | 系统架构 .....                 | 48        |
| 1.2      | 存储空间地址映射 .....             | 49        |
| 1.2.1    | 引导 ROM .....               | 51        |
| 1.2.2    | 片上 RAM .....               | 52        |
| 1.2.3    | 封装内 Flash 存储器 .....        | 53        |
| 1.3      | 启动引导配置 .....               | 53        |
| <b>2</b> | <b>电源 .....</b>            | <b>54</b> |
| 2.1      | 单电源供电 .....                | 54        |
| 2.2      | 过压/欠压检测 (BOD) .....        | 55        |
| 2.3      | 低功耗模式 .....                | 58        |
| 2.4      | 寄存器 .....                  | 59        |
| 2.4.1    | POWER 寄存器列表 .....          | 59        |
| 2.4.2    | POWER 寄存器 .....            | 60        |
| <b>3</b> | <b>时钟和复位 .....</b>         | <b>66</b> |
| 3.1      | 复位架构 .....                 | 66        |
| 3.2      | 引脚复位 .....                 | 66        |
| 3.3      | 上电复位 .....                 | 66        |
| 3.4      | 时钟架构 .....                 | 67        |
| 3.5      | 高频振荡器 .....                | 68        |
| 3.6      | 内部晶振和外部时钟 .....            | 68        |
| 3.7      | PLL .....                  | 69        |
| 3.7.1    | 输入参考和分频 .....              | 70        |
| 3.7.2    | 输出分频 .....                 | 70        |
| 3.7.3    | 环路分频 .....                 | 71        |
| 3.7.4    | PLL 失锁检测 .....             | 71        |
| 3.8      | 时钟安全 .....                 | 71        |
| 3.9      | 寄存器 .....                  | 72        |
| 3.9.1    | CLOCK 寄存器列表 .....          | 72        |
| 3.9.2    | CLOCK 寄存器 .....            | 74        |
| <b>4</b> | <b>通用输入输出 (GPIO) .....</b> | <b>94</b> |
| 4.1      | 概述 .....                   | 94        |
| 4.2      | 引脚复用 (PINMUX) .....        | 94        |

|          |                            |            |
|----------|----------------------------|------------|
| 4.2.1    | 消抖控制 (Deglitch) .....      | 95         |
| 4.2.2    | I/O 可选功能 .....             | 96         |
| 4.2.3    | 环回路径 (Loopback) .....      | 97         |
| 4.2.4    | 调试模式 .....                 | 98         |
| 4.3      | GPIO 控制模块 .....            | 98         |
| 4.3.1    | 方向和电平控制 .....              | 98         |
| 4.3.2    | 边沿触发的中断 .....              | 99         |
| 4.3.3    | 电平触发的中断 .....              | 101        |
| 4.4      | 寄存器 .....                  | 103        |
| 4.4.1    | PINMUX 寄存器列表 .....         | 103        |
| 4.4.2    | PINMUX 寄存器 .....           | 105        |
| 4.4.3    | GPIO 寄存器列表 .....           | 159        |
| 4.4.4    | GPIO 寄存器 .....             | 160        |
| <b>5</b> | <b>中断和事件 .....</b>         | <b>181</b> |
| 5.1      | 嵌套向量中断控制器 (NVIC) .....     | 181        |
| 5.1.1    | NVIC 特性 .....              | 181        |
| 5.1.2    | 中断和异常向量 .....              | 181        |
| 5.1.3    | NVIC 中断配置 .....            | 185        |
| 5.2      | 不可屏蔽中断 (NMI) .....         | 185        |
| 5.3      | SysTick 定时器 .....          | 186        |
| 5.4      | 外设多中断源的管理 .....            | 186        |
| <b>6</b> | <b>通用定时器 (TIMER) .....</b> | <b>189</b> |
| 6.1      | 概述 .....                   | 189        |
| 6.2      | 功能描述 .....                 | 189        |
| 6.2.1    | 通用计时模式 .....               | 190        |
| 6.2.2    | 门控定时模式 .....               | 190        |
| 6.2.3    | 事件计数模式 .....               | 190        |
| 6.2.4    | 事件捕获模式 .....               | 191        |
| 6.3      | 初始化流程 .....                | 191        |
| 6.4      | 寄存器 .....                  | 192        |
| 6.4.1    | TIMER 寄存器列表 .....          | 192        |
| 6.4.2    | TIMER 寄存器 .....            | 193        |
| <b>7</b> | <b>看门狗定时器 (WDT) .....</b>  | <b>198</b> |
| 7.1      | 概述 .....                   | 198        |
| 7.2      | 功能描述 .....                 | 198        |
| 7.3      | 初始化流程 .....                | 199        |

|          |                             |            |
|----------|-----------------------------|------------|
| 7.4      | 寄存器 .....                   | 200        |
| 7.4.1    | WDT 寄存器列表 .....             | 200        |
| 7.4.2    | WDT 寄存器 .....               | 201        |
| <b>8</b> | <b>通用异步收发器 (UART) .....</b> | <b>207</b> |
| 8.1      | 概述 .....                    | 207        |
| 8.2      | UART 端口信号 .....             | 208        |
| 8.2.1    | UART 设备连接 .....             | 208        |
| 8.2.2    | LIN 设备连接 .....              | 209        |
| 8.3      | UART 操作 .....               | 209        |
| 8.3.1    | 复位 .....                    | 210        |
| 8.3.2    | FIFO 操作 .....               | 210        |
| 8.3.3    | 接收超时和删除尾字节 .....            | 211        |
| 8.3.4    | 波特率配置 .....                 | 211        |
| 8.3.5    | 自动波特率检测 .....               | 211        |
| 8.3.6    | 串行红外异步接口 .....              | 212        |
| 8.4      | LIN 操作 .....                | 212        |
| 8.4.1    | LIN 协议 .....                | 213        |
| 8.4.2    | 帧的结构 .....                  | 213        |
| 8.4.3    | 同步间隔段 .....                 | 214        |
| 8.4.4    | 同步段 .....                   | 214        |
| 8.4.5    | 受保护 ID 段 .....              | 214        |
| 8.4.6    | 数据段 .....                   | 215        |
| 8.4.7    | 校验和段 .....                  | 215        |
| 8.4.8    | 帧传输时间 .....                 | 215        |
| 8.5      | 中断 .....                    | 216        |
| 8.6      | 寄存器 .....                   | 217        |
| 8.6.1    | UART 寄存器列表 .....            | 217        |
| 8.6.2    | UART 寄存器 .....              | 218        |
| <b>9</b> | <b>串行外设接口 (SPI) .....</b>   | <b>241</b> |
| 9.1      | 概述 .....                    | 241        |
| 9.2      | SPI 端口信号 .....              | 242        |
| 9.2.1    | 四线连接方式 .....                | 242        |
| 9.2.2    | 三线连接方式 .....                | 243        |
| 9.3      | Motorola SPI 操作 .....       | 244        |
| 9.3.1    | 帧格式 .....                   | 244        |
| 9.3.2    | 背靠背传输 .....                 | 244        |
| 9.3.3    | 片选信号维持有效 .....              | 245        |



|           |                             |            |
|-----------|-----------------------------|------------|
| 9.3.4     | FIFO 中断和 DMA 接口 .....       | 245        |
| 9.3.5     | 接收超时和尾字节处理 .....            | 246        |
| 9.3.6     | 传输速率和时钟配置 .....             | 246        |
| 9.4       | TI SSP 操作 .....             | 246        |
| 9.5       | 各种场景的配置和使用方法 .....          | 247        |
| 9.6       | 寄存器 .....                   | 249        |
| 9.6.1     | SPI 寄存器列表 .....             | 249        |
| 9.6.2     | SPI 寄存器 .....               | 250        |
| <b>10</b> | <b>四线串行外设接口（QSPI） .....</b> | <b>265</b> |
| 10.1      | 概述 .....                    | 265        |
| 10.2      | QSPI 端口信号 .....             | 266        |
| 10.3      | QSPI 工作模式 .....             | 266        |
| 10.3.1    | 单线模式 .....                  | 266        |
| 10.3.2    | 双线输出模式 .....                | 267        |
| 10.3.3    | 双线 I/O 模式 .....             | 268        |
| 10.3.4    | 四线输出模式 .....                | 268        |
| 10.3.5    | 四线 I/O 模式 .....             | 269        |
| 10.3.6    | FIFO 访问和 DMA 接口 .....       | 269        |
| 10.3.7    | 操作流程 .....                  | 270        |
| 10.4      | Flash 就地执行 .....            | 271        |
| 10.5      | 寄存器 .....                   | 272        |
| 10.5.1    | QSPI 寄存器列表 .....            | 272        |
| 10.5.2    | QSPI 寄存器 .....              | 273        |
| <b>11</b> | <b>内部集成电路总线（I2C） .....</b>  | <b>290</b> |
| 11.1      | 概述 .....                    | 290        |
| 11.2      | I2C 端口信号 .....              | 291        |
| 11.3      | I2C 协议 .....                | 291        |
| 11.3.1    | 字节格式 .....                  | 291        |
| 11.3.2    | 开始信号与停止信号 .....             | 291        |
| 11.3.3    | 地址模式 .....                  | 292        |
| 11.3.4    | 应答与非应答 .....                | 292        |
| 11.4      | I2C 时序参数 .....              | 293        |
| 11.4.1    | 电平时间配置 .....                | 293        |
| 11.4.2    | 滤波配置 .....                  | 293        |
| 11.4.3    | 数据保持时间配置 .....              | 293        |
| 11.4.4    | 数据建立时间配置 .....              | 294        |
| 11.5      | I2C 主机模式 .....              | 294        |

|           |                             |            |
|-----------|-----------------------------|------------|
| 11.5.1    | 主机发送数据 .....                | 294        |
| 11.5.2    | 主机接收数据 .....                | 294        |
| 11.5.3    | 主机组合传输 .....                | 295        |
| 11.6      | I2C 从机模式 .....              | 295        |
| 11.6.1    | 地址匹配 .....                  | 295        |
| 11.6.2    | 从机发送数据 .....                | 295        |
| 11.6.3    | 从机接收数据 .....                | 296        |
| 11.6.4    | 从机时钟拉伸 .....                | 296        |
| 11.7      | I2C 发送中止 .....              | 296        |
| 11.8      | 总线阻塞检测 .....                | 296        |
| 11.9      | 寄存器 .....                   | 297        |
| 11.9.1    | I2C 寄存器列表 .....             | 297        |
| 11.9.2    | I2C 寄存器 .....               | 298        |
| <b>12</b> | <b>控制器局域网络 (CAN) .....</b>  | <b>325</b> |
| 12.1      | 概述 .....                    | 325        |
| 12.2      | CAN 端口信号 .....              | 326        |
| 12.3      | CAN 帧格式 .....               | 327        |
| 12.3.1    | ISO 经典 CAN .....            | 327        |
| 12.3.2    | ISO FDCAN .....             | 327        |
| 12.3.3    | BOSCH CAN2.0B .....         | 327        |
| 12.3.4    | NONISO FDCAN .....          | 328        |
| 12.3.5    | 仲裁阶段和数据阶段 .....             | 328        |
| 12.4      | CAN 错误状态 .....              | 329        |
| 12.4.1    | 错误记录 .....                  | 329        |
| 12.4.2    | 主动错误状态 .....                | 329        |
| 12.4.3    | 被动错误状态 .....                | 329        |
| 12.4.4    | 总线关闭恢复 .....                | 329        |
| 12.5      | CAN 操作 .....                | 330        |
| 12.5.1    | 速率配置 .....                  | 330        |
| 12.5.2    | 监控模式 .....                  | 331        |
| 12.5.3    | 限制模式 .....                  | 331        |
| 12.5.4    | 测试模式 .....                  | 331        |
| 12.6      | 信箱控制 .....                  | 333        |
| 12.6.1    | 信箱信息 .....                  | 333        |
| 12.6.2    | 非自动应答远程帧时的报文发送 .....        | 334        |
| 12.6.3    | 自动应答远程帧时的报文发送 .....         | 334        |
| 12.6.4    | 未对其他节点发出远程帧数据请求时的报文接收 ..... | 335        |

|           |                            |            |
|-----------|----------------------------|------------|
| 12.6.5    | 对其他节点发出远程帧数据请求时的报文接收 ..... | 335        |
| 12.7      | 寄存器 .....                  | 336        |
| 12.7.1    | CAN 寄存器列表 .....            | 336        |
| 12.7.2    | CAN 寄存器 .....              | 337        |
| 12.7.3    | CANMBOX 寄存器列表 .....        | 362        |
| 12.7.4    | CANMBOX 寄存器 .....          | 363        |
| <b>13</b> | <b>模数转换器（ADC） .....</b>    | <b>368</b> |
| 13.1      | 概述 .....                   | 368        |
| 13.2      | ADC 架构 .....               | 369        |
| 13.3      | 基于控制通道的工作原理 .....          | 369        |
| 13.3.1    | SOC 触发源 .....              | 370        |
| 13.3.2    | 输入选择 .....                 | 371        |
| 13.3.3    | 采样和转换窗口 .....              | 371        |
| 13.3.4    | 结果平均 .....                 | 372        |
| 13.3.5    | 偏移和增益校准 .....              | 372        |
| 13.3.6    | 时序图 .....                  | 372        |
| 13.4      | ADC 转换优先级 .....            | 373        |
| 13.5      | EOC 及中断 .....              | 375        |
| 13.6      | 后处理单元 .....                | 375        |
| 13.6.1    | 参数比较 .....                 | 376        |
| 13.6.2    | 窗口比较和过零检测 .....            | 376        |
| 13.6.3    | 采样延迟的测量 .....              | 376        |
| 13.7      | 预期码值的计算 .....              | 376        |
| 13.8      | 安全特性 .....                 | 377        |
| 13.8.1    | 输入浮空检测 .....               | 377        |
| 13.8.2    | 输入短路检测 .....               | 378        |
| 13.9      | DMA 接口 .....               | 380        |
| 13.10     | 寄存器 .....                  | 381        |
| 13.10.1   | ADC 寄存器列表 .....            | 381        |
| 13.10.2   | ADC 寄存器 .....              | 383        |
| <b>14</b> | <b>可编程增益放大器（PGA） .....</b> | <b>414</b> |
| 14.1      | 概述 .....                   | 414        |
| 14.2      | 输入通道选择 .....               | 415        |
| 14.3      | 模式和增益 .....                | 415        |
| 14.4      | PGA 单端模式在电流采样中的应用 .....    | 416        |
| 14.5      | PGA 差分模式在电流采样中的应用 .....    | 418        |
| 14.6      | 偏移误差校准 .....               | 419        |

|           |                           |            |
|-----------|---------------------------|------------|
| 14.7      | 上电顺序 .....                | 419        |
| 14.8      | 寄存器 .....                 | 420        |
| 14.8.1    | PGA 寄存器列表 .....           | 420        |
| 14.8.2    | PGA 寄存器 .....             | 421        |
| <b>15</b> | <b>温度传感器 .....</b>        | <b>425</b> |
| 15.1      | 概述 .....                  | 425        |
| 15.2      | 传递函数 .....                | 425        |
| 15.3      | 上电顺序 .....                | 425        |
| 15.4      | 精度提升 .....                | 425        |
| 15.5      | 寄存器 .....                 | 426        |
| <b>16</b> | <b>模拟比较器 (COMP) .....</b> | <b>427</b> |
| 16.1      | 概述 .....                  | 427        |
| 16.2      | 比较器架构 .....               | 427        |
| 16.3      | 比较器原理 .....               | 428        |
| 16.4      | 比较器输入选择 .....             | 429        |
| 16.5      | 数字滤波器 .....               | 430        |
| 16.6      | 数模转换器 (DAC) .....         | 431        |
| 16.7      | 上电顺序 .....                | 433        |
| 16.8      | 寄存器 .....                 | 434        |
| 16.8.1    | COMP 寄存器列表 .....          | 434        |
| 16.8.2    | COMP 寄存器 .....            | 436        |
| <b>17</b> | <b>脉宽调制模块 (PWM) .....</b> | <b>505</b> |
| 17.1      | 概述 .....                  | 505        |
| 17.2      | 时基产生 (TB) 子模块 .....       | 507        |
| 17.3      | 计数比较 (CC) 子模块 .....       | 511        |
| 17.4      | 行为限定 (AQ) 子模块 .....       | 512        |
| 17.5      | 死区控制 (DB) 子模块 .....       | 515        |
| 17.6      | 信号封锁 (TZ) 子模块 .....       | 517        |
| 17.7      | 数字比较 (DC) 子模块 .....       | 520        |
| 17.8      | 事件触发 (ET) 子模块 .....       | 523        |
| 17.9      | 寄存器的全局重置 .....            | 524        |
| 17.10     | 寄存器同时写入 .....             | 524        |
| 17.11     | 寄存器 .....                 | 525        |
| 17.11.1   | PWM 寄存器列表 .....           | 525        |
| 17.11.2   | PWM 寄存器 .....             | 527        |
| 17.11.3   | PWMCFG 寄存器列表 .....        | 618        |

|           |                                 |            |
|-----------|---------------------------------|------------|
| 17.11.4   | PWMCFG 寄存器 .....                | 619        |
| <b>18</b> | <b>增强型捕获模块 (ECAP) .....</b>     | <b>640</b> |
| 18.1      | 概述 .....                        | 640        |
| 18.2      | 功能描述 .....                      | 640        |
| 18.3      | 捕获模式和辅助 PWM 模式.....             | 641        |
| 18.4      | 捕获模式详述 .....                    | 641        |
| 18.4.1    | 事件预分频 .....                     | 642        |
| 18.4.2    | 边沿选择和排序编号 .....                 | 642        |
| 18.4.3    | 双引脚捕获 .....                     | 642        |
| 18.4.4    | 单轮捕获和持续捕获控制 .....               | 643        |
| 18.4.5    | 32 位计数器和相位控制 .....              | 643        |
| 18.4.6    | CAP0-CAP3 寄存器 .....             | 643        |
| 18.4.7    | 中断控制 .....                      | 644        |
| 18.5      | APWM 模式详述 .....                 | 645        |
| 18.6      | ECAP 的应用 .....                  | 647        |
| 18.6.1    | 上升沿触发的绝对时间戳捕获 .....             | 647        |
| 18.6.2    | 由绝对时间戳捕获周期和占空 .....             | 648        |
| 18.6.3    | 通过计数器复位捕获相对时间差 .....            | 649        |
| 18.6.4    | 相对事件模式捕获周期和占空 .....             | 650        |
| 18.6.5    | 基于计数器复位的双引脚捕获 .....             | 651        |
| 18.7      | 寄存器 .....                       | 652        |
| 18.7.1    | ECAP 寄存器列表.....                 | 652        |
| 18.7.2    | ECAP 寄存器 .....                  | 653        |
| <b>19</b> | <b>增强型正交编码脉冲模块 (EQEP) .....</b> | <b>671</b> |
| 19.1      | 概述 .....                        | 671        |
| 19.2      | EQEP 端口信号.....                  | 672        |
| 19.3      | 输入消抖滤波和极性选择.....                | 672        |
| 19.4      | 解码单元 .....                      | 673        |
| 19.4.1    | 正交计数 .....                      | 674        |
| 19.4.2    | 双向计数 .....                      | 675        |
| 19.4.3    | 单向计数 .....                      | 675        |
| 19.4.4    | 顺逆时针计数 .....                    | 675        |
| 19.5      | 位置计数和控制单元.....                  | 676        |
| 19.5.1    | 位置计数复位 .....                    | 676        |
| 19.5.2    | 位置计数锁存 .....                    | 678        |
| 19.5.3    | 位置计数加载 .....                    | 679        |
| 19.5.4    | 位置比较 .....                      | 679        |

|           |                                |            |
|-----------|--------------------------------|------------|
| 19.6      | 单位定时器 .....                    | 680        |
| 19.7      | 捕获模块 .....                     | 681        |
| 19.7.1    | 捕获事件分频 .....                   | 681        |
| 19.7.2    | 捕获时钟分频 .....                   | 681        |
| 19.7.3    | 捕获定时和计时锁存 .....                | 681        |
| 19.8      | 看门狗定时器 .....                   | 682        |
| 19.9      | 寄存器 .....                      | 683        |
| 19.9.1    | EQEP 寄存器列表 .....               | 683        |
| 19.9.2    | EQEP 寄存器 .....                 | 684        |
| <b>20</b> | <b>循环冗余校验 (CRC) .....</b>      | <b>713</b> |
| 20.1      | 概述 .....                       | 713        |
| 20.2      | CRC 工作流程 .....                 | 714        |
| 20.3      | 寄存器 .....                      | 715        |
| 20.3.1    | CRC 寄存器列表 .....                | 715        |
| 20.3.2    | CRC 寄存器 .....                  | 716        |
| <b>21</b> | <b>高级加密标准 (AES) 模块 .....</b>   | <b>723</b> |
| 21.1      | 概述 .....                       | 723        |
| 21.2      | 功能描述 .....                     | 723        |
| 21.2.1    | AES 工作流程 .....                 | 723        |
| 21.2.2    | AES 配置 .....                   | 724        |
| 21.2.3    | 数据访问 .....                     | 725        |
| 21.2.4    | 启动 AES 模块 .....                | 725        |
| 21.2.5    | 中断请求 .....                     | 725        |
| 21.2.6    | 不完整数据的支持 .....                 | 725        |
| 21.2.7    | 错误状态检查 .....                   | 726        |
| 21.2.8    | 输出向量 .....                     | 726        |
| 21.3      | 寄存器 .....                      | 727        |
| 21.3.1    | AES 寄存器列表 .....                | 727        |
| 21.3.2    | AES 寄存器 .....                  | 728        |
| <b>22</b> | <b>直接存储器访问控制器 (DMAC) .....</b> | <b>745</b> |
| 22.1      | 概述 .....                       | 745        |
| 22.2      | DMA 工作过程 .....                 | 746        |
| 22.2.1    | 基本定义 .....                     | 746        |
| 22.2.2    | 硬件握手接口 .....                   | 746        |
| 22.2.3    | 内存到内存传输 .....                  | 747        |
| 22.2.4    | 内存到外设和外设到内存传输 .....            | 748        |

|           |                            |            |
|-----------|----------------------------|------------|
| 22.2.5    | 外设到外设的传输 .....             | 749        |
| 22.3      | AHB 传输错误处理 .....           | 750        |
| 22.4      | 中断处理 .....                 | 751        |
| 22.5      | 寄存器 .....                  | 752        |
| 22.5.1    | DMACH 寄存器列表 .....          | 752        |
| 22.5.2    | DMACH 寄存器 .....            | 753        |
| 22.5.3    | DMAC 寄存器列表 .....           | 759        |
| 22.5.4    | DMAC 寄存器 .....             | 760        |
| <b>23</b> | <b>Flash 存储器 .....</b>     | <b>801</b> |
| 23.1      | 概述 .....                   | 801        |
| 23.2      | 配置字 .....                  | 802        |
| 23.3      | 端口信号 .....                 | 802        |
| 23.4      | 命令描述 .....                 | 803        |
| <b>24</b> | <b>系统控制 (SYSTEM) .....</b> | <b>804</b> |
| 24.1      | 概述 .....                   | 804        |
| 24.2      | 64 位产品识别号 .....            | 804        |
| 24.3      | 64 位唯一设备识别号 .....          | 805        |
| 24.4      | 用于低功耗模式唤醒的 I/O 引脚配置 .....  | 805        |
| 24.5      | 不可屏蔽中断控制 .....             | 805        |
| 24.6      | 复位事件控制 .....               | 805        |
| 24.7      | 系统配置信息 .....               | 805        |
| 24.8      | 存储器 ECC 错误地址 .....         | 805        |
| 24.9      | 调试接口控制 .....               | 805        |
| 24.10     | 系统引导信息 .....               | 806        |
| 24.11     | DMA 硬件握手配置 .....           | 806        |
| 24.12     | 仅在上电复位的寄存器 .....           | 806        |
| 24.13     | 寄存器 .....                  | 807        |
| 24.13.1   | SYSTEM 寄存器列表 .....         | 807        |
| 24.13.2   | SYSTEM 寄存器 .....           | 808        |

## 图片列表

|                                                    |     |
|----------------------------------------------------|-----|
| 图 1-1: SPC1185 系统框图 .....                          | 48  |
| 图 1-2: SPC1185 存储空间地址映射 .....                      | 49  |
| 图 1-3: ROM 存储空间划分 .....                            | 51  |
| 图 2-1: 电源系统总览 .....                                | 54  |
| 图 2-2: 3.3V/1.2V 额定电压域检测电路框图 .....                 | 55  |
| 图 2-3: 3.3V 额定电压域检测 .....                          | 56  |
| 图 2-4: 1.2V 额定电压域检测 .....                          | 57  |
| 图 3-1: SPC1185 复位架构 .....                          | 66  |
| 图 3-2: 上电复位时序图 .....                               | 67  |
| 图 3-3: SPC1185 时钟树 .....                           | 67  |
| 图 3-4: 内部晶振模式 .....                                | 68  |
| 图 3-5: 外部时钟模式 .....                                | 69  |
| 图 3-6: PLL 结构 .....                                | 69  |
| 图 3-7: PLL 失锁检测时序图示例 ( $f_{PFD} > f_{DIV}$ ) ..... | 71  |
| 图 3-8: 时钟交叉检测 .....                                | 71  |
| 图 4-1: I/O 控制框图 .....                              | 94  |
| 图 4-2: PINMUX 框图 .....                             | 95  |
| 图 4-3: 输入消抖 .....                                  | 95  |
| 图 4-4: GPIO 框图 .....                               | 98  |
| 图 4-5: GPIO 边沿检测 .....                             | 99  |
| 图 4-6: GPIO 边沿触发的中断 .....                          | 100 |
| 图 4-7: GPIO 电平检测 .....                             | 101 |
| 图 4-8: GPIO 电平触发的中断 .....                          | 102 |
| 图 5-1: 外设中断相关的寄存器 .....                            | 186 |
| 图 5-2: 外设多事件中断示例 .....                             | 187 |
| 图 6-1: 通用定时器框图 .....                               | 189 |
| 图 6-2: 通用定时器在通用定时模式下的波形 (TMRLOAD=100) .....        | 190 |
| 图 6-3: 通用定时器在门控定时模式下的波形 (TMRLOAD=100) .....        | 190 |
| 图 6-4: 通用定时器在事件计数模式下的波形 (TMRLOAD=100) .....        | 190 |
| 图 6-5: 通用定时器在事件捕获模式下的波形 (TMRLOAD=100) .....        | 191 |
| 图 6-6: 通用定时器运行流程图 .....                            | 191 |
| 图 7-1: 看门狗工作流程 .....                               | 198 |
| 图 8-1: UART 框图 .....                               | 207 |
| 图 8-2: UART 设备连接图 .....                            | 208 |
| 图 8-3: LIN 设备连接图 .....                             | 209 |
| 图 8-4: UART 帧格式 .....                              | 209 |
| 图 8-5: UART 数据 NRZ 编码 .....                        | 210 |
| 图 8-6: 自动波特率检测 .....                               | 211 |
| 图 8-7: 红外发送和接收 .....                               | 212 |
| 图 8-8: LIN 总线拓扑图 .....                             | 213 |
| 图 8-9: 帧在 LIN 总线上的传输 .....                         | 213 |
| 图 8-10: LIIN 帧的结构 .....                            | 213 |



|                                  |     |
|----------------------------------|-----|
| 图 8-11: LIIN 同步间隔段 .....         | 214 |
| 图 8-12: LIIN 同步段 .....           | 214 |
| 图 8-13: LIIN 受保护 ID 段 .....      | 214 |
| 图 9-1: SPI 框图 .....              | 241 |
| 图 9-2: SPI 端口四线连接方式 .....        | 242 |
| 图 9-3: SPI 端口四线侦听模式连接方式 .....    | 243 |
| 图 9-4: SPI 端口三线连接方式 .....        | 243 |
| 图 9-5: SPI 帧格式和时序图 .....         | 244 |
| 图 9-6: SPI 帧背靠背传输 .....          | 245 |
| 图 9-7: SPI 维持片选信号有效 .....        | 245 |
| 图 9-8: SSP 帧传格式和时序图 .....        | 246 |
| 图 9-9: SSP 帧背靠背传输 .....          | 247 |
| 图 10-1: QSPI 框图 .....            | 265 |
| 图 10-2: QSPI 单线模式波形 .....        | 267 |
| 图 10-3: QSPI 双线输出模式波形 .....      | 267 |
| 图 10-4: QSPI 双线 I/O 模式波形 .....   | 268 |
| 图 10-5: QSPI 四线输出模式波形 .....      | 268 |
| 图 10-6: QSPI 四线 I/O 模式波形 .....   | 269 |
| 图 11-1: I2C 总线连接 .....           | 290 |
| 图 11-2: I2C 协议基本格式 .....         | 291 |
| 图 11-3: 开始与结束信号 .....            | 291 |
| 图 11-4: 7 位地址格式 .....            | 292 |
| 图 11-5: 10 位地址格式 .....           | 292 |
| 图 11-6: SDA 数据保持时间 .....         | 293 |
| 图 11-7: SDA 数据建立时间 .....         | 294 |
| 图 11-8: I2C 总线阻塞 .....           | 296 |
| 图 12-1: CAN 框图 .....             | 325 |
| 图 12-2: CAN 设备连接 .....           | 327 |
| 图 12-3: ISO 经典 CAN 帧格式 .....     | 327 |
| 图 12-4: ISO FDCAN 帧格式 .....      | 327 |
| 图 12-5: BOSCH CAN2.0B 帧格式 .....  | 328 |
| 图 12-6: NONISO FDCAN 帧格式 .....   | 328 |
| 图 12-7: CAN 帧的仲裁阶段和数据阶段 .....    | 328 |
| 图 12-8: CAN 节点错误状态转换 .....       | 329 |
| 图 12-9: CAN 位时序 .....            | 330 |
| 图 12-10: CAN 发送器延时补偿 .....       | 331 |
| 图 12-11: CAN 监控模式 .....          | 331 |
| 图 12-12: CAN 内部环回模式 .....        | 332 |
| 图 12-13: CAN 外部环回模式 .....        | 332 |
| 图 13-1: ADC 框图 .....             | 369 |
| 图 13-2: ADC 通道 SOC 产生 .....      | 370 |
| 图 13-3: 模拟输入引脚模型 .....           | 371 |
| 图 13-4: ADC 结果平均及偏移和增益校准 .....   | 372 |
| 图 13-5: ADC 时序示例 .....           | 372 |
| 图 13-6: ADC SOC 轮询仲裁示例 .....     | 373 |
| 图 13-7: ADC 带优先组的 SOC 仲裁示例 ..... | 374 |

|                                           |     |
|-------------------------------------------|-----|
| 图 13-8: ADC 中断 .....                      | 375 |
| 图 13-9: ADC 后处理单元框图 .....                 | 375 |
| 图 13-10: 输入引脚悬空的检测 (通过节点放电的故障注入) .....    | 377 |
| 图 13-11: 输入引脚悬空的检测 (通过节点充电的故障注入) .....    | 377 |
| 图 14-1: PGA 框图 .....                      | 414 |
| 图 14-2: 单端模式下电流采样示意图 .....                | 417 |
| 图 14-3: 单端模式下 PGA0 对 ANA_IN6 的放大 .....    | 417 |
| 图 14-4: 差分模式下电流采样示意图 .....                | 418 |
| 图 14-5: 差分模式下电流采样示意图 (使用内部 DAC) .....     | 418 |
| 图 16-1: 比较器框图 .....                       | 427 |
| 图 16-2: 比较器工作原理 .....                     | 428 |
| 图 16-3: 开启迟滞功能的比较器波形 .....                | 428 |
| 图 16-4: 数字滤波器 .....                       | 430 |
| 图 16-5: DAC 框图 .....                      | 431 |
| 图 16-6: DAC 斜坡发生器框图 .....                 | 432 |
| 图 16-7: DAC 斜坡发生器波形示例 .....               | 433 |
| 图 17-1: PWM 系统总览 .....                    | 505 |
| 图 17-2: PWM 内部结构 .....                    | 506 |
| 图 17-3: PWM 时基产生子模块信号链 .....              | 507 |
| 图 17-4: 时基计数波形 .....                      | 508 |
| 图 17-5: 时基相位同步波形 .....                    | 510 |
| 图 17-6: 计数比较子模块结构 .....                   | 511 |
| 图 17-7: 计数比较子模块波形 .....                   | 512 |
| 图 17-8: 行为限定子模块输入输出 .....                 | 512 |
| 图 17-9: 上下计数时的 PWM 双边沿对称波形 .....          | 514 |
| 图 17-10: 上下计数时的 PWM 双边沿非对称波形 .....        | 514 |
| 图 17-11: 死区控制子模块结构 .....                  | 515 |
| 图 17-12: 死区控制典型波形 .....                   | 516 |
| 图 17-13: 双边沿延迟死区控制波形 .....                | 516 |
| 图 17-14: 信号封锁子模块结构 .....                  | 517 |
| 图 17-15: 信号封锁中断产生 .....                   | 518 |
| 图 17-16: 数字比较子模块结构 .....                  | 521 |
| 图 17-17: 事件过滤逻辑 .....                     | 521 |
| 图 17-18: 消隐窗口时序图 .....                    | 522 |
| 图 17-19: 事件处理 .....                       | 522 |
| 图 17-20: 事件触发子模块结构 .....                  | 523 |
| 图 17-21: 影子寄存器全局读入 .....                  | 524 |
| 图 18-1: ECAP 基本工作方式 .....                 | 640 |
| 图 18-2: 捕获模式和 APWM 模式 .....               | 641 |
| 图 18-3: 捕获模式功能框图 .....                    | 641 |
| 图 18-4: 事件预分频控制 .....                     | 642 |
| 图 18-5: 事件预分频波形 .....                     | 642 |
| 图 18-6: 单轮捕获和持续捕获逻辑 .....                 | 643 |
| 图 18-7: 计数器及同步逻辑 .....                    | 643 |
| 图 18-8: ECAP 模块中断 .....                   | 644 |
| 图 18-9: APWM 模式下 PRD 和 CMD 的有效值和影子值 ..... | 645 |

|                                    |     |
|------------------------------------|-----|
| 图 18-10: APWM 模式波形（极性为高电平有效） ..... | 646 |
| 图 18-11: 上升沿检测和绝对时间戳捕获 .....       | 647 |
| 图 18-12: 通过绝对事件戳捕获计算周期和占空 .....    | 648 |
| 图 18-13: 通过计数器复位捕获周期 .....         | 649 |
| 图 18-14: 通过计数器复位捕获周期和占空 .....      | 650 |
| 图 18-15: 基于计数器复位的双引脚捕获 .....       | 651 |
| 图 19-1: 光学增量式编码器的码盘和输出信号波形 .....   | 671 |
| 图 19-2: EQEP 框图.....               | 671 |
| 图 19-3: EQEP 输入消抖滤波.....           | 672 |
| 图 19-4: EQEP 解码单元.....             | 673 |
| 图 19-5: EQEP 正交解码状态机.....          | 674 |
| 图 19-6: EQEP 正交计数示例.....           | 674 |
| 图 19-7: EQEP 双向计数示例.....           | 675 |
| 图 19-8: EQEP 顺逆时针计数示例.....         | 675 |
| 图 19-9: EQEP 第一个过零标记复位示例.....      | 676 |
| 图 19-10: EQEP 过零标记复位示例.....        | 677 |
| 图 19-11: 过零标记锁存的示例 .....           | 678 |
| 图 19-12: QS 双边沿锁存的示例.....          | 679 |
| 图 19-13: EQEP 位置比较框图.....          | 680 |
| 图 19-14: EQEP SYNCO 波形产生示例 .....   | 680 |
| 图 19-15: 单位定时器 .....               | 680 |
| 图 19-16: EQEP 捕获框图.....            | 681 |
| 图 19-17: EQEP 捕获定时和计时锁存波形示例.....   | 681 |
| 图 19-18: EQEP 看门狗定时器框图.....        | 682 |
| 图 20-1: CRC 框图.....                | 713 |
| 图 22-1: DMA 控制器框图 .....            | 745 |
| 图 22-2: DMA 内存传输的分解 .....          | 747 |
| 图 22-3: DMA 非内存传输的分解 .....         | 748 |
| 图 22-4: DMA 控制器框图 .....            | 751 |
| 图 23-1: Flash 结构示意图.....           | 801 |

# 表格列表

|                                                |    |
|------------------------------------------------|----|
| 表 1-1: 外设模块基地址 .....                           | 50 |
| 表 1-2: 固化的函数库入口地址向量表 .....                     | 51 |
| 表 1-3: 启动模式 .....                              | 53 |
| 表 2-1: POWER 模块基地址 .....                       | 59 |
| 表 2-2: POWER 寄存器列表 .....                       | 59 |
| 表 2-3: LDO 控制寄存器 (LDOCTL) 位段定义 .....           | 60 |
| 表 2-4: LDO 控制寄存器 (LDOCTL) 位段描述 .....           | 60 |
| 表 2-5: 3.3V BOD 控制寄存器 (BOD33CTL) 位段定义 .....    | 61 |
| 表 2-6: 3.3V BOD 控制寄存器 (BOD33CTL) 位段描述 .....    | 61 |
| 表 2-7: 1.2V BOD 控制寄存器 (BOD12CTL) 位段定义 .....    | 63 |
| 表 2-8: 1.2V BOD 控制寄存器 (BOD12CTL) 位段描述 .....    | 63 |
| 表 2-9: 电源模式命令寄存器 (PWRMODECMD) 位段定义 .....       | 64 |
| 表 2-10: 电源模式命令寄存器 (PWRMODECMD) 位段描述 .....      | 64 |
| 表 2-11: 停机模式自我唤醒控制寄存器 (SELFWKUPCTL) 位段定义 ..... | 65 |
| 表 2-12: 停机模式自我唤醒控制寄存器 (SELFWKUPCTL) 位段描述 ..... | 65 |
| 表 2-13: POWER 模块写使能寄存器 (PWRREGKEY) 位段定义 .....  | 65 |
| 表 2-14: POWER 模块写使能寄存器 (PWRREGKEY) 位段描述 .....  | 65 |
| 表 3-1: 输入分频比设置 .....                           | 70 |
| 表 3-2: 输出时钟频率和分频比 .....                        | 70 |
| 表 3-3: CLOCK 模块基地址 .....                       | 72 |
| 表 3-4: CLOCK 寄存器列表 .....                       | 72 |
| 表 3-5: 时钟状态寄存器 (CLKSTS) 位段定义 .....             | 74 |
| 表 3-6: 时钟状态寄存器 (CLKSTS) 位段描述 .....             | 74 |
| 表 3-7: RCO 控制寄存器 (RCOCTL) 位段定义 .....           | 75 |
| 表 3-8: RCO 控制寄存器 (RCOCTL) 位段描述 .....           | 75 |
| 表 3-9: XO 控制寄存器 (XOCTL) 位段定义 .....             | 76 |
| 表 3-10: XO 控制寄存器 (XOCTL) 位段描述 .....            | 76 |
| 表 3-11: PLL 控制寄存器 0 (PLLCTL0) 位段定义 .....       | 78 |
| 表 3-12: PLL 控制寄存器 (PLLCTL0) 位段描述 .....         | 78 |
| 表 3-13: PLL 控制寄存器 1 (PLLCTL1) 位段定义 .....       | 79 |
| 表 3-14: PLL 控制寄存器 1 (PLLCTL1) 位段描述 .....       | 79 |
| 表 3-15: 时钟检测控制寄存器 (CLKDETCTL) 位段定义 .....       | 80 |
| 表 3-16: 时钟检测控制寄存器 (CLKDETCTL) 位段描述 .....       | 80 |
| 表 3-17: 时钟检测阈值寄存器 (CLKDETCTH) 位段定义 .....       | 81 |
| 表 3-18: 时钟检测阈值寄存器 (CLKDETCTH) 位段描述 .....       | 81 |
| 表 3-19: 时钟检测计数值寄存器 (CLKDETCNT) 位段定义 .....      | 82 |
| 表 3-20: 时钟检测计数值寄存器 (CLKDETCNT) 位段描述 .....      | 82 |
| 表 3-21: 时钟封锁事件使能寄存器 (CLKTZE) 位段定义 .....        | 82 |
| 表 3-22: 时钟封锁事件使能寄存器 (CLKTZE) 位段描述 .....        | 82 |
| 表 3-23: 系统时钟 0 控制寄存器 (SYSCLK0CTL) 位段定义 .....   | 83 |
| 表 3-24: 系统时钟 0 控制寄存器 (SYSCLK0CTL) 位段描述 .....   | 83 |
| 表 3-25: 系统时钟 1 控制寄存器 (SYSCLK1CTL) 位段定义 .....   | 84 |
| 表 3-26: 系统时钟 1 控制寄存器 (SYSCLK1CTL) 位段描述 .....   | 84 |

|                                               |     |
|-----------------------------------------------|-----|
| 表 3-27: 消抖时钟控制寄存器 (DGCLKCTL) 位段定义.....        | 84  |
| 表 3-28: 消抖时钟控制寄存器 (DGCLKCTL) 位段描述.....        | 84  |
| 表 3-29: CAN0 时钟控制寄存器 (CAN0CLKCTL) 位段定义 .....  | 85  |
| 表 3-30: CAN0 时钟控制寄存器 (CAN0CLKCTL) 位段描述 .....  | 85  |
| 表 3-31: CAN1 时钟控制寄存器 (CAN1CLKCTL) 位段定义 .....  | 85  |
| 表 3-32: CAN1 时钟控制寄存器 (CAN1CLKCTL) 位段描述 .....  | 85  |
| 表 3-33: SPI0 时钟控制寄存器 (SPI0CLKCTL) 位段定义.....   | 86  |
| 表 3-34: SPI0 时钟控制寄存器 (SPI0CLKCTL) 位段描述.....   | 86  |
| 表 3-35: SPI1 时钟控制寄存器 (SPI1CLKCTL) 位段定义.....   | 86  |
| 表 3-36: SPI1 时钟控制寄存器 (SPI1CLKCTL) 位段描述.....   | 86  |
| 表 3-37: SPI2 时钟控制寄存器 (SPI2CLKCTL) 位段定义.....   | 87  |
| 表 3-38: SPI2 时钟控制寄存器 (SPI2CLKCTL) 位段描述.....   | 87  |
| 表 3-39: I2C0 时钟控制寄存器 (I2C0CLKCTL) 位段定义 .....  | 87  |
| 表 3-40: I2C0 时钟控制寄存器 (I2C0CLKCTL) 位段描述 .....  | 87  |
| 表 3-41: I2C1 时钟控制寄存器 (I2C1CLKCTL) 位段定义 .....  | 88  |
| 表 3-42: I2C1 时钟控制寄存器 (I2C1CLKCTL) 位段描述 .....  | 88  |
| 表 3-43: I2C2 时钟控制寄存器 (I2C2CLKCTL) 位段定义 .....  | 88  |
| 表 3-44: I2C2 时钟控制寄存器 (I2C2CLKCTL) 位段描述 .....  | 88  |
| 表 3-45: WDT0 时钟控制寄存器 (WDT0CLKCTL) 位段定义.....   | 89  |
| 表 3-46: WDT0 时钟控制寄存器 (WDT0CLKCTL) 位段描述.....   | 89  |
| 表 3-47: WDT1 时钟控制寄存器 (WDT1CLKCTL) 位段定义.....   | 90  |
| 表 3-48: WDT1 时钟控制寄存器 (WDT1CLKCTL) 位段描述.....   | 90  |
| 表 3-49: 外设时钟使能寄存器 (PERICKEN) 位段定义.....        | 91  |
| 表 3-50: 外设时钟使能寄存器 (PERICKEN) 位段描述.....        | 91  |
| 表 3-51: 存储器访问周期寄存器 (MEMCYCLE) 位段定义.....       | 93  |
| 表 3-52: 存储器访问周期寄存器 (MEMCYCLE) 位段描述.....       | 93  |
| 表 3-53: CLOCK 模块写使能寄存器 (CLKREGKEY) 位段定义 ..... | 93  |
| 表 3-54: CLOCK 模块写使能寄存器 (CLKREGKEY) 位段描述 ..... | 93  |
| 表 4-1: I/O 引脚功能通道定义 .....                     | 96  |
| 表 4-2: SYNC_MONx 信号源 .....                    | 97  |
| 表 4-3: COMP_MONx 信号源 (x=0, 2, 4, 6) .....     | 97  |
| 表 4-4: 调试接口引脚功能 .....                         | 98  |
| 表 4-5: PINMUX 模块基地址.....                      | 103 |
| 表 4-6: PINMUX 寄存器列表.....                      | 103 |
| 表 4-7: GPIO1 引脚控制寄存器 (GPIO1) 位段定义.....        | 105 |
| 表 4-8: GPIO1 引脚控制寄存器 (GPIO1) 位段描述.....        | 105 |
| 表 4-9: GPIO2 引脚控制寄存器 (GPIO2) 位段定义.....        | 106 |
| 表 4-10: GPIO2 引脚控制寄存器 (GPIO2) 位段描述.....       | 106 |
| 表 4-11: GPIO3 引脚控制寄存器 (GPIO3) 位段定义.....       | 107 |
| 表 4-12: GPIO3 引脚控制寄存器 (GPIO3) 位段描述.....       | 107 |
| 表 4-13: GPIO4 引脚控制寄存器 (GPIO4) 位段定义.....       | 108 |
| 表 4-14: GPIO4 引脚控制寄存器 (GPIO4) 位段描述.....       | 108 |
| 表 4-15: GPIO5 引脚控制寄存器 (GPIO5) 位段定义.....       | 109 |
| 表 4-16: GPIO5 引脚控制寄存器 (GPIO5) 位段描述.....       | 109 |
| 表 4-17: GPIO6 引脚控制寄存器 (GPIO6) 位段定义.....       | 110 |
| 表 4-18: GPIO6 引脚控制寄存器 (GPIO6) 位段描述.....       | 110 |



|                                           |     |
|-------------------------------------------|-----|
| 表 4-19: GPIO7 引脚控制寄存器 (GPIO7) 位段定义.....   | 111 |
| 表 4-20: GPIO7 引脚控制寄存器 (GPIO7) 位段描述.....   | 111 |
| 表 4-21: GPIO8 引脚控制寄存器 (GPIO8) 位段定义.....   | 112 |
| 表 4-22: GPIO8 引脚控制寄存器 (GPIO8) 位段描述.....   | 112 |
| 表 4-23: GPIO9 引脚控制寄存器 (GPIO9) 位段定义.....   | 113 |
| 表 4-24: GPIO9 引脚控制寄存器 (GPIO9) 位段描述.....   | 113 |
| 表 4-25: GPIO10 引脚控制寄存器 (GPIO10) 位段定义..... | 114 |
| 表 4-26: GPIO10 引脚控制寄存器 (GPIO10) 位段描述..... | 114 |
| 表 4-27: GPIO11 引脚控制寄存器 (GPIO11) 位段定义..... | 115 |
| 表 4-28: GPIO11 引脚控制寄存器 (GPIO11) 位段描述..... | 115 |
| 表 4-29: GPIO12 引脚控制寄存器 (GPIO12) 位段定义..... | 116 |
| 表 4-30: GPIO12 引脚控制寄存器 (GPIO12) 位段描述..... | 116 |
| 表 4-31: GPIO13 引脚控制寄存器 (GPIO13) 位段定义..... | 117 |
| 表 4-32: GPIO13 引脚控制寄存器 (GPIO13) 位段描述..... | 117 |
| 表 4-33: GPIO14 引脚控制寄存器 (GPIO14) 位段定义..... | 118 |
| 表 4-34: GPIO14 引脚控制寄存器 (GPIO14) 位段描述..... | 118 |
| 表 4-35: GPIO15 引脚控制寄存器 (GPIO15) 位段定义..... | 119 |
| 表 4-36: GPIO15 引脚控制寄存器 (GPIO15) 位段描述..... | 119 |
| 表 4-37: GPIO16 引脚控制寄存器 (GPIO16) 位段定义..... | 120 |
| 表 4-38: GPIO16 引脚控制寄存器 (GPIO16) 位段描述..... | 120 |
| 表 4-39: GPIO17 引脚控制寄存器 (GPIO17) 位段定义..... | 121 |
| 表 4-40: GPIO17 引脚控制寄存器 (GPIO17) 位段描述..... | 121 |
| 表 4-41: GPIO18 引脚控制寄存器 (GPIO18) 位段定义..... | 122 |
| 表 4-42: GPIO18 引脚控制寄存器 (GPIO18) 位段描述..... | 122 |
| 表 4-43: GPIO19 引脚控制寄存器 (GPIO19) 位段定义..... | 123 |
| 表 4-44: GPIO19 引脚控制寄存器 (GPIO19) 位段描述..... | 123 |
| 表 4-45: GPIO20 引脚控制寄存器 (GPIO20) 位段定义..... | 124 |
| 表 4-46: GPIO20 引脚控制寄存器 (GPIO20) 位段描述..... | 124 |
| 表 4-47: GPIO21 引脚控制寄存器 (GPIO21) 位段定义..... | 125 |
| 表 4-48: GPIO21 引脚控制寄存器 (GPIO21) 位段描述..... | 125 |
| 表 4-49: GPIO22 引脚控制寄存器 (GPIO22) 位段定义..... | 126 |
| 表 4-50: GPIO22 引脚控制寄存器 (GPIO22) 位段描述..... | 126 |
| 表 4-51: GPIO23 引脚控制寄存器 (GPIO23) 位段定义..... | 127 |
| 表 4-52: GPIO23 引脚控制寄存器 (GPIO23) 位段描述..... | 127 |
| 表 4-53: GPIO24 引脚控制寄存器 (GPIO24) 位段定义..... | 128 |
| 表 4-54: GPIO24 引脚控制寄存器 (GPIO24) 位段描述..... | 128 |
| 表 4-55: GPIO25 引脚控制寄存器 (GPIO25) 位段定义..... | 129 |
| 表 4-56: GPIO25 引脚控制寄存器 (GPIO25) 位段描述..... | 129 |
| 表 4-57: GPIO36 引脚控制寄存器 (GPIO36) 位段定义..... | 130 |
| 表 4-58: GPIO36 引脚控制寄存器 (GPIO36) 位段描述..... | 130 |
| 表 4-59: GPIO37 引脚控制寄存器 (GPIO37) 位段定义..... | 131 |
| 表 4-60: GPIO37 引脚控制寄存器 (GPIO37) 位段描述..... | 131 |
| 表 4-61: GPIO38 引脚控制寄存器 (GPIO38) 位段定义..... | 132 |
| 表 4-62: GPIO38 引脚控制寄存器 (GPIO38) 位段描述..... | 132 |
| 表 4-63: GPIO39 引脚控制寄存器 (GPIO39) 位段定义..... | 133 |
| 表 4-64: GPIO39 引脚控制寄存器 (GPIO39) 位段描述..... | 133 |

|                                                   |     |
|---------------------------------------------------|-----|
| 表 4-65: GPIO40 引脚控制寄存器 (GPIO40) 位段定义.....         | 134 |
| 表 4-66: GPIO40 引脚控制寄存器 (GPIO40) 位段描述.....         | 134 |
| 表 4-67: GPIO41 引脚控制寄存器 (GPIO41) 位段定义.....         | 135 |
| 表 4-68: GPIO41 引脚控制寄存器 (GPIO41) 位段描述.....         | 135 |
| 表 4-69: GPIO46 引脚控制寄存器 (GPIO46) 位段定义.....         | 136 |
| 表 4-70: GPIO46 引脚控制寄存器 (GPIO46) 位段描述.....         | 136 |
| 表 4-71: GPIO47 引脚控制寄存器 (GPIO47) 位段定义.....         | 137 |
| 表 4-72: GPIO47 引脚控制寄存器 (GPIO47) 位段描述.....         | 137 |
| 表 4-73: GPIO48 引脚控制寄存器 (GPIO48) 位段定义.....         | 138 |
| 表 4-74: GPIO48 引脚控制寄存器 (GPIO48) 位段描述.....         | 138 |
| 表 4-75: GPIO49 引脚控制寄存器 (GPIO49) 位段定义.....         | 139 |
| 表 4-76: GPIO49 引脚控制寄存器 (GPIO49) 位段描述.....         | 139 |
| 表 4-77: GPIO50 引脚控制寄存器 (GPIO50) 位段定义.....         | 140 |
| 表 4-78: GPIO50 引脚控制寄存器 (GPIO50) 位段描述.....         | 140 |
| 表 4-79: GPIO51 引脚控制寄存器 (GPIO51) 位段定义.....         | 141 |
| 表 4-80: GPIO51 引脚控制寄存器 (GPIO51) 位段描述.....         | 141 |
| 表 4-81: GPIO56 引脚控制寄存器 (GPIO56) 位段定义.....         | 142 |
| 表 4-82: GPIO56 引脚控制寄存器 (GPIO56) 位段描述.....         | 142 |
| 表 4-83: GPIO57 引脚控制寄存器 (GPIO57) 位段定义.....         | 143 |
| 表 4-84: GPIO57 引脚控制寄存器 (GPIO57) 位段描述.....         | 143 |
| 表 4-85: GPIO58 引脚控制寄存器 (GPIO58) 位段定义.....         | 144 |
| 表 4-86: GPIO58 引脚控制寄存器 (GPIO58) 位段描述.....         | 144 |
| 表 4-87: GPIO59 引脚控制寄存器 (GPIO59) 位段定义.....         | 145 |
| 表 4-88: GPIO59 引脚控制寄存器 (GPIO59) 位段描述.....         | 145 |
| 表 4-89: GPIO62 引脚控制寄存器 (GPIO62) 位段定义.....         | 146 |
| 表 4-90: GPIO62 引脚控制寄存器 (GPIO62) 位段描述.....         | 146 |
| 表 4-91: GPIO63 引脚控制寄存器 (GPIO63) 位段定义.....         | 147 |
| 表 4-92: GPIO63 引脚控制寄存器 (GPIO63) 位段描述.....         | 147 |
| 表 4-93: GPIO77 引脚控制寄存器 (GPIO77) 位段定义.....         | 148 |
| 表 4-94: GPIO77 引脚控制寄存器 (GPIO77) 位段描述.....         | 148 |
| 表 4-95: GPIO78 引脚控制寄存器 (GPIO78) 位段定义.....         | 149 |
| 表 4-96: GPIO78 引脚控制寄存器 (GPIO78) 位段描述.....         | 149 |
| 表 4-97: GPIO79 引脚控制寄存器 (GPIO79) 位段定义.....         | 150 |
| 表 4-98: GPIO79 引脚控制寄存器 (GPIO79) 位段描述.....         | 150 |
| 表 4-99: GPIO80 引脚控制寄存器 (GPIO80) 位段定义.....         | 151 |
| 表 4-100: GPIO80 引脚控制寄存器 (GPIO80) 位段描述.....        | 151 |
| 表 4-101: GPIO81 引脚控制寄存器 (GPIO81) 位段定义.....        | 152 |
| 表 4-102: GPIO81 引脚控制寄存器 (GPIO81) 位段描述.....        | 152 |
| 表 4-103: 比较器输出监测控制寄存器 (COMPMONCTL) 位段定义.....      | 153 |
| 表 4-104: 比较器输出监测控制寄存器 (COMPMONCTL) 位段描述.....      | 153 |
| 表 4-105: 同步输出监测控制寄存器 (SYNCMONCTL) 位段定义.....       | 155 |
| 表 4-106: 同步输出监测控制寄存器 (SYNCMONCTL) 位段描述.....       | 155 |
| 表 4-107: PINMUX 模块写使能寄存器 (PINMUXREGKEY) 位段定义..... | 157 |
| 表 4-108: PINMUX 模块写使能寄存器 (PINMUXREGKEY) 位段描述..... | 158 |
| 表 4-109: GPIO 模块基地址.....                          | 159 |
| 表 4-110: GPIO 寄存器列表.....                          | 159 |

|                                                            |     |
|------------------------------------------------------------|-----|
| 表 4-111: GPIO 端口 n ([0:2])引脚电平寄存器 (GPLR) 位段定义 .....        | 160 |
| 表 4-112: GPIO 端口 n ([0:2])引脚电平寄存器 (GPLR) 位段描述 .....        | 160 |
| 表 4-113: GPIO 端口 n ([0:2])按位输出置高寄存器 (GSLR) 位段定义 .....      | 160 |
| 表 4-114: GPIO 端口 n ([0:2])按位输出置高寄存器 (GSLR) 位段描述 .....      | 160 |
| 表 4-115: GPIO 端口 n ([0:2])按位输出置低寄存器 (GCLR) 位段定义 .....      | 161 |
| 表 4-116: GPIO 端口 n ([0:2])按位输出置低寄存器 (GCLR) 位段描述 .....      | 161 |
| 表 4-117: GPIO 端口 n ([0:2])引脚方向寄存器 (GPDR) 位段定义 .....        | 161 |
| 表 4-118: GPIO 端口 n ([0:2])引脚方向寄存器 (GPDR) 位段描述 .....        | 161 |
| 表 4-119: GPIO 端口 n ([0:2])按位设置输出方向寄存器 (GSDR) 位段定义 .....    | 162 |
| 表 4-120: GPIO 端口 n ([0:2])按位设置输出方向寄存器 (GSDR) 位段描述 .....    | 162 |
| 表 4-121: GPIO 端口 n ([0:2])按位设置输入方向寄存器 (GCDR) 位段定义 .....    | 162 |
| 表 4-122: GPIO 端口 n ([0:2])按位设置输入方向寄存器 (GCDR) 位段描述 .....    | 162 |
| 表 4-123: GPIO 端口 n ([0:2])上升沿检测使能寄存器 (GRER) 位段定义 .....     | 163 |
| 表 4-124: GPIO 端口 n ([0:2])上升沿检测使能寄存器 (GRER) 位段描述 .....     | 163 |
| 表 4-125: GPIO 端口 n ([0:2])上升沿检测按位使能寄存器 (GSRE) 位段定义 .....   | 163 |
| 表 4-126: GPIO 端口 n ([0:2])上升沿检测按位使能寄存器 (GSRE) 位段描述 .....   | 163 |
| 表 4-127: GPIO 端口 n ([0:2])上升沿检测按位关闭寄存器 (GCRE) 位段定义 .....   | 164 |
| 表 4-128: GPIO 端口 n ([0:2])上升沿检测按位关闭寄存器 (GCRE) 位段描述 .....   | 164 |
| 表 4-129: GPIO 端口 n ([0:2])下降沿检测使能寄存器 (GFER) 位段定义 .....     | 164 |
| 表 4-130: GPIO 端口 n ([0:2])下降沿检测使能寄存器 (GFER) 位段描述 .....     | 164 |
| 表 4-131: GPIO 端口 n ([0:2])下降沿检测按位使能寄存器 (GSFE) 位段定义 .....   | 165 |
| 表 4-132: GPIO 端口 n ([0:2])下降沿检测按位使能寄存器 (GSFE) 位段描述 .....   | 165 |
| 表 4-133: GPIO 端口 n ([0:2])下降沿检测按位关闭寄存器 (GCFE) 位段定义 .....   | 165 |
| 表 4-134: GPIO 端口 n ([0:2])下降沿检测按位关闭寄存器 (GCFE) 位段描述 .....   | 165 |
| 表 4-135: GPIO 端口 n ([0:2])上升沿事件标志寄存器 (GRERAWIF) 位段定义 ..... | 166 |
| 表 4-136: GPIO 端口 n ([0:2])上升沿事件标志寄存器 (GRERAWIF) 位段描述 ..... | 166 |
| 表 4-137: GPIO 端口 n ([0:2])下降沿事件标志寄存器 (GFERAWIF) 位段定义 ..... | 166 |
| 表 4-138: GPIO 端口 n ([0:2])下降沿事件标志寄存器 (GFERAWIF) 位段描述 ..... | 166 |
| 表 4-139: GPIO 端口 n ([0:2])上升沿中断标志寄存器 (GREIF) 位段定义 .....    | 167 |
| 表 4-140: GPIO 端口 n ([0:2])上升沿中断标志寄存器 (GREIF) 位段描述 .....    | 167 |
| 表 4-141: GPIO 端口 n ([0:2])下降沿中断标志寄存器 (GFEIF) 位段定义 .....    | 167 |
| 表 4-142: GPIO 端口 n ([0:2])下降沿中断标志寄存器 (GFEIF) 位段描述 .....    | 167 |
| 表 4-143: GPIO 端口 n ([0:2])上升沿中断使能寄存器 (GREIE) 位段定义 .....    | 168 |
| 表 4-144: GPIO 端口 n ([0:2])上升沿中断使能寄存器 (GREIE) 位段描述 .....    | 168 |
| 表 4-145: GPIO 端口 n ([0:2])下降沿中断使能寄存器 (GFEIE) 位段定义 .....    | 168 |
| 表 4-146: GPIO 端口 n ([0:2])下降沿中断使能寄存器 (GFEIE) 位段描述 .....    | 168 |
| 表 4-147: GPIO 端口 n ([0:2])上升沿中断清除寄存器 (GREIC) 位段定义 .....    | 169 |
| 表 4-148: GPIO 端口 n ([0:2])上升沿中断清除寄存器 (GREIC) 位段描述 .....    | 169 |
| 表 4-149: GPIO 端口 n ([0:2])下降沿中断清除寄存器 (GFEIC) 位段定义 .....    | 169 |
| 表 4-150: GPIO 端口 n ([0:2])下降沿中断清除寄存器 (GFEIC) 位段描述 .....    | 169 |
| 表 4-151: GPIO 端口 n ([0:2])上升沿事件强制寄存器 (GREIFRC) 位段定义 .....  | 170 |
| 表 4-152: GPIO 端口 n ([0:2])上升沿事件强制寄存器 (GREIFRC) 位段描述 .....  | 170 |
| 表 4-153: GPIO 端口 n ([0:2])下降沿事件强制寄存器 (GFEIFRC) 位段定义 .....  | 170 |
| 表 4-154: GPIO 端口 n ([0:2])下降沿事件强制寄存器 (GFEIFRC) 位段描述 .....  | 170 |
| 表 4-155: GPIO 端口 n ([0:2])电平检测使能寄存器 (GLDE) 位段定义 .....      | 171 |
| 表 4-156: GPIO 端口 n ([0:2])电平检测使能寄存器 (GLDE) 位段描述 .....      | 171 |



|                                                          |     |
|----------------------------------------------------------|-----|
| 表 4-157: GPIO 端口 n ([0:2])电平检测按位使能寄存器 (GSLDE) 位段定义 ..... | 171 |
| 表 4-158: GPIO 端口 n ([0:2])电平检测按位使能寄存器 (GSLDE) 位段描述 ..... | 171 |
| 表 4-159: GPIO 端口 n ([0:2])电平检测按位关闭寄存器 (GCLDE) 位段定义 ..... | 172 |
| 表 4-160: GPIO 端口 n ([0:2])电平检测按位关闭寄存器 (GCLDE) 位段描述 ..... | 172 |
| 表 4-161: GPIO 端口 n ([0:2])电平检测极性寄存器 (GLPOL) 位段定义 .....   | 172 |
| 表 4-162: GPIO 端口 n ([0:2])电平检测极性寄存器 (GLPOL) 位段描述 .....   | 172 |
| 表 4-163: GPIO 端口 n ([0:2])电平事件标志寄存器 (GLRAWIF) 位段定义 ..... | 173 |
| 表 4-164: GPIO 端口 n ([0:2])电平事件标志寄存器 (GLRAWIF) 位段描述 ..... | 173 |
| 表 4-165: GPIO 端口 n ([0:2])电平中断标志寄存器 (GLIF) 位段定义 .....    | 173 |
| 表 4-166: GPIO 端口 n ([0:2])电平中断标志寄存器 (GLIF) 位段描述 .....    | 173 |
| 表 4-167: GPIO 端口 n ([0:2])电平中断使能寄存器 (GLIE) 位段定义 .....    | 174 |
| 表 4-168: GPIO 端口 n ([0:2])电平中断使能寄存器 (GLIE) 位段描述 .....    | 174 |
| 表 4-169: GPIO 端口 n ([0:2])电平中断清除寄存器 (GLIC) 位段定义 .....    | 174 |
| 表 4-170: GPIO 端口 n ([0:2])电平中断清除寄存器 (GLIC) 位段描述 .....    | 174 |
| 表 4-171: GPIO 端口 n ([0:2])电平事件强制寄存器 (GLIFRC) 位段定义 .....  | 175 |
| 表 4-172: GPIO 端口 n ([0:2])电平事件强制寄存器 (GLIFRC) 位段描述 .....  | 175 |
| 表 4-173: GPIO 全局事件标志 (GGRAWIF) 位段定义 .....                | 176 |
| 表 4-174: GPIO 全局事件标志寄存器 (GGRAWIF) 位段描述 .....             | 176 |
| 表 4-175: GPIO 全局中断标志寄存器 (GGIF) 位段定义 .....                | 178 |
| 表 4-176: GPIO 全局中断标志寄存器 (GGIF) 位段描述 .....                | 178 |
| 表 4-177: GPIO 全局中断清除寄存器 (GGIC) 位段定义 .....                | 179 |
| 表 4-178: GPIO 全局中断清除 (GGIC) 位段描述 .....                   | 179 |
| 表 4-179: GPIO 模块写使能寄存器 (GPIOREGKEY) 位段定义 .....           | 180 |
| 表 4-180: GPIO 模块写使能寄存器 (GPIOREGKEY) 位段描述 .....           | 180 |
| 表 5-1: SPC1185 中断向量表 .....                               | 181 |
| 表 6-1: TIMER 模块基地址 .....                                 | 192 |
| 表 6-2: TIMER 寄存器列表 .....                                 | 192 |
| 表 6-3: 定时器加载值寄存器 (TMRLOAD) 位段定义 .....                    | 193 |
| 表 6-4: 定时器加载值寄存器 (TMRLOAD) 位段描述 .....                    | 193 |
| 表 6-5: 定时器计数器值寄存器 (TMRCNT) 位段定义 .....                    | 193 |
| 表 6-6: 定时器计数器值寄存器 (TMRCNT) 位段描述 .....                    | 193 |
| 表 6-7: 定时器控制寄存器 (TMRCTL) 位段定义 .....                      | 194 |
| 表 6-8: 定时器控制寄存器 (TMRCTL) 位段描述 .....                      | 194 |
| 表 6-9: 定时器中断原始事件标志寄存器 (TMRRAWIF) 位段定义 .....              | 195 |
| 表 6-10: 定时器中断原始事件标志寄存器 (TMRRAWIF) 位段描述 .....             | 195 |
| 表 6-11: 定时器中断标志寄存器 (TMRIF) 位段定义 .....                    | 195 |
| 表 6-12: 定时器中断标志寄存器 (TMRIF) 位段描述 .....                    | 195 |
| 表 6-13: 定时器中断清除寄存器 (TMRIC) 位段定义 .....                    | 196 |
| 表 6-14: 定时器中断清除寄存器 (TMRIC) 位段描述 .....                    | 196 |
| 表 6-15: 定时器中断使能寄存器 (TMRIE) 位段定义 .....                    | 196 |
| 表 6-16: 定时器中断使能寄存器 (TMRIE) 位段描述 .....                    | 196 |
| 表 6-17: 定时器模块写使能寄存器 (TMRREGGKEY) 位段定义 .....              | 197 |
| 表 6-18: 定时器模块写使能寄存器 (TMRREGGKEY) 位段描述 .....              | 197 |
| 表 7-1: WDT 模块基地址 .....                                   | 200 |
| 表 7-2: WDT 寄存器列表 .....                                   | 200 |
| 表 7-3: 看门狗定时器加载值寄存器 (WDTLOAD) 位段定义 .....                 | 201 |

|                                                     |     |
|-----------------------------------------------------|-----|
| 表 7-4: 看门狗定时器加载值寄存器 (WDTLOAD) 位段描述 .....            | 201 |
| 表 7-5: 看门狗定时器计数值寄存器 (WDTCNT) 位段定义 .....             | 201 |
| 表 7-6: 看门狗定时器计数值寄存器 (WDTCNT) 位段描述 .....             | 201 |
| 表 7-7: 看门狗定时器控制寄存器 (WDTCTL) 位段定义 .....              | 202 |
| 表 7-8: 看门狗定时器控制寄存器 (WDTCTL) 位段描述 .....              | 202 |
| 表 7-9: 看门狗定时器中断原始事件标志寄存器 (WDTRAWIF) 位段定义 .....      | 203 |
| 表 7-10: 看门狗定时器中断原始事件标志寄存器 (WDTRAWIF) 位段描述 .....     | 203 |
| 表 7-11: 看门狗定时器中断标志寄存器 (WDTIF) 位段定义 .....            | 203 |
| 表 7-12: 看门狗定时器中断标志寄存器 (WDTIF) 位段描述 .....            | 203 |
| 表 7-13: 看门狗定时器中断清除寄存器 (WDTIC) 位段定义 .....            | 204 |
| 表 7-14: 看门狗定时器中断清除寄存器 (WDTIC) 位段描述 .....            | 204 |
| 表 7-15: 看门狗定时器中断使能寄存器 (WDTIE) 位段定义 .....            | 204 |
| 表 7-16: 看门狗定时器中断使能寄存器 (WDTIE) 位段描述 .....            | 204 |
| 表 7-17: 看门狗定时器服务窗口低阈值寄存器 (WDTTHL) 位段定义 .....        | 205 |
| 表 7-18: 看门狗定时器服务窗口低阈值寄存器 (WDTTHL) 位段描述 .....        | 205 |
| 表 7-19: 看门狗定时器服务窗口高阈值寄存器 (WDTTHL) 位段定义 .....        | 205 |
| 表 7-20: 看门狗定时器服务窗口高阈值寄存器 (WDTTHL) 位段描述 .....        | 205 |
| 表 7-21: 看门狗定时器模块写使能寄存器 (WDTREGKEY) 位段定义 .....       | 206 |
| 表 7-22: 看门狗定时器模块写使能寄存器 (WDTREGKEY) 位段描述 .....       | 206 |
| 表 8-1: UART 端口信号 .....                              | 208 |
| 表 8-2: LIN 校验和计算示例 .....                            | 215 |
| 表 8-3: UART 模块中断事件列表 .....                          | 216 |
| 表 8-4: UART 模块基地址 .....                             | 217 |
| 表 8-5: UART 寄存器列表 .....                             | 217 |
| 表 8-6: UART 数据寄存器 (UARTDAT) 位段定义 .....              | 218 |
| 表 8-7: UART 数据寄存器 (UARTDAT) 位段描述 .....              | 218 |
| 表 8-8: UART 控制寄存器 (UARTCTL) 位段定义 .....              | 219 |
| 表 8-9: UART 控制寄存器 (UARTCTL) 位段描述 .....              | 219 |
| 表 8-10: LIN 控制寄存器 (LINCTL) 位段定义 .....               | 222 |
| 表 8-11: LIN 控制寄存器 (LINCTL) 位段描述 .....               | 222 |
| 表 8-12: LIN ID 寄存器 (LINID) 位段定义 .....               | 224 |
| 表 8-13: LIN ID 寄存器 (LINID) 位段描述 .....               | 224 |
| 表 8-14: LIN ID 筛选标准寄存器 (LINIDFILT) 位段定义 .....       | 224 |
| 表 8-15: LIN ID 筛选标准寄存器 (LINIDFILT) 位段描述 .....       | 224 |
| 表 8-16: UART/LIN 线路空闲阈值寄存器 (BUSIDLETH) 位段定义 .....   | 225 |
| 表 8-17: UART/LIN 线路空闲阈值寄存器 (BUSIDLETH) 位段描述 .....   | 225 |
| 表 8-18: UART 波特计数寄存器 (UARTBDCNT) 位段定义 .....         | 225 |
| 表 8-19: UART 波特计数寄存器 (UARTBDCNT) 位段描述 .....         | 225 |
| 表 8-20: UART 自动波特率计数寄存器 (UARTABCNT) 位段定义 .....      | 226 |
| 表 8-21: UART 自动波特率计数寄存器 (UARTABCNT) 位段描述 .....      | 226 |
| 表 8-22: UART 接收超时阈值寄存器 (UARTTOTH) 位段定义 .....        | 226 |
| 表 8-23: UART 接收超时阈值寄存器 (UARTTOTH) 位段描述 .....        | 226 |
| 表 8-24: UART 接收 FIFO 当前长度寄存器 (UARTRXLVL) 位段定义 ..... | 227 |
| 表 8-25: UART 接收 FIFO 当前长度寄存器 (UARTRXLVL) 位段描述 ..... | 227 |
| 表 8-26: UART 发送 FIFO 当前长度寄存器 (UARTTXLVL) 位段定义 ..... | 227 |
| 表 8-27: UART 发送 FIFO 当前长度寄存器 (UARTTXLVL) 位段描述 ..... | 227 |

|                                                    |     |
|----------------------------------------------------|-----|
| 表 8-28: UART 接收 FIFO 长度阈值寄存器 (UARTRXTH) 位段定义 ..... | 228 |
| 表 8-29: UART 接收 FIFO 长度阈值寄存器 (UARTRXTH) 位段描述 ..... | 228 |
| 表 8-30: UART 发送 FIFO 长度阈值寄存器 (UARTTXTH) 位段定义 ..... | 228 |
| 表 8-31: UART 发送 FIFO 长度阈值寄存器 (UARTTXTH) 位段描述 ..... | 228 |
| 表 8-32: UART 红外控制寄存器 (UARTSIRCTL) 位段定义 .....       | 229 |
| 表 8-33: UART 红外控制寄存器 (UARTSIRCTL) 位段描述 .....       | 229 |
| 表 8-34: UART 状态寄存器 (UARTSTS) 位段定义 .....            | 230 |
| 表 8-35: UART 状态寄存器 (UARTSTS) 位段描述 .....            | 230 |
| 表 8-36: UART 中断原始事件标志寄存器 (UARTRAWIF) 位段定义 .....    | 232 |
| 表 8-37: UART 中断原始事件标志寄存器 (UARTRAWIF) 位段描述 .....    | 232 |
| 表 8-38: UART 中断标志寄存器 (UARTIF) 位段定义 .....           | 234 |
| 表 8-39: UART 中断标志寄存器 (UARTIF) 位段描述 .....           | 234 |
| 表 8-40: UART 中断清除寄存器 (UARTIC) 位段定义 .....           | 236 |
| 表 8-41: UART 中断清除寄存器 (UARTIC) 位段描述 .....           | 236 |
| 表 8-42: UART 中断使能寄存器 (UARTIE) 位段定义 .....           | 238 |
| 表 8-43: UART 中断使能寄存器 (UARTIE) 位段描述 .....           | 238 |
| 表 8-44: UART 接收信号消抖控制寄存器 (UARTDGCTL) 位段定义 .....    | 240 |
| 表 8-45: UART 接收信号消抖控制寄存器 (UARTDGCTL) 位段描述 .....    | 240 |
| 表 8-46: UART 模块写使能寄存器 (UARTREGKEY) 位段定义 .....      | 240 |
| 表 8-47: UART 模块写使能寄存器 (UARTREGKEY) 位段描述 .....      | 240 |
| 表 9-1: SPI 端口信号 .....                              | 242 |
| 表 9-2: SPI 时钟相关的约束条件 .....                         | 246 |
| 表 9-3: 各种场景的配置和使用方法 .....                          | 247 |
| 表 9-4: SPI 模块基地址 .....                             | 249 |
| 表 9-5: SPI 寄存器列表 .....                             | 249 |
| 表 9-6: SPI 数据寄存器 (SPIDATA) 位段定义 .....              | 250 |
| 表 9-7: SPI 数据寄存器 (SPIDATA) 位段描述 .....              | 250 |
| 表 9-8: SPI 控制寄存器 (SPICTL) 位段定义 .....               | 251 |
| 表 9-9: SPI 控制寄存器 (SPICTL) 位段描述 .....               | 251 |
| 表 9-10: SPI 波特率计数寄存器 (SPIBDCNT) 位段定义 .....         | 253 |
| 表 9-11: SPI 波特率计数寄存器 (SPIBDCNT) 位段描述 .....         | 253 |
| 表 9-12: SPI 接收 FIFO 当前长度寄存器 (SPIRXLVL) 位段定义 .....  | 254 |
| 表 9-13: SPI 接收 FIFO 当前长度寄存器 (SPIRXLVL) 位段描述 .....  | 254 |
| 表 9-14: SPI 发送 FIFO 当前长度寄存器 (SPITXLVL) 位段定义 .....  | 254 |
| 表 9-15: SPI 发送 FIFO 当前长度寄存器 (SPITXLVL) 位段描述 .....  | 254 |
| 表 9-16: SPI 接收 FIFO 长度阈值寄存器 (SPIRXTH) 位段定义 .....   | 255 |
| 表 9-17: SPI 接收 FIFO 长度阈值寄存器 (SPIRXTH) 位段描述 .....   | 255 |
| 表 9-18: SPI 发送 FIFO 长度阈值寄存器 (SPITXTH) 位段定义 .....   | 255 |
| 表 9-19: SPI 发送 FIFO 长度阈值寄存器 (SPITXTH) 位段描述 .....   | 255 |
| 表 9-20: SPI 超时阈值寄存器 (SPITOTH) 位段定义 .....           | 256 |
| 表 9-21: SPI 超时阈值寄存器 (SPITOTH) 位段描述 .....           | 256 |
| 表 9-22: SPI 状态寄存器 (SPISTS) 位段定义 .....              | 257 |
| 表 9-23: SPI 状态寄存器 (SPISTS) 位段描述 .....              | 257 |
| 表 9-24: SPI 中断原始事件标志寄存器 (SPIRAWIF) 位段定义 .....      | 258 |
| 表 9-25: SPI 中断原始事件标志寄存器 (SPIRAWIF) 位段描述 .....      | 258 |
| 表 9-26: SPI 中断标志寄存器 (SPIIF) 位段定义 .....             | 260 |



|                                                     |     |
|-----------------------------------------------------|-----|
| 表 9-27: SPI 中断标志寄存器 (SPIIF) 位段描述.....               | 260 |
| 表 9-28: SPI 中断使能寄存器 (SPIIE) 位段定义 .....              | 262 |
| 表 9-29: SPI 中断使能寄存器 (SPIIE) 位段描述 .....              | 262 |
| 表 9-30: SPI 中断清除寄存器 (SPIIC) 位段定义 .....              | 263 |
| 表 9-31: SPI 中断清除寄存器 (SPIIC) 位段描述 .....              | 263 |
| 表 9-32: SPI 模块写使能寄存器 (SPIREGKEY) 位段定义.....          | 264 |
| 表 9-33: SPI 模块写使能寄存器 (SPIREGKEY) 位段描述.....          | 264 |
| 表 10-1: QSPI 端口信号.....                              | 266 |
| 表 10-2: QSPI 模块基地址.....                             | 272 |
| 表 10-3: QSPI 寄存器列表.....                             | 272 |
| 表 10-4: QSPI 控制寄存器 0 (QSPICTRL0) 位段定义 .....         | 273 |
| 表 10-5: QSPI 控制寄存器 0 (QSPICTRL0) 位段描述 .....         | 273 |
| 表 10-6: QSPI 控制寄存器 1 (QSPICTRL1) 位段定义 .....         | 275 |
| 表 10-7: QSPI 控制寄存器 1 (QSPICTRL1) 位段描述 .....         | 275 |
| 表 10-8: QSPI 就地执行控制寄存器 (QSPIXIPCTL) 位段定义 .....      | 277 |
| 表 10-9: QSPI 就地执行控制寄存器 (QSPIXIPCTL) 位段描述 .....      | 277 |
| 表 10-10: QSPI 闪存 ID 寄存器 (QSPIFLASHID) 位段定义.....     | 278 |
| 表 10-11: QSPI 闪存 ID 寄存器 (QSPIFLASHID) 位段描述.....     | 278 |
| 表 10-12: QSPI 接收 FIFO 当前长度寄存器 (QSPIRXLVL) 位段定义..... | 279 |
| 表 10-13: QSPI 接收 FIFO 当前长度寄存器 (QSPIRXLVL) 位段描述..... | 279 |
| 表 10-14: QSPI 发送 FIFO 当前长度寄存器 (QSPITXLVL) 位段定义..... | 279 |
| 表 10-15: QSPI 发送 FIFO 当前长度寄存器 (QSPITXLVL) 位段描述..... | 279 |
| 表 10-16: QSPI 接收 FIFO 长度阈值寄存器 (QSPIRXTH) 位段定义.....  | 280 |
| 表 10-17: QSPI 接收 FIFO 长度阈值寄存器 (QSPIRXTH) 位段描述.....  | 280 |
| 表 10-18: QSPI 发送 FIFO 长度阈值寄存器 (QSPITXTH) 位段定义.....  | 280 |
| 表 10-19: QSPI 发送 FIFO 长度阈值寄存器 (QSPITXTH) 位段描述.....  | 280 |
| 表 10-20: QSPI 数据寄存器 (QSPIDAT) 位段定义 .....            | 281 |
| 表 10-21: QSPI 数据寄存器 (QSPIDAT) 位段描述 .....            | 281 |
| 表 10-22: QSPI 命令寄存器 (QSPICMD) 位段定义 .....            | 281 |
| 表 10-23: QSPI 命令寄存器 (QSPICMD) 位段描述 .....            | 281 |
| 表 10-24: QSPI 地址寄存器 (QSPIADDR) 位段定义.....            | 282 |
| 表 10-25: QSPI 地址寄存器 (QSPIADDR) 位段描述.....            | 282 |
| 表 10-26: QSPI 读模式寄存器 (QSPIRMODE) 位段定义 .....         | 282 |
| 表 10-27: QSPI 读模式寄存器 (QSPIRMODE) 位段描述 .....         | 282 |
| 表 10-28: QSPI 输入数据长度寄存器 (QSPIDINLEN) 位段定义.....      | 283 |
| 表 10-29: QSPI 输入数据长度寄存器 (QSPIDINLEN) 位段描述.....      | 283 |
| 表 10-30: QSPI 状态寄存器 (QSPISTS) 位段定义 .....            | 284 |
| 表 10-31: QSPI 状态寄存器 (QSPISTS) 位段描述 .....            | 284 |
| 表 10-32: QSPI 中断原始事件标志寄存器 (QSPIRAWIF) 位段定义 .....    | 285 |
| 表 10-33: QSPI 中断原始事件标志寄存器 (QSPIRAWIF) 位段描述 .....    | 285 |
| 表 10-34: QSPI 中断标志寄存器 (QSPIIF) 位段定义 .....           | 286 |
| 表 10-35: QSPI 中断标志寄存器 (QSPIIF) 位段描述 .....           | 286 |
| 表 10-36: QSPI 中断清除寄存器 (QSPIIC) 位段定义.....            | 287 |
| 表 10-37: QSPI 中断清除寄存器 (QSPIIC) 位段描述.....            | 287 |
| 表 10-38: QSPI 中断使能寄存器 (QSPIIE) 位段定义.....            | 288 |
| 表 10-39: QSPI 中断使能寄存器 (QSPIIE) 位段描述.....            | 288 |

|                                                    |     |
|----------------------------------------------------|-----|
| 表 10-40: QSPI 模块写使能寄存器 (QSPIREGKEY) 位段定义 .....     | 289 |
| 表 10-41: QSPI 模块写使能寄存器 (QSPIREGKEY) 位段描述 .....     | 289 |
| 表 11-1: I2C 端口信号 .....                             | 291 |
| 表 11-2: I2C 各速度模式 SCL 电平时间 .....                   | 293 |
| 表 11-3: I2C 各速度模式滤波时间 .....                        | 293 |
| 表 11-4: I2C 模块基地址 .....                            | 297 |
| 表 11-5: I2C 寄存器列表 .....                            | 297 |
| 表 11-6: I2C 控制寄存器 (I2CCTL) 位段定义 .....              | 298 |
| 表 11-7: I2C 控制寄存器 (I2CCTL) 位段描述 .....              | 298 |
| 表 11-8: I2C 从机地址寄存器 (I2CSADDR) 位段定义 .....          | 300 |
| 表 11-9: I2C 从机地址寄存器 (I2CSADDR) 位段描述 .....          | 300 |
| 表 11-10: I2C 主机寻址寄存器 (I2CMADDR) 位段定义 .....         | 301 |
| 表 11-11: I2C 主机寻址寄存器 (I2CMADDR) 位段描述 .....         | 301 |
| 表 11-12: I2C 数据和命令寄存器 (I2CDATCMD) 位段定义 .....       | 302 |
| 表 11-13: I2C 数据和命令寄存器 (I2CDATCMD) 位段描述 .....       | 302 |
| 表 11-14: I2C 标准速度模式时钟计数寄存器 (I2CSSCNT) 位段定义 .....   | 303 |
| 表 11-15: I2C 标准速度模式时钟计数寄存器 (I2CSSCNT) 位段描述 .....   | 303 |
| 表 11-16: I2C 快速模式时钟计数寄存器 (I2CFSCNT) 位段定义 .....     | 304 |
| 表 11-17: I2C 快速模式时钟计数寄存器 (I2CFSCNT) 位段描述 .....     | 304 |
| 表 11-18: I2C 高速模式时钟计数寄存器 (I2CFSCNT) 位段定义 .....     | 305 |
| 表 11-19: I2C 高速模式时钟计数寄存器 (I2CFSCNT) 位段描述 .....     | 305 |
| 表 11-20: I2C 超快速模式时钟计数寄存器 (I2CUFSCNT) 位段定义 .....   | 306 |
| 表 11-21: I2C 超快速模式时钟计数寄存器 (I2CUFSCNT) 位段描述 .....   | 306 |
| 表 11-22: I2C 超快速模式总线释放时间寄存器 (I2CUFSBFT) 位段定义 ..... | 307 |
| 表 11-23: I2C 超快速模式总线释放时间寄存器 (I2CUFSBFT) 位段描述 ..... | 307 |
| 表 11-24: I2C 尖峰抑制阈值寄存器 (I2CSPKLEN) 位段定义 .....      | 308 |
| 表 11-25: I2C 尖峰抑制阈值寄存器 (I2CSPKLEN) 位段描述 .....      | 308 |
| 表 11-26: I2C 数据建立时间寄存器 (I2CSDASETUP) 位段定义 .....    | 309 |
| 表 11-27: I2C 数据建立时间寄存器 (I2CSDASETUP) 位段描述 .....    | 309 |
| 表 11-28: I2C 数据保持时间寄存器 (I2CSDAHOLD) 位段定义 .....     | 309 |
| 表 11-29: I2C 数据保持时间寄存器 (I2CSDAHOLD) 位段描述 .....     | 309 |
| 表 11-30: I2C 发送 FIFO 当前长度寄存器 (I2CTXLVL) 位段定义 ..... | 310 |
| 表 11-31: I2C 发送 FIFO 当前长度寄存器 (I2CTXLVL) 位段描述 ..... | 310 |
| 表 11-32: I2C 接收 FIFO 当前长度寄存器 (I2CRXLVL) 位段定义 ..... | 310 |
| 表 11-33: I2C 接收 FIFO 当前长度寄存器 (I2CRXLVL) 位段描述 ..... | 310 |
| 表 11-34: I2C 发送 FIFO 长度阈值寄存器 (I2CTXTH) 位段定义 .....  | 311 |
| 表 11-35: I2C 发送 FIFO 长度阈值寄存器 (I2CTXTH) 位段描述 .....  | 311 |
| 表 11-36: I2C 接收 FIFO 长度阈值寄存器 (I2CRXTH) 位段定义 .....  | 311 |
| 表 11-37: I2C 接收 FIFO 长度阈值寄存器 (I2CRXTH) 位段描述 .....  | 311 |
| 表 11-38: I2C 状态寄存器 (I2CSTS) 位段定义 .....             | 312 |
| 表 11-39: I2C 状态寄存器 (I2CSTS) 位段描述 .....             | 312 |
| 表 11-40: I2C 发送中止源寄存器 (I2CTXABRTSRC) 位段定义 .....    | 313 |
| 表 11-41: I2C 发送中止源寄存器 (I2CTXABRTSRC) 位段描述 .....    | 313 |
| 表 11-42: I2C 中断原始事件标志寄存器 (I2CRAWIF) 位段定义 .....     | 316 |
| 表 11-43: I2C 中断原始事件标志寄存器 (I2CRAWIF) 位段描述 .....     | 316 |
| 表 11-44: I2C 中断标志寄存器 (I2CIF) 位段定义 .....            | 318 |

|                                                   |     |
|---------------------------------------------------|-----|
| 表 11-45: I2C 中断标志寄存器 (I2CIF) 位段描述 .....           | 318 |
| 表 11-46: I2C 中断使能寄存器 (I2CIE) 位段定义 .....           | 320 |
| 表 11-47: I2C 中断使能寄存器 (I2CIE) 位段描述 .....           | 320 |
| 表 11-48: I2C 中断清除寄存器 (I2CIC) 位段定义 .....           | 322 |
| 表 11-49: I2C 中断清除寄存器 (I2CIC) 位段描述 .....           | 322 |
| 表 11-50: I2C 总线阻塞阈值寄存器 (I2CBSTH) 位段定义 .....       | 324 |
| 表 11-51: I2C 总线阻塞阈值寄存器 (I2CBSTH) 位段描述 .....       | 324 |
| 表 11-52: I2C 模块写使能寄存器 (I2CREGKEY) 位段定义 .....      | 324 |
| 表 11-53: I2C 模块写使能寄存器 (I2CREGKEY) 位段描述 .....      | 324 |
| 表 12-1: CAN 端口信号 .....                            | 326 |
| 表 12-2: 信箱控制位 .....                               | 333 |
| 表 12-3: 用于普通报文发送的信箱控制位设置 .....                    | 334 |
| 表 12-4: 用于自动应答远程帧时的报文发送信箱控制位设置 .....              | 334 |
| 表 12-5: 用于普通报文接收的信箱控制位设置 .....                    | 335 |
| 表 12-6: 用于接收其他节点应答远程帧的报文的信箱控制位设置 .....            | 335 |
| 表 12-7: CAN 模块基地址 .....                           | 336 |
| 表 12-8: CAN 寄存器列表 .....                           | 336 |
| 表 12-9: CAN 控制寄存器 (CANCTL) 位段定义 .....             | 337 |
| 表 12-10: CAN 控制寄存器 (CANCTL) 位段描述 .....            | 337 |
| 表 12-11: CAN 标称位时间量子寄存器 (CANNBTQ) 位段定义 .....      | 339 |
| 表 12-12: CAN 标称位时间量子寄存器 (CANNBTQ) 位段描述 .....      | 339 |
| 表 12-13: CAN 数据位时间量子寄存器 (CANDBTQ) 位段定义 .....      | 340 |
| 表 12-14: CAN 数据位时间量子寄存器 (CANDBTQ) 位段描述 .....      | 340 |
| 表 12-15: CAN 发送器延时补偿寄存器 (CANTDC) 位段定义 .....       | 341 |
| 表 12-16: CAN 发送器延时补偿寄存器 (CANTDC) 位段描述 .....       | 341 |
| 表 12-17: CAN 总线关闭恢复延时寄存器 (CANBRDLY) 位段定义 .....    | 341 |
| 表 12-18: CAN 总线关闭恢复延时寄存器 (CANBRDLY) 位段描述 .....    | 341 |
| 表 12-19: CAN 状态 (CANSTS) 位段定义 .....               | 342 |
| 表 12-20: CAN 状态 (CANSTS) 位段描述 .....               | 342 |
| 表 12-21: CAN 最新错误码寄存器 (CANLEC) 位段定义 .....         | 343 |
| 表 12-22: CAN 最新错误码寄存器 (CANLEC) 位段描述 .....         | 343 |
| 表 12-23: CAN 杂项中断使能寄存器 (CANMIE) 位段定义 .....        | 344 |
| 表 12-24: CAN 杂项中断使能寄存器 (CANMIE) 位段描述 .....        | 344 |
| 表 12-25: CAN 杂项中断原始事件标志寄存器 (CANMRAWIF) 位段定义 ..... | 346 |
| 表 12-26: CAN 杂项中断原始事件标志寄存器 (CANMRAWIF) 位段描述 ..... | 346 |
| 表 12-27: CAN 杂项中断标志寄存器 (CANMIF) 位段定义 .....        | 348 |
| 表 12-28: CAN 杂项中断标志寄存器 (CANMIF) 位段描述 .....        | 348 |
| 表 12-29: CAN 杂项中断清除寄存器 (CANMIC) 位段定义 .....        | 350 |
| 表 12-30: CAN 杂项中断清除寄存器 (CANMIC) 位段描述 .....        | 350 |
| 表 12-31: CAN 信箱组传输完成中断标志寄存器 (CANTGIF) 位段定义 .....  | 352 |
| 表 12-32: CAN 信箱组传输完成中断标志寄存器 (CANTGIF) 位段描述 .....  | 352 |
| 表 12-33: CAN 信箱组传输完成中断清除寄存器 (CANTGIC) 位段定义 .....  | 354 |
| 表 12-34: CAN 信箱组传输完成中断清除寄存器 (CANTGIC) 位段描述 .....  | 354 |
| 表 12-35: CAN 内存错误地址寄存器 (CANMEMERRADDR) 位段定义 ..... | 355 |
| 表 12-36: CAN 内存错误地址寄存器 (CANMEMERRADDR) 位段描述 ..... | 355 |
| 表 12-37: CAN 测试控制寄存器 (CANTEST) 位段定义 .....         | 356 |



|                                                            |     |
|------------------------------------------------------------|-----|
| 表 12-38: CAN 测试控制寄存器 (CANTEST) 位段描述 .....                  | 356 |
| 表 12-39: CAN 错误计数控制寄存器 (CANECCTL) 位段定义 .....               | 357 |
| 表 12-40: CAN 错误计数控制寄存器 (CANECCTL) 位段描述 .....               | 357 |
| 表 12-41: CAN 发送请求寄存器 n ([0:1]) (CANTXREQ) 位段定义 .....       | 358 |
| 表 12-42: CAN 发送请求寄存器 n ([0:1]) (CANTXREQ) 位段描述 .....       | 358 |
| 表 12-43: CAN 新报文标志寄存器 n ([0:1]) (CANMSGNEW) 位段定义 .....     | 358 |
| 表 12-44: CAN 新报文标志寄存器 n ([0:1]) (CANMSGNEW) 位段描述 .....     | 358 |
| 表 12-45: CAN 信箱传输完成中断标志寄存器 n ([0:1]) (CANMSGIF) 位段定义 ..... | 359 |
| 表 12-46: CAN 信箱传输完成中断标志寄存器 n ([0:1]) (CANMSGIF) 位段描述 ..... | 359 |
| 表 12-47: CAN 信箱使能寄存器 n ([0:1]) (CANMBEN) 位段定义 .....        | 359 |
| 表 12-48: CAN 信箱使能寄存器 n ([0:1]) (CANMBEN) 位段描述 .....        | 359 |
| 表 12-49: CAN 时间戳控制寄存器 (CANTSCTL) 位段定义 .....                | 360 |
| 表 12-50: CAN 时间戳控制寄存器 (CANTSCTL) 位段描述 .....                | 360 |
| 表 12-51: CAN 时间戳计数寄存器 (CANTSCNT) 位段定义 .....                | 360 |
| 表 12-52: CAN 时间戳计数寄存器 (CANTSCNT) 位段描述 .....                | 360 |
| 表 12-53: CAN 内存错误注入样式寄存器 n ([0:1]) (CANMERRPAT) 位段定义 ..... | 361 |
| 表 12-54: CAN 内存错误注入样式寄存器 n ([0:1]) (CANMERRPAT) 位段描述 ..... | 361 |
| 表 12-55: CAN 模块写使能寄存器 (CANREGKEY) 位段定义 .....               | 361 |
| 表 12-56: CAN 模块写使能寄存器 (CANREGKEY) 位段描述 .....               | 361 |
| 表 12-57: CANMBOX 模块基地址 .....                               | 362 |
| 表 12-58: CANMBOX 寄存器列表 .....                               | 362 |
| 表 12-59: CAN 信箱报文数据字寄存器 n ([0:15]) (CANMBOXFDW) 位段定义 ..... | 363 |
| 表 12-60: CAN 信箱报文数据字寄存器 n ([0:15]) (CANMBOXFDW) 位段描述 ..... | 363 |
| 表 12-61: CAN 信箱报文标识符掩码寄存器 (CANMBOXFMSK) 位段定义 .....         | 364 |
| 表 12-62: CAN 信箱报文标识符掩码寄存器 (CANMBOXFMSK) 位段描述 .....         | 364 |
| 表 12-63: CAN 信箱报文标识符寄存器 (CANMBOXFID) 位段定义 .....            | 365 |
| 表 12-64: CAN 信箱报文标识符寄存器 (CANMBOXFID) 位段描述 .....            | 365 |
| 表 12-65: CAN 信箱报文时间戳寄存器 (CANMBOXMTS) 位段定义 .....            | 365 |
| 表 12-66: CAN 信箱报文时间戳寄存器 (CANMBOXMTS) 位段描述 .....            | 365 |
| 表 12-67: CAN 信箱报文控制寄存器 (CANMBOXMCTL) 位段定义 .....            | 366 |
| 表 12-68: CAN 信箱报文控制寄存器 (CANMBOXMCTL) 位段描述 .....            | 366 |
| 表 13-1: ADC 输入选择 .....                                     | 371 |
| 表 13-2: ADC 模块基地址 .....                                    | 381 |
| 表 13-3: ADC 寄存器列表 .....                                    | 381 |
| 表 13-4: ADC 中断标志寄存器 (ADCIF) 位段定义 .....                     | 383 |
| 表 13-5: ADC 中断标志寄存器 (ADCIF) 位段描述 .....                     | 383 |
| 表 13-6: ADC 中断清除寄存器 (ADCIC) 位段定义 .....                     | 384 |
| 表 13-7: ADC 中断清除寄存器 (ADCIC) 位段描述 .....                     | 384 |
| 表 13-8: ADC 中断溢出标志寄存器 (ADCIOVF) 位段定义 .....                 | 385 |
| 表 13-9: ADC 中断溢出标志寄存器 (ADCIOVF) 位段描述 .....                 | 385 |
| 表 13-10: ADC 中断溢出清除寄存器 (ADCIOVFC) 位段定义 .....               | 386 |
| 表 13-11: ADC 中断溢出清除寄存器 (ADCIOVFC) 位段描述 .....               | 386 |
| 表 13-12: ADC 中断使能寄存器 (ADCIE) 位段定义 .....                    | 387 |
| 表 13-13: ADC 中断使能寄存器 (ADCIE) 位段描述 .....                    | 387 |
| 表 13-14: ADC SOC 优先级控制寄存器 (ADCSOCPRCTL) 位段定义 .....         | 388 |
| 表 13-15: ADC SOC 优先级控制寄存器 (ADCSOCPRCTL) 位段描述 .....         | 388 |



|                                                                  |     |
|------------------------------------------------------------------|-----|
| 表 13-16: ADC SOC 请求标志寄存器 (ADCSOCFLG) 位段定义 .....                  | 389 |
| 表 13-17: ADC SOC 请求标志寄存器 (ADCSOCFLG) 位段描述 .....                  | 389 |
| 表 13-18: ADC SOC 请求强制寄存器 (ADCSOCFRC) 位段定义 .....                  | 390 |
| 表 13-19: ADC SOC 请求强制寄存器 (ADCSOCFRC) 位段描述 .....                  | 390 |
| 表 13-20: ADC SOC 请求溢出标志寄存器 (ADCSOCOVF) 位段定义 .....                | 391 |
| 表 13-21: ADC SOC 请求溢出标志寄存器 (ADCSOCOVF) 位段描述 .....                | 391 |
| 表 13-22: ADC SOC 请求溢出标志寄存器 (ADCSOCOVFC) 位段定义 .....               | 392 |
| 表 13-23: ADC SOC 请求溢出标志寄存器 (ADCSOCOVFC) 位段描述 .....               | 392 |
| 表 13-24: ADC EOC 中断事件触发 SOC 使能寄存器 (ADCINTSOCEN) 位段定义 .....       | 393 |
| 表 13-25: ADC EOC 中断事件触发 SOC 使能寄存器 (ADCINTSOCEN) 位段描述 .....       | 393 |
| 表 13-26: ADC EOC 中断事件触发 SOC 选择寄存器 0 (ADCINTSOCSEL[0]) 位段定义 ..... | 394 |
| 表 13-27: ADC EOC 中断事件触发 SOC 选择寄存器 0 (ADCINTSOCSEL[0]) 位段描述 ..... | 394 |
| 表 13-28: ADC 外部 SOC 输入控制寄存器 (ADCEXTSOCCTL) 位段定义 .....            | 395 |
| 表 13-29: ADC 外部 SOC 输入控制寄存器 (ADCEXTSOCCTL) 位段描述 .....            | 395 |
| 表 13-30: ADC 通道 n ([0:7]) 控制寄存器 (ADCCHCTL) 位段定义 .....            | 396 |
| 表 13-31: ADC 通道 n ([0:7]) 控制寄存器 (ADCCHCTL) 位段描述 .....            | 396 |
| 表 13-32: ADC 通道 n ([0:7]) 偏移校准寄存器 (ADCOFFSET) 位段定义 .....         | 397 |
| 表 13-33: ADC 通道 n ([0:7]) 偏移校准寄存器 (ADCOFFSET) 位段描述 .....         | 397 |
| 表 13-34: ADC 通道 n ([0:7]) 增益校准寄存器 (ADCGAIN) 位段定义 .....           | 398 |
| 表 13-35: ADC 通道 n ([0:7]) 增益校准寄存器 (ADCGAIN) 位段描述 .....           | 398 |
| 表 13-36: ADC 采样转换核心电路偏移校准寄存器 (SHOFFSET) 位段定义 .....               | 398 |
| 表 13-37: ADC 采样转换核心电路偏移校准寄存器 (SHOFFSET) 位段描述 .....               | 398 |
| 表 13-38: ADC 采样转换核心电路增益校准寄存器 (SHGAIN) 位段定义 .....                 | 399 |
| 表 13-39: ADC 采样转换核心电路增益校准寄存器 (SHGAIN) 位段描述 .....                 | 399 |
| 表 13-40: ADC 采样转换 EOC 标志寄存器 (SHFLG) 位段定义 .....                   | 399 |
| 表 13-41: ADC 采样转换 EOC 标志寄存器 (SHFLG) 位段描述 .....                   | 399 |
| 表 13-42: ADC 控制寄存器 (ADCCTL) 位段定义 .....                           | 400 |
| 表 13-43: ADC 控制寄存器 (ADCCTL) 位段描述 .....                           | 400 |
| 表 13-44: ADC 采样转换原始码值 (SHRAWCODE) 位段定义 .....                     | 402 |
| 表 13-45: ADC 采样转换原始码值 (SHRAWCODE) 位段描述 .....                     | 402 |
| 表 13-46: ADC 结果 DMA 访问接口寄存器 (DMARESULT) 位段定义 .....               | 402 |
| 表 13-47: ADC 结果 DMA 访问接口寄存器 (DMARESULT) 位段描述 .....               | 402 |
| 表 13-48: ADC 通道 n ([0:7]) 结果寄存器 (ADCRESULT) 位段定义 .....           | 403 |
| 表 13-49: ADC 通道 n ([0:7]) 结果寄存器 (ADCRESULT) 位段描述 .....           | 403 |
| 表 13-50: 后处理单元 n ([0:3]) 比较结果寄存器 (PPURESULT) 位段定义 .....          | 403 |
| 表 13-51: 后处理单元 n ([0:3]) 比较结果寄存器 (PPURESULT) 位段描述 .....          | 403 |
| 表 13-52: 后处理单元 n ([0:3]) SOC 响应延时寄存器 (PPUSOCDLY) 位段定义 .....      | 404 |
| 表 13-53: 后处理单元 n ([0:3]) SOC 响应延时寄存器 (PPUSOCDLY) 位段描述 .....      | 404 |
| 表 13-54: 后处理单元 n ([0:3]) 中断原始事件标志寄存器 (PPURAWIF) 位段定义 .....       | 404 |
| 表 13-55: 后处理单元 n ([0:3]) 中断原始事件标志寄存器 (PPURAWIF) 位段描述 .....       | 404 |
| 表 13-56: 后处理单元 n ([0:3]) 中断标志寄存器 (PPUIF) 位段定义 .....              | 405 |
| 表 13-57: 后处理单元 n ([0:3]) 中断标志寄存器 (PPUIF) 位段描述 .....              | 405 |
| 表 13-58: 后处理单元 n ([0:3]) 中断清除寄存器 (PPUIC) 位段定义 .....              | 406 |
| 表 13-59: 后处理单元 n ([0:3]) 中断清除寄存器 (PPUIC) 位段描述 .....              | 406 |
| 表 13-60: 后处理单元 n ([0:3]) 中断使能寄存器 (PPUIE) 位段定义 .....              | 407 |
| 表 13-61: 后处理单元 n ([0:3]) 中断使能寄存器 (PPUIE) 位段描述 .....              | 407 |

|                                                  |     |
|--------------------------------------------------|-----|
| 表 13-62: 后处理单元 n ([0:3]) 封锁事件使能寄存器 (PPUTZE) 位段定义 | 408 |
| 表 13-63: 后处理单元 n ([0:3]) 封锁事件使能寄存器 (PPUTZE) 位段描述 | 408 |
| 表 13-64: 后处理单元 n ([0:3]) 控制寄存器 (PPUCTL) 位段定义     | 409 |
| 表 13-65: 后处理单元 n ([0:3]) 控制寄存器 (PPUCTL) 位段描述     | 409 |
| 表 13-66: 后处理单元 n ([0:3]) 比较参考寄存器 (PPUREF) 位段定义   | 410 |
| 表 13-67: 后处理单元 n ([0:3]) 比较参考寄存器 (PPUREF) 位段描述   | 410 |
| 表 13-68: 后处理单元 n ([0:3]) 下限阈值寄存器 (PPUTHL) 位段定义   | 410 |
| 表 13-69: 后处理单元 n ([0:3]) 下限阈值寄存器 (PPUTHL) 位段描述   | 410 |
| 表 13-70: 后处理单元 n ([0:3]) 上限阈值寄存器 (PPUTHH) 位段定义   | 411 |
| 表 13-71: 后处理单元 n ([0:3]) 上限阈值寄存器 (PPUTHH) 位段描述   | 411 |
| 表 13-72: 温度传感器控制寄存器 (TSENSCTL) 位段定义              | 412 |
| 表 13-73: 温度传感器控制寄存器 (TSENSCTL) 位段描述              | 412 |
| 表 13-74: ADC 模块写使能寄存器 (ADCREGKEY) 位段定义           | 413 |
| 表 13-75: ADC 模块写使能寄存器 (ADCREGKEY) 位段描述           | 413 |
| 表 14-1: PGA 输入选择                                 | 415 |
| 表 14-2: PGA 模式选择                                 | 415 |
| 表 14-3: PGA 增益选择                                 | 416 |
| 表 14-4: PGA 模块基地址                                | 420 |
| 表 14-5: PGA 寄存器列表                                | 420 |
| 表 14-6: PGA0 控制寄存器 (PGA0CTL) 位段定义                | 421 |
| 表 14-7: PGA0 控制寄存器 (PGA0CTL) 位段描述                | 421 |
| 表 14-8: PGA1 控制寄存器 (PGA1CTL) 位段定义                | 422 |
| 表 14-9: PGA1 控制寄存器 (PGA1CTL) 位段描述                | 422 |
| 表 14-10: PGA2 控制寄存器 (PGA2CTL) 位段定义               | 423 |
| 表 14-11: PGA2 控制寄存器 (PGA2CTL) 位段描述               | 423 |
| 表 14-12: PGA 模块写使能寄存器 (PGAREGKEY) 位段定义           | 424 |
| 表 14-13: PGA 模块写使能寄存器 (PGAREGKEY) 位段描述           | 424 |
| 表 16-1: 比较器迟滞选择                                  | 428 |
| 表 16-2: 比较器 COMP0H/COMP0L 输入选择                   | 429 |
| 表 16-3: 比较器 COMP1H/COMP1L 输入选择                   | 429 |
| 表 16-4: 比较器 COMP2H/COMP2L 输入选择                   | 429 |
| 表 16-5: 比较器 COMP3H/COMP3L 输入选择                   | 429 |
| 表 16-6: 比较器 COMP4H/COMP4L 输入选择                   | 429 |
| 表 16-7: 比较器 COMP5H/COMP5L 输入选择                   | 430 |
| 表 16-8: 比较器 COMP6H/COMP6L 输入选择                   | 430 |
| 表 16-9: 比较器 COMP7H/COMP7L 输入选择                   | 430 |
| 表 16-10: DAC 缓冲器输入选择                             | 431 |
| 表 16-11: COMP 模块基地址                              | 434 |
| 表 16-12: COMP 寄存器列表                              | 434 |
| 表 16-13: 比较器滤波输出寄存器 (COMPFLTOUT) 位段定义            | 436 |
| 表 16-14: 比较器滤波输出寄存器 (COMPFLTOUT) 位段描述            | 436 |
| 表 16-15: 比较器标志寄存器 (COMPFLG) 位段定义                 | 438 |
| 表 16-16: 比较器标志寄存器 (COMPFLG) 位段描述                 | 438 |
| 表 16-17: 比较器标志清除寄存器 (COMPFLGCLR) 位段定义            | 440 |
| 表 16-18: 比较器标志清除寄存器 (COMPFLGCLR) 位段描述            | 440 |
| 表 16-19: 比较器 0 控制寄存器 (COMP0CTL) 位段定义             | 442 |

|                                              |     |
|----------------------------------------------|-----|
| 表 16-20: 比较器 0 控制寄存器 (COMP0CTL) 位段描述 .....   | 442 |
| 表 16-21: COMP0L 控制寄存器 (COMP0LCTL) 位段定义 ..... | 443 |
| 表 16-22: COMP0L 控制寄存器 (COMP0LCTL) 位段描述 ..... | 443 |
| 表 16-23: COMP0H 控制寄存器 (COMP0HCTL) 位段定义 ..... | 445 |
| 表 16-24: COMP0H 控制寄存器 (COMP0HCTL) 位段描述 ..... | 445 |
| 表 16-25: 比较器 1 控制寄存器 (COMP1CTL) 位段定义 .....   | 447 |
| 表 16-26: 比较器 1 控制寄存器 (COMP1CTL) 位段描述 .....   | 447 |
| 表 16-27: COMP1L 控制寄存器 (COMP1LCTL) 位段定义 ..... | 448 |
| 表 16-28: COMP1L 控制寄存器 (COMP1LCTL) 位段描述 ..... | 448 |
| 表 16-29: COMP1H 控制寄存器 (COMP1HCTL) 位段定义 ..... | 450 |
| 表 16-30: COMP1H 控制寄存器 (COMP1HCTL) 位段描述 ..... | 450 |
| 表 16-31: 比较器 2 控制寄存器 (COMP2CTL) 位段定义 .....   | 452 |
| 表 16-32: 比较器 2 控制寄存器 (COMP2CTL) 位段描述 .....   | 452 |
| 表 16-33: COMP2L 控制寄存器 (COMP2LCTL) 位段定义 ..... | 453 |
| 表 16-34: COMP2L 控制寄存器 (COMP2LCTL) 位段描述 ..... | 453 |
| 表 16-35: COMP2H 控制寄存器 (COMP2HCTL) 位段定义 ..... | 455 |
| 表 16-36: COMP2H 控制寄存器 (COMP2HCTL) 位段描述 ..... | 455 |
| 表 16-37: 比较器 3 控制寄存器 (COMP3CTL) 位段定义 .....   | 457 |
| 表 16-38: 比较器 3 控制寄存器 (COMP3CTL) 位段描述 .....   | 457 |
| 表 16-39: COMP3L 控制寄存器 (COMP3LCTL) 位段定义 ..... | 458 |
| 表 16-40: COMP3L 控制寄存器 (COMP3LCTL) 位段描述 ..... | 458 |
| 表 16-41: COMP3H 控制寄存器 (COMP3HCTL) 位段定义 ..... | 460 |
| 表 16-42: COMP3H 控制寄存器 (COMP3HCTL) 位段描述 ..... | 460 |
| 表 16-43: 比较器 4 控制寄存器 (COMP4CTL) 位段定义 .....   | 462 |
| 表 16-44: 比较器 4 控制寄存器 (COMP4CTL) 位段描述 .....   | 462 |
| 表 16-45: COMP4L 控制寄存器 (COMP4LCTL) 位段定义 ..... | 463 |
| 表 16-46: COMP4L 控制寄存器 (COMP4LCTL) 位段描述 ..... | 463 |
| 表 16-47: COMP4H 控制寄存器 (COMP4HCTL) 位段定义 ..... | 465 |
| 表 16-48: COMP4H 控制寄存器 (COMP4HCTL) 位段描述 ..... | 465 |
| 表 16-49: 比较器 5 控制寄存器 (COMP5CTL) 位段定义 .....   | 467 |
| 表 16-50: 比较器 5 控制寄存器 (COMP5CTL) 位段描述 .....   | 467 |
| 表 16-51: COMP5L 控制寄存器 (COMP5LCTL) 位段定义 ..... | 468 |
| 表 16-52: COMP5L 控制寄存器 (COMP5LCTL) 位段描述 ..... | 468 |
| 表 16-53: COMP5H 控制寄存器 (COMP5HCTL) 位段定义 ..... | 470 |
| 表 16-54: COMP5H 控制寄存器 (COMP5HCTL) 位段描述 ..... | 470 |
| 表 16-55: 比较器 6 控制寄存器 (COMP6CTL) 位段定义 .....   | 472 |
| 表 16-56: 比较器 6 控制寄存器 (COMP6CTL) 位段描述 .....   | 472 |
| 表 16-57: COMP6L 控制寄存器 (COMP6LCTL) 位段定义 ..... | 473 |
| 表 16-58: COMP6L 控制寄存器 (COMP6LCTL) 位段描述 ..... | 473 |
| 表 16-59: COMP6H 控制寄存器 (COMP6HCTL) 位段定义 ..... | 475 |
| 表 16-60: COMP6H 控制寄存器 (COMP6HCTL) 位段描述 ..... | 475 |
| 表 16-61: 比较器 7 控制寄存器 (COMP7CTL) 位段定义 .....   | 477 |
| 表 16-62: 比较器 7 控制寄存器 (COMP7CTL) 位段描述 .....   | 477 |
| 表 16-63: COMP7L 控制寄存器 (COMP7LCTL) 位段定义 ..... | 478 |
| 表 16-64: COMP7L 控制寄存器 (COMP7LCTL) 位段描述 ..... | 478 |
| 表 16-65: COMP7H 控制寄存器 (COMP7HCTL) 位段定义 ..... | 480 |



|                                             |     |
|---------------------------------------------|-----|
| 表 16-66: COMP7H 控制寄存器 (COMP7HCTL) 位段描述      | 480 |
| 表 16-67: DAC0 控制寄存器 (DAC0CTL) 位段定义          | 482 |
| 表 16-68: DAC0 控制寄存器 (DAC0CTL) 位段描述          | 482 |
| 表 16-69: DAC0 码值寄存器 (DAC0CODE) 位段定义         | 483 |
| 表 16-70: DAC0 码值寄存器 (DAC0CODE) 位段描述         | 483 |
| 表 16-71: DAC0 有效码值寄存器 (DAC0CODEA) 位段定义      | 484 |
| 表 16-72: DAC0 有效码值寄存器 (DAC0CODEA) 位段描述      | 484 |
| 表 16-73: RAMP0 延时影子寄存器 (RAMP0DLY) 位段定义      | 484 |
| 表 16-74: RAMP0 延时影子寄存器 (RAMP0DLY) 位段描述      | 484 |
| 表 16-75: RAMP0 有效延时寄存器 (RAMP0DLYA) 位段定义     | 485 |
| 表 16-76: RAMP0 有效延时寄存器 (RAMP0DLYA) 位段描述     | 485 |
| 表 16-77: RAMP0 递减步长影子寄存器 (RAMP0DEC) 位段定义    | 485 |
| 表 16-78: RAMP0 递减步长影子寄存器 (RAMP0DEC) 位段描述    | 485 |
| 表 16-79: RAMP0 有效递减步长寄存器 (RAMP0DECA) 位段定义   | 486 |
| 表 16-80: RAMP0 有效递减步长寄存器 (RAMP0DECA) 位段描述   | 486 |
| 表 16-81: RAMP0 加载初值影子寄存器 (RAMP0LOAD) 位段定义   | 486 |
| 表 16-82: RAMP0 加载初值影子寄存器 (RAMP0LOAD) 位段描述   | 486 |
| 表 16-83: RAMP0 有效加载初值寄存器 (RAMP0LOADA) 位段定义  | 487 |
| 表 16-84: RAMP0 有效加载初值寄存器 (RAMP0LOADA) 位段描述  | 487 |
| 表 16-85: RAMP0 计数寄存器 (RAMP0CNT) 位段定义        | 487 |
| 表 16-86: RAMP0 计数寄存器 (RAMP0CNT) 位段描述        | 487 |
| 表 16-87: DAC1 控制寄存器 (DAC1CTL) 位段定义          | 488 |
| 表 16-88: DAC1 控制寄存器 (DAC1CTL) 位段描述          | 488 |
| 表 16-89: DAC1 码值寄存器 (DAC1CODE) 位段定义         | 489 |
| 表 16-90: DAC1 码值寄存器 (DAC1CODE) 位段描述         | 489 |
| 表 16-91: DAC1 有效码值寄存器 (DAC1CODEA) 位段定义      | 490 |
| 表 16-92: DAC1 有效码值寄存器 (DAC1CODEA) 位段描述      | 490 |
| 表 16-93: RAMP1 延时影子寄存器 (RAMP1DLY) 位段定义      | 490 |
| 表 16-94: RAMP1 延时影子寄存器 (RAMP1DLY) 位段描述      | 490 |
| 表 16-95: RAMP1 有效延时寄存器 (RAMP1DLYA) 位段定义     | 491 |
| 表 16-96: RAMP1 有效延时寄存器 (RAMP1DLYA) 位段描述     | 491 |
| 表 16-97: RAMP1 递减步长影子寄存器 (RAMP1DEC) 位段定义    | 491 |
| 表 16-98: RAMP1 递减步长影子寄存器 (RAMP1DEC) 位段描述    | 491 |
| 表 16-99: RAMP1 有效递减步长寄存器 (RAMP1DECA) 位段定义   | 492 |
| 表 16-100: RAMP1 有效递减步长寄存器 (RAMP1DECA) 位段描述  | 492 |
| 表 16-101: RAMP1 加载初值影子寄存器 (RAMP1LOAD) 位段定义  | 492 |
| 表 16-102: RAMP1 加载初值影子寄存器 (RAMP1LOAD) 位段描述  | 492 |
| 表 16-103: RAMP1 有效加载初值寄存器 (RAMP1LOADA) 位段定义 | 493 |
| 表 16-104: RAMP1 有效加载初值寄存器 (RAMP1LOADA) 位段描述 | 493 |
| 表 16-105: RAMP1 计数寄存器 (RAMP1CNT) 位段定义       | 493 |
| 表 16-106: RAMP1 计数寄存器 (RAMP1CNT) 位段描述       | 493 |
| 表 16-107: DAC2 控制寄存器 (DAC2CTL) 位段定义         | 494 |
| 表 16-108: DAC2 控制寄存器 (DAC2CTL) 位段描述         | 494 |
| 表 16-109: DAC2 码值寄存器 (DAC2CODE) 位段定义        | 495 |
| 表 16-110: DAC2 码值寄存器 (DAC2CODE) 位段描述        | 495 |
| 表 16-111: DAC2 有效码值寄存器 (DAC2CODEA) 位段定义     | 495 |

|                                             |     |
|---------------------------------------------|-----|
| 表 16-112: DAC2 有效码值寄存器 (DAC2CODEA) 位段描述     | 495 |
| 表 16-113: DAC3 控制寄存器 (DAC3CTL) 位段定义         | 496 |
| 表 16-114: DAC3 控制寄存器 (DAC3CTL) 位段描述         | 496 |
| 表 16-115: DAC3 码值寄存器 (DAC3CODE) 位段定义        | 497 |
| 表 16-116: DAC3 码值寄存器 (DAC3CODE) 位段描述        | 497 |
| 表 16-117: DAC3 有效码值寄存器 (DAC3CODEA) 位段定义     | 497 |
| 表 16-118: DAC3 有效码值寄存器 (DAC3CODEA) 位段描述     | 497 |
| 表 16-119: DAC4 控制寄存器 (DAC4CTL) 位段定义         | 498 |
| 表 16-120: DAC4 控制寄存器 (DAC4CTL) 位段描述         | 498 |
| 表 16-121: DAC4 码值寄存器 (DAC4CODE) 位段定义        | 499 |
| 表 16-122: DAC4 码值寄存器 (DAC4CODE) 位段描述        | 499 |
| 表 16-123: DAC4 有效码值寄存器 (DAC4CODEA) 位段定义     | 499 |
| 表 16-124: DAC4 有效码值寄存器 (DAC4CODEA) 位段描述     | 499 |
| 表 16-125: DAC5 控制寄存器 (DAC5CTL) 位段定义         | 500 |
| 表 16-126: DAC5 控制寄存器 (DAC5CTL) 位段描述         | 500 |
| 表 16-127: DAC5 码值寄存器 (DAC5CODE) 位段定义        | 501 |
| 表 16-128: DAC5 码值寄存器 (DAC5CODE) 位段描述        | 501 |
| 表 16-129: DAC5 有效码值寄存器 (DAC5CODEA) 位段定义     | 501 |
| 表 16-130: DAC5 有效码值寄存器 (DAC5CODEA) 位段描述     | 501 |
| 表 16-131: DAC 缓冲器 0 控制寄存器 (DACBUF0CTL) 位段定义 | 502 |
| 表 16-132: DAC 缓冲器 0 控制寄存器 (DACBUF0CTL) 位段描述 | 502 |
| 表 16-133: DAC 缓冲器 1 控制寄存器 (DACBUF1CTL) 位段定义 | 503 |
| 表 16-134: DAC 缓冲器 1 控制寄存器 (DACBUF1CTL) 位段描述 | 503 |
| 表 16-135: COMP 模块写使能寄存器 (COMPREGKEY) 位段定义   | 504 |
| 表 16-136: COMP 模块写使能寄存器 (COMPREGKEY) 位段描述   | 504 |
| 表 17-1: 向上计数时的行为限定事件优先级                     | 513 |
| 表 17-2: 向下计数时的行为限定事件优先级                     | 513 |
| 表 17-3: 上下计数时的行为限定事件优先级                     | 513 |
| 表 17-4: 典型的死区控制工作模式                         | 515 |
| 表 17-5: 影响 PWM 最终输出波形的事件优先级                 | 519 |
| 表 17-6: PWM 模块基地址                           | 525 |
| 表 17-7: PWM 寄存器列表                           | 525 |
| 表 17-8: 影子状态寄存器 (SHADOWSTS) 位段定义            | 527 |
| 表 17-9: 影子状态寄存器 (SHADOWSTS) 位段描述            | 527 |
| 表 17-10: 全局影子值重置有效值控制寄存器 0 (GLDCTL0) 位段定义   | 529 |
| 表 17-11: 全局影子值重置有效值控制寄存器 0 (GLDCTL0) 位段描述   | 529 |
| 表 17-12: 全局影子值重置有效值控制寄存器 1 (GLDCTL1) 位段定义   | 530 |
| 表 17-13: 全局影子值重置有效值控制寄存器 1 (GLDCTL1) 位段描述   | 530 |
| 表 17-14: 全局影子值重置有效值控制选择寄存器 (GLDSEL) 位段定义    | 531 |
| 表 17-15: 全局影子值重置有效值控制选择寄存器 (GLDSEL) 位段描述    | 531 |
| 表 17-16: PWM 链接控制寄存器 (PWMLINK) 位段定义         | 533 |
| 表 17-17: PWM 链接控制寄存器 (PWMLINK) 位段描述         | 533 |
| 表 17-18: 时基控制寄存器 (TBCTL) 位段定义               | 535 |
| 表 17-19: 时基控制寄存器 (TBCTL) 位段描述               | 535 |
| 表 17-20: 时基周期寄存器 (TBPRD) 位段定义               | 537 |
| 表 17-21: 时基周期寄存器 (TBPRD) 位段描述               | 537 |



|                                                  |     |
|--------------------------------------------------|-----|
| 表 17-22: 时基周期有效值寄存器 (TBPRDA) 位段定义 .....          | 537 |
| 表 17-23: 时基周期有效值寄存器 (TBPRDA) 位段描述 .....          | 537 |
| 表 17-24: 时基相位寄存器 (TBPHS) 位段定义 .....              | 538 |
| 表 17-25: 时基相位寄存器 (TBPHS) 位段描述 .....              | 538 |
| 表 17-26: 时基计数值寄存器 (TBCNT) 位段定义 .....             | 538 |
| 表 17-27: 时基计数值寄存器 (TBCNT) 位段描述 .....             | 538 |
| 表 17-28: 时基标志寄存器 (TBFLG) 位段定义 .....              | 539 |
| 表 17-29: 时基标志寄存器 (TBFLG) 位段描述 .....              | 539 |
| 表 17-30: 时基标志清除寄存器 (TBFLGCLR) 位段定义 .....         | 541 |
| 表 17-31: 时基标志清除寄存器 (TBFLGCLR) 位段描述 .....         | 541 |
| 表 17-32: 计数比较控制寄存器 (CMPCTL) 位段定义 .....           | 542 |
| 表 17-33: 计数比较控制寄存器 (CMPCTL) 位段描述 .....           | 542 |
| 表 17-34: 计数比较阈值 A 寄存器 (CMPA) 位段定义 .....          | 544 |
| 表 17-35: 计数比较阈值 A 寄存器 (CMPA) 位段描述 .....          | 544 |
| 表 17-36: 计数比较阈值 A 有效值寄存器 (CMPAA) 位段定义 .....      | 544 |
| 表 17-37: 计数比较阈值 A 有效值寄存器 (CMPAA) 位段描述 .....      | 544 |
| 表 17-38: 计数比较阈值 B 寄存器 (CMPB) 位段定义 .....          | 545 |
| 表 17-39: 计数比较阈值 B 寄存器 (CMPB) 位段描述 .....          | 545 |
| 表 17-40: 计数比较阈值 B 寄存器 (CMPBA) 位段定义 .....         | 545 |
| 表 17-41: 计数比较阈值 B 寄存器 (CMPBA) 位段描述 .....         | 545 |
| 表 17-42: 计数比较阈值 C 寄存器 (CMPC) 位段定义 .....          | 546 |
| 表 17-43: 计数比较阈值 C 寄存器 (CMPC) 位段描述 .....          | 546 |
| 表 17-44: 计数比较阈值 C 有效值寄存器 (CMPCA) 位段定义 .....      | 546 |
| 表 17-45: 计数比较阈值 C 有效值寄存器 (CMPCA) 位段描述 .....      | 546 |
| 表 17-46: 计数比较阈值 D 寄存器 (CMPD) 位段定义 .....          | 547 |
| 表 17-47: 计数比较阈值 D 寄存器 (CMPD) 位段描述 .....          | 547 |
| 表 17-48: 计数比较阈值 D 有效值寄存器 (CMPDA) 位段定义 .....      | 547 |
| 表 17-49: 计数比较阈值 D 有效值寄存器 (CMPDA) 位段描述 .....      | 547 |
| 表 17-50: 行为限定控制寄存器 (AQCTL) 位段定义 .....            | 548 |
| 表 17-51: 行为限定控制寄存器 (AQCTL) 位段描述 .....            | 548 |
| 表 17-52: 行为限定 A 路输出控制寄存器 (AQCTLA) 位段定义 .....     | 550 |
| 表 17-53: 行为限定 A 路输出控制寄存器 (AQCTLA) 位段描述 .....     | 550 |
| 表 17-54: 行为限定 A 路输出控制有效值寄存器 (AQCTLAA) 位段定义 ..... | 552 |
| 表 17-55: 行为限定 A 路输出控制有效值寄存器 (AQCTLAA) 位段描述 ..... | 552 |
| 表 17-56: 行为限定 B 路输出控制寄存器 (AQCTLB) 位段定义 .....     | 554 |
| 表 17-57: 行为限定 B 路输出控制寄存器 (AQCTLB) 位段描述 .....     | 554 |
| 表 17-58: 行为限定 B 路输出控制有效值寄存器 (AQCTLBA) 位段定义 ..... | 556 |
| 表 17-59: 行为限定 B 路输出控制有效值寄存器 (AQCTLBA) 位段描述 ..... | 556 |
| 表 17-60: 行为限定软件强制寄存器 (AQSFRC) 位段定义 .....         | 558 |
| 表 17-61: 行为限定软件强制寄存器 (AQSFRC) 位段描述 .....         | 558 |
| 表 17-62: 行为限定软件持续强制寄存器 (AQCSFRC) 位段定义 .....      | 559 |
| 表 17-63: 行为限定软件持续强制寄存器 (AQCSFRC) 位段描述 .....      | 559 |
| 表 17-64: 行为限定软件持续强制有效值寄存器 (AQCSFRCA) 位段定义 .....  | 560 |
| 表 17-65: 行为限定软件持续强制有效值寄存器 (AQCSFRCA) 位段描述 .....  | 560 |
| 表 17-66: 死区产生控制寄存器 (DBCTL) 位段定义 .....            | 561 |
| 表 17-67: 死区产生控制寄存器 (DBCTL) 位段描述 .....            | 561 |

|                                                |     |
|------------------------------------------------|-----|
| 表 17-68: 死区产生控制有效值寄存器 (DBCTLA) 位段定义            | 564 |
| 表 17-69: 死区产生控制有效值寄存器 (DBCTLA) 位段描述            | 564 |
| 表 17-70: 死区产生上升沿延迟量寄存器 (DBRED) 位段定义            | 565 |
| 表 17-71: 死区产生上升沿延迟量寄存器 (DBRED) 位段描述            | 565 |
| 表 17-72: 死区产生上升沿延迟量有效值寄存器 (DBREDA) 位段定义        | 566 |
| 表 17-73: 死区产生上升沿延迟量有效值寄存器 (DBREDA) 位段描述        | 566 |
| 表 17-74: 死区产生下降沿延迟量寄存器 (DBFED) 位段定义            | 566 |
| 表 17-75: 死区产生下降沿延迟量寄存器 (DBFED) 位段描述            | 566 |
| 表 17-76: 死区产生下降沿延迟量有效值寄存器 (DBFEDA) 位段定义        | 567 |
| 表 17-77: 死区产生下降沿延迟量有效值寄存器 (DBFEDA) 位段描述        | 567 |
| 表 17-78: 封锁事件选择寄存器 (TZSEL) 位段定义                | 568 |
| 表 17-79: 封锁事件选择寄存器 (TZSEL) 位段描述                | 568 |
| 表 17-80: 封锁标志寄存器 (TZFLG) 位段定义                  | 571 |
| 表 17-81: 封锁标志寄存器 (TZFLG) 位段描述                  | 571 |
| 表 17-82: 封锁状态清除寄存器 (TZSTCLR) 位段定义              | 573 |
| 表 17-83: 封锁状态清除寄存器 (TZSTCLR) 位段描述              | 573 |
| 表 17-84: 数字比较封锁事件选择寄存器 (TZDCSEL) 位段定义          | 575 |
| 表 17-85: 数字比较封锁事件选择寄存器 (TZDCSEL) 位段描述          | 575 |
| 表 17-86: 封锁 A 路输出控制寄存器 (TZACTL) 位段定义           | 577 |
| 表 17-87: 封锁 A 路输出控制寄存器 (TZACTL) 位段描述           | 577 |
| 表 17-88: 封锁 B 路输出控制寄存器 (TZBCTL) 位段定义           | 579 |
| 表 17-89: 封锁 B 路输出控制寄存器 (TZBCTL) 位段描述           | 579 |
| 表 17-90: 封锁中断标志寄存器 (TZIF) 位段定义                 | 581 |
| 表 17-91: 封锁中断标志寄存器 (TZIF) 位段描述                 | 581 |
| 表 17-92: 封锁中断清除寄存器 (TZIC) 位段定义                 | 583 |
| 表 17-93: 封锁中断清除寄存器 (TZIC) 位段描述                 | 583 |
| 表 17-94: 封锁中断使能寄存器 (TZIE) 位段定义                 | 585 |
| 表 17-95: 封锁中断使能寄存器 (TZIE) 位段描述                 | 585 |
| 表 17-96: 封锁中断强制寄存器 (TZFRC) 位段定义                | 586 |
| 表 17-97: 封锁中断强制寄存器 (TZFRC) 位段描述                | 586 |
| 表 17-98: 数字比较 DCAL 事件选择寄存器 (DCALTRIPSEL) 位段定义  | 588 |
| 表 17-99: 数字比较 DCAL 事件选择寄存器 (DCALTRIPSEL) 位段描述  | 588 |
| 表 17-100: 数字比较 DCAH 事件选择寄存器 (DCAHTRIPSEL) 位段定义 | 591 |
| 表 17-101: 数字比较 DCAH 事件选择寄存器 (DCAHTRIPSEL) 位段描述 | 591 |
| 表 17-102: 数字比较 DCBL 事件选择寄存器 (DCBLTRIPSEL) 位段定义 | 594 |
| 表 17-103: 数字比较 DCBL 事件选择寄存器 (DCBLTRIPSEL) 位段描述 | 594 |
| 表 17-104: 数字比较 DCBH 事件选择寄存器 (DCBHTRIPSEL) 位段定义 | 597 |
| 表 17-105: 数字比较 DCBH 事件选择寄存器 (DCBHTRIPSEL) 位段描述 | 597 |
| 表 17-106: 数字比较 A 控制寄存器 (DCACTL) 位段定义           | 600 |
| 表 17-107: 数字比较 A 控制寄存器 (DCACTL) 位段描述           | 600 |
| 表 17-108: 数字比较 B 控制寄存器 (DCBCTL) 位段定义           | 601 |
| 表 17-109: 数字比较 B 控制寄存器 (DCBCTL) 位段描述           | 601 |
| 表 17-110: 数字比较消隐滤波控制寄存器 (DCFCTL) 位段定义          | 602 |
| 表 17-111: 数字比较消隐滤波控制寄存器 (DCFCTL) 位段描述          | 602 |
| 表 17-112: 数字比较消隐窗口偏移量寄存器 (DCFOFFSET) 位段定义      | 603 |
| 表 17-113: 数字比较消隐窗口偏移量寄存器 (DCFOFFSET) 位段描述      | 603 |

|           |                                              |     |
|-----------|----------------------------------------------|-----|
| 表 17-114: | 数字比较消隐窗口偏移计数值寄存器 (DCOFFSETCNT) 位段定义          | 604 |
| 表 17-115: | 数字比较消隐窗口偏移计数值寄存器 (DCOFFSETCNT) 位段描述          | 604 |
| 表 17-116: | 数字比较消隐窗口大小寄存器 (DCFWINDOW) 位段定义               | 605 |
| 表 17-117: | 数字比较消隐窗口大小寄存器 (DCFWINDOW) 位段描述               | 605 |
| 表 17-118: | 数字比较消隐窗口大小计数寄存器 (DCFWINDOWCNT) 位段定义          | 606 |
| 表 17-119: | 数字比较消隐窗口大小计数寄存器 (DCFWINDOWCNT) 位段描述          | 606 |
| 表 17-120: | 数字比较时基计数捕获控制寄存器 (DCCAPCTL) 位段定义              | 607 |
| 表 17-121: | 数字比较时基计数捕获控制寄存器 (DCCAPCTL) 位段描述              | 607 |
| 表 17-122: | 数字比较时基计数捕获值寄存器 (DCCAP) 位段定义                  | 608 |
| 表 17-123: | 数字比较时基计数捕获值寄存器 (DCCAP) 位段描述                  | 608 |
| 表 17-124: | 事件触发控制寄存器 (ETCTL) 位段定义                       | 609 |
| 表 17-125: | 事件触发控制寄存器 (ETCTL) 位段描述                       | 609 |
| 表 17-126: | 事件触发预分频寄存器 (ETPS) 位段定义                       | 612 |
| 表 17-127: | 事件触发预分频寄存器 (ETPS) 位段描述                       | 612 |
| 表 17-128: | 事件触发标志寄存器 (ETFLG) 位段定义                       | 614 |
| 表 17-129: | 事件触发标志寄存器 (ETFLG) 位段描述                       | 614 |
| 表 17-130: | 事件触发标志清除寄存器 (ETCLR) 位段定义                     | 615 |
| 表 17-131: | 事件触发标志清除寄存器 (ETCLR) 位段描述                     | 615 |
| 表 17-132: | 事件触发软件强制寄存器 (ETFRC) 位段定义                     | 616 |
| 表 17-133: | 事件触发软件强制寄存器 (ETFRC) 位段描述                     | 616 |
| 表 17-134: | PWM 模块写使能寄存器 (PWMREGKEY) 位段定义                | 617 |
| 表 17-135: | PWM 模块写使能寄存器 (PWMREGKEY) 位段描述                | 617 |
| 表 17-136: | PWMCFG 模块基址                                  | 618 |
| 表 17-137: | PWMCFG 寄存器列表                                 | 618 |
| 表 17-138: | TZ0 信号源控制寄存器 (TZ0SRCCTL) 位段定义                | 619 |
| 表 17-139: | TZ0 信号源控制寄存器 (TZ0SRCCTL) 位段描述                | 619 |
| 表 17-140: | TZ1 信号源控制寄存器 (TZ1SRCCTL) 位段定义                | 619 |
| 表 17-141: | TZ1 信号源控制寄存器 (TZ1SRCCTL) 位段描述                | 619 |
| 表 17-142: | TZ2 信号源控制寄存器 (TZ2SRCCTL) 位段定义                | 620 |
| 表 17-143: | TZ2 信号源控制寄存器 (TZ2SRCCTL) 位段描述                | 620 |
| 表 17-144: | TZ3 信号源控制寄存器 (TZ3SRCCTL) 位段定义                | 620 |
| 表 17-145: | TZ3 信号源控制寄存器 (TZ3SRCCTL) 位段描述                | 620 |
| 表 17-146: | TZ4 信号源控制寄存器 (TZ4SRCCTL) 位段定义                | 621 |
| 表 17-147: | TZ4 信号源控制寄存器 (TZ4SRCCTL) 位段描述                | 621 |
| 表 17-148: | 全局 PWM 软件强制同步寄存器 (FRCSYNC) 位段定义              | 622 |
| 表 17-149: | 全局 PWM 软件强制同步寄存器 (FRCSYNC) 位段描述              | 622 |
| 表 17-150: | GPIO 触发 PWMSYNCI 信号源控制寄存器 (GPIOSYNCCTL) 位段定义 | 623 |
| 表 17-151: | GPIO 触发 PWMSYNCI 信号源控制寄存器 (GPIOSYNCCTL) 位段描述 | 623 |
| 表 17-152: | GPIO 触发 PWMSYNCI 使能寄存器 (GPIOSYNCEN) 位段定义     | 624 |
| 表 17-153: | GPIO 触发 PWMSYNCI 使能寄存器 (GPIOSYNCEN) 位段描述     | 624 |
| 表 17-154: | TIMER0 触发 PWMSYNCI 使能寄存器 (TMR0SYNCEN) 位段定义   | 625 |
| 表 17-155: | TIMER0 触发 PWMSYNCI 使能寄存器 (TMR0SYNCEN) 位段描述   | 625 |
| 表 17-156: | TIMER1 触发 PWMSYNCI 使能寄存器 (TMR1SYNCEN) 位段定义   | 626 |
| 表 17-157: | TIMER1 触发 PWMSYNCI 使能寄存器 (TMR1SYNCEN) 位段描述   | 626 |
| 表 17-158: | TIMER2 触发 PWMSYNCI 使能寄存器 (TMR2SYNCEN) 位段定义   | 627 |
| 表 17-159: | TIMER2 触发 PWMSYNCI 使能寄存器 (TMR2SYNCEN) 位段描述   | 627 |



|                                                             |     |
|-------------------------------------------------------------|-----|
| 表 17-160: EQEP0 触发 PWMSYNCI 使能寄存器 (EQEP0SYNCIEN) 位段定义 ..... | 628 |
| 表 17-161: EQEP0 触发 PWMSYNCI 使能寄存器 (EQEP0SYNCIEN) 位段描述 ..... | 628 |
| 表 17-162: EQEP1 触发 PWMSYNCI 使能寄存器 (EQEP1SYNCIEN) 位段定义 ..... | 629 |
| 表 17-163: EQEP1 触发 PWMSYNCI 使能寄存器 (EQEP1SYNCIEN) 位段描述 ..... | 629 |
| 表 17-164: ECAPO 触发 PWMSYNCI 使能寄存器 (ECAPOSYNCIEN) 位段定义 ..... | 630 |
| 表 17-165: ECAPO 触发 PWMSYNCI 使能寄存器 (ECAPOSYNCIEN) 位段描述 ..... | 630 |
| 表 17-166: ECAP1 触发 PWMSYNCI 使能寄存器 (ECAP1SYNCIEN) 位段定义 ..... | 631 |
| 表 17-167: ECAP1 触发 PWMSYNCI 使能寄存器 (ECAP1SYNCIEN) 位段描述 ..... | 631 |
| 表 17-168: PWMSYNCO 输出控制寄存器 (SYNCOCTL) 位段定义 .....            | 632 |
| 表 17-169: PWMSYNCO 输出控制寄存器 (SYNCOCTL) 位段描述 .....            | 632 |
| 表 17-170: PWMSOCA 输出控制寄存器 (SOCAOCTL) 位段定义 .....             | 634 |
| 表 17-171: PWMSOCA 输出控制寄存器 (SOCAOCTL) 位段描述 .....             | 634 |
| 表 17-172: PWMSOCB 输出控制寄存器 (SOCBOCTL) 位段定义 .....             | 636 |
| 表 17-173: PWMSOCB 输出控制寄存器 (SOCBOCTL) 位段描述 .....             | 636 |
| 表 17-174: PWMSOCC 输出控制寄存器 (SOCCOCTL) 位段定义 .....             | 638 |
| 表 17-175: PWMSOCC 输出控制寄存器 (SOCCOCTL) 位段描述 .....             | 638 |
| 表 17-176: PWMCFG 模块写使能寄存器 (PWMCFG) 位段定义 .....               | 639 |
| 表 17-177: PWMCFG 模块写使能寄存器 (PWMCFG) 位段描述 .....               | 639 |
| 表 18-1: ECAP 模块基地址 .....                                    | 652 |
| 表 18-2: ECAP 寄存器列表 .....                                    | 652 |
| 表 18-3: 捕获信号输入控制寄存器 (CAPSRCCTL) 位段定义 .....                  | 653 |
| 表 18-4: 捕获信号输入控制寄存器 (CAPSRCCTL) 位段描述 .....                  | 653 |
| 表 18-5: 同步信号输入控制寄存器 (CAPSYNCICTL) 位段定义 .....                | 654 |
| 表 18-6: 同步信号输入控制寄存器 (CAPSYNCICTL) 位段描述 .....                | 654 |
| 表 18-7: 时间戳计数寄存器 (CAPTSCNT) 位段定义 .....                      | 654 |
| 表 18-8: 时间戳计数寄存器 (CAPTSCNT) 位段描述 .....                      | 654 |
| 表 18-9: 时间戳计数相位寄存器 (CAPCNTPHS) 位段定义 .....                   | 655 |
| 表 18-10: 时间戳计数相位寄存器 (CAPCNTPHS) 位段描述 .....                  | 655 |
| 表 18-11: 捕获值 0 寄存器 (CAPO) 位段定义 .....                        | 655 |
| 表 18-12: 捕获值 0 寄存器 (CAPO) 位段描述 .....                        | 655 |
| 表 18-13: 捕获值 1 寄存器 (CAP1) 位段定义 .....                        | 656 |
| 表 18-14: 捕获值 1 寄存器 (CAP1) 位段描述 .....                        | 656 |
| 表 18-15: 捕获值 2 寄存器 (CAP2) 位段定义 .....                        | 656 |
| 表 18-16: 捕获值 2 寄存器 (CAP2) 位段描述 .....                        | 656 |
| 表 18-17: 捕获值 3 寄存器 (CAP3) 位段定义 .....                        | 657 |
| 表 18-18: 捕获值 3 寄存器 (CAP3) 位段描述 .....                        | 657 |
| 表 18-19: 捕获控制寄存器 (CAPCTL) 位段定义 .....                        | 658 |
| 表 18-20: 捕获控制寄存器 (CAPCTL) 位段描述 .....                        | 658 |
| 表 18-21: 捕获中断原始事件标志寄存器 (CAPRAWIF) 位段定义 .....                | 661 |
| 表 18-22: 捕获中断原始事件标志寄存器 (CAPRAWIF) 位段描述 .....                | 661 |
| 表 18-23: 捕获中断标志寄存器 (CAPIF) 位段定义 .....                       | 663 |
| 表 18-24: 捕获中断标志寄存器 (CAPIF) 位段描述 .....                       | 663 |
| 表 18-25: 捕获中断使能寄存器 (CAPIE) 位段定义 .....                       | 665 |
| 表 18-26: 捕获中断使能寄存器 (CAPIE) 位段描述 .....                       | 665 |
| 表 18-27: 捕获中断清除寄存器 (CAPIC) 位段定义 .....                       | 667 |
| 表 18-28: 捕获中断清除寄存器 (CAPIC) 位段描述 .....                       | 667 |

|                                                 |     |
|-------------------------------------------------|-----|
| 表 18-29: 捕获中断强制寄存器 (CAPIFRC) 位段定义.....          | 668 |
| 表 18-30: 捕获中断强制寄存器 (CAPIFRC) 位段描述.....          | 668 |
| 表 18-31: ECAP 模块写使能寄存器 (CAPREGKEY) 位段定义.....    | 670 |
| 表 18-32: ECAP 模块写使能寄存器 (CAPREGKEY) 位段描述.....    | 670 |
| 表 19-1: EQEP 端口信号.....                          | 672 |
| 表 19-2: EQEP 正交计数真值表.....                       | 674 |
| 表 19-3: EQEP 模块基地址.....                         | 683 |
| 表 19-4: EQEP 寄存器列表.....                         | 683 |
| 表 19-5: EQEP 计数控制寄存器 (QEPCTL) 位段定义.....         | 684 |
| 表 19-6: EQEP 计数控制寄存器 (QEPCTL) 位段描述.....         | 684 |
| 表 19-7: EQEP 输入消抖控制寄存器 (QEPDGCTL) 位段定义.....     | 686 |
| 表 19-8: EQEP 输入消抖控制寄存器 (QEPDGCTL) 位段描述.....     | 686 |
| 表 19-9: EQEP 信号源控制寄存器 (QEPSRCCTL) 位段定义.....     | 687 |
| 表 19-10: EQEP 信号源控制寄存器 (QEPSRCCTL) 位段描述.....    | 687 |
| 表 19-11: EQEP 位置计数寄存器 (QPOSCNT) 位段定义.....       | 688 |
| 表 19-12: EQEP 位置计数寄存器 (QPOSCNT) 位段描述.....       | 688 |
| 表 19-13: EQEP 位置计数加载值寄存器 (QPOSLOAD) 位段定义.....   | 688 |
| 表 19-14: EQEP 位置计数加载值寄存器 (QPOSLOAD) 位段描述.....   | 688 |
| 表 19-15: EQEP 最大位置计数寄存器 (QPOSMAX) 位段定义.....     | 689 |
| 表 19-16: EQEP 最大位置计数寄存器 (QPOSMAX) 位段描述.....     | 689 |
| 表 19-17: EQEP 过零位置计数锁存寄存器 (QPOSZLAT) 位段定义.....  | 689 |
| 表 19-18: EQEP 过零位置计数锁存寄存器 (QPOSZLAT) 位段描述.....  | 689 |
| 表 19-19: EQEP 闸门位置计数锁存寄存器 (QPOSSLAT) 位段定义.....  | 690 |
| 表 19-20: EQEP 闸门位置计数锁存寄存器 (QPOSSLAT) 位段描述.....  | 690 |
| 表 19-21: EQEP 超时位置计数锁存寄存器 (QPOSTLAT) 位段定义.....  | 690 |
| 表 19-22: EQEP 超时位置计数锁存寄存器 (QPOSTLAT) 位段描述.....  | 690 |
| 表 19-23: EQEP 捕获位置计数锁存寄存器 (QPOSCLAT) 位段定义.....  | 691 |
| 表 19-24: EQEP 捕获位置计数锁存寄存器 (QPOSCLAT) 位段描述.....  | 691 |
| 表 19-25: EQEP 单位定时器加载值寄存器 (QUTMRLOAD) 位段定义..... | 691 |
| 表 19-26: EQEP 单位定时器加载值寄存器 (QUTMRLOAD) 位段描述..... | 691 |
| 表 19-27: EQEP 单位定时器计数值寄存器 (QUTMRCNT) 位段定义.....  | 692 |
| 表 19-28: EQEP 单位定时器计数值寄存器 (QUTMRCNT) 位段描述.....  | 692 |
| 表 19-29: EQEP 看门狗定时器加载值寄存器 (QWDTLOAD) 位段定义..... | 692 |
| 表 19-30: EQEP 看门狗定时器加载值寄存器 (QWDTLOAD) 位段描述..... | 692 |
| 表 19-31: EQEP 看门狗定时器计数值寄存器 (QWDTCNT) 位段定义.....  | 693 |
| 表 19-32: EQEP 看门狗定时器计数值寄存器 (QWDTCNT) 位段描述.....  | 693 |
| 表 19-33: EQEP 解码控制寄存器 (QDECCTL) 位段定义.....       | 694 |
| 表 19-34: EQEP 解码控制寄存器 (QDECCTL) 位段描述.....       | 694 |
| 表 19-35: EQEP 捕获控制寄存器 (QCAPCTL) 位段定义.....       | 695 |
| 表 19-36: EQEP 捕获控制寄存器 (QCAPCTL) 位段描述.....       | 695 |
| 表 19-37: EQEP 位置比较控制寄存器 (QPOSCMPCTL) 位段定义.....  | 696 |
| 表 19-38: EQEP 位置比较控制寄存器 (QPOSCMPCTL) 位段描述.....  | 696 |
| 表 19-39: EQEP 位置比较参考值影子寄存器 (QPOSREF) 位段定义.....  | 697 |
| 表 19-40: EQEP 位置比较参考值影子寄存器 (QPOSREF) 位段描述.....  | 697 |
| 表 19-41: EQEP 位置比较有效参考值寄存器 (QPOSREFA) 位段定义..... | 697 |
| 表 19-42: EQEP 位置比较有效参考值寄存器 (QPOSREFA) 位段描述..... | 697 |



|                                                     |     |
|-----------------------------------------------------|-----|
| 表 19-43: EQEP 捕获定时计数寄存器 (QCTMRCNT) 位段定义 .....       | 698 |
| 表 19-44: EQEP 捕获定时计数寄存器 (QCTMRCNT) 位段描述 .....       | 698 |
| 表 19-45: EQEP 捕获定时周期寄存器 (QCTMRPRD) 位段定义 .....       | 698 |
| 表 19-46: EQEP 捕获定时周期寄存器 (QCTMRPRD) 位段描述 .....       | 698 |
| 表 19-47: EQEP 捕获定时计数锁存值寄存器 (QCTMRCNTLAT) 位段定义 ..... | 699 |
| 表 19-48: EQEP 捕获定时计数锁存值寄存器 (QCTMRCNTLAT) 位段描述 ..... | 699 |
| 表 19-49: EQEP 捕获定时周期锁存值寄存器 (QCTMRPRDLAT) 位段定义 ..... | 699 |
| 表 19-50: EQEP 捕获定时周期锁存值寄存器 (QCTMRPRDLAT) 位段描述 ..... | 699 |
| 表 19-51: EQEP 状态寄存器 (QEPSTS) 位段定义 .....             | 700 |
| 表 19-52: EQEP 状态寄存器 (QEPSTS) 位段描述 .....             | 700 |
| 表 19-53: EQEP 中断原始事件标志寄存器 (QEPRAWIF) 位段定义 .....     | 701 |
| 表 19-54: EQEP 中断原始事件标志寄存器 (QEPRAWIF) 位段描述 .....     | 701 |
| 表 19-55: EQEP 中断标志寄存器 (QEPIF) 位段定义 .....            | 703 |
| 表 19-56: EQEP 中断标志寄存器 (QEPIF) 位段描述 .....            | 703 |
| 表 19-57: EQEP 中断使能寄存器 (QEPIE) 位段定义 .....            | 706 |
| 表 19-58: EQEP 中断使能寄存器 (QEPIE) 位段描述 .....            | 706 |
| 表 19-59: EQEP 中断清除寄存器 (QEPIC) 位段定义 .....            | 708 |
| 表 19-60: EQEP 中断清除寄存器 (QEPIC) 位段描述 .....            | 708 |
| 表 19-61: EQEP 中断强制寄存器 (QEPIFRC) 位段定义 .....          | 710 |
| 表 19-62: EQEP 中断强制寄存器 (QEPIFRC) 位段描述 .....          | 710 |
| 表 19-63: EQEP 模块写使能寄存器 (QEPREGKEY) 位段定义 .....       | 712 |
| 表 19-64: EQEP 模块写使能寄存器 (QEPREGKEY) 位段描述 .....       | 712 |
| 表 20-1: CRC 模块基地址 .....                             | 715 |
| 表 20-2: CRC 寄存器列表 .....                             | 715 |
| 表 20-3: CRC 控制寄存器 (CRCCTL) 位段定义 .....               | 716 |
| 表 20-4: CRC 控制寄存器 (CRCCTL) 位段描述 .....               | 716 |
| 表 20-5: CRC 数据流长度寄存器 (CRCSTRLEN) 位段定义 .....         | 717 |
| 表 20-6: CRC 数据流长度寄存器 (CRCSTRLEN) 位段描述 .....         | 717 |
| 表 20-7: CRC 初值种子寄存器 (CRCSEED) 位段定义 .....            | 718 |
| 表 20-8: CRC 初值种子寄存器 (CRCSEED) 位段描述 .....            | 718 |
| 表 20-9: CRC 数据流输入寄存器 (CRCSTRIN) 位段定义 .....          | 718 |
| 表 20-10: CRC 数据流输入寄存器 (CRCSTRIN) 位段描述 .....         | 718 |
| 表 20-11: CRC 结果寄存器 (CRCRESULT) 位段定义 .....           | 719 |
| 表 20-12: CRC 结果寄存器 (CRCRESULT) 位段描述 .....           | 719 |
| 表 20-13: CRC 中断原始事件标志寄存器 (CRCRAWIF) 位段定义 .....      | 719 |
| 表 20-14: CRC 中断原始事件标志寄存器 (CRCRAWIF) 位段描述 .....      | 719 |
| 表 20-15: CRC 中断标志寄存器 (CRCIF) 位段定义 .....             | 720 |
| 表 20-16: CRC 中断标志寄存器 (CRCIF) 位段描述 .....             | 720 |
| 表 20-17: CRC 中断清除寄存器 (CRCIC) 位段定义 .....             | 721 |
| 表 20-18: CRC 中断清除寄存器 (CRCIC) 位段描述 .....             | 721 |
| 表 20-19: CRC 中断使能寄存器 (CRCIE) 位段定义 .....             | 722 |
| 表 20-20: CRC 中断使能寄存器 (CRCIE) 位段描述 .....             | 722 |
| 表 20-21: CRC 模块写使能寄存器 (CRCREGKEY) 位段定义 .....        | 722 |
| 表 20-22: CRC 模块写使能寄存器 (CRCREGKEY) 位段描述 .....        | 722 |
| 表 21-1: AES 不完整数据填充方案 .....                         | 725 |
| 表 21-2: AES 报错场景 .....                              | 726 |

|                                                 |     |
|-------------------------------------------------|-----|
| 表 21-3: AES 输出向量 .....                          | 726 |
| 表 21-4: AES 模块基地址 .....                         | 727 |
| 表 21-5: AES 寄存器列表 .....                         | 727 |
| 表 21-6: AES 控制寄存器 (AESCTL) 位段定义 .....           | 728 |
| 表 21-7: AES 控制寄存器 (AESCTL) 位段描述 .....           | 728 |
| 表 21-8: AES 状态寄存器 (AESSTS) 位段定义 .....           | 730 |
| 表 21-9: AES 状态寄存器 (AESSTS) 位段描述 .....           | 730 |
| 表 21-10: AES 关联字符串长度寄存器 (AESASTRLEN) 位段定义 ..... | 731 |
| 表 21-11: AES 关联字符串长度寄存器 (AESASTRLEN) 位段描述 ..... | 731 |
| 表 21-12: AES 消息字符串长度寄存器 (AESMSTRLEN) 位段定义 ..... | 731 |
| 表 21-13: AES 消息字符串长度寄存器 (AESMSTRLEN) 位段描述 ..... | 731 |
| 表 21-14: AES 初始向量寄存器 0 (AESIV[0]) 位段定义 .....    | 732 |
| 表 21-15: AES 初始向量寄存器 0 (AESIV[0]) 位段描述 .....    | 732 |
| 表 21-16: AES 初始向量寄存器 1 (AESIV[1]) 位段定义 .....    | 732 |
| 表 21-17: AES 初始向量寄存器 1 (AESIV[1]) 位段描述 .....    | 732 |
| 表 21-18: AES 初始向量寄存器 2 (AESIV[2]) 位段定义 .....    | 733 |
| 表 21-19: AES 初始向量寄存器 2 (AESIV[2]) 位段描述 .....    | 733 |
| 表 21-20: AES 初始向量寄存器 3 (AESIV[3]) 位段定义 .....    | 733 |
| 表 21-21: AES 初始向量寄存器 3 (AESIV[3]) 位段描述 .....    | 733 |
| 表 21-22: AES 秘钥寄存器 0 (AESKEY[0]) 位段定义 .....     | 734 |
| 表 21-23: AES 秘钥寄存器 0 (AESKEY[0]) 位段描述 .....     | 734 |
| 表 21-24: AES 秘钥寄存器 1 (AESKEY[1]) 位段定义 .....     | 734 |
| 表 21-25: AES 秘钥寄存器 1 (AESKEY[1]) 位段描述 .....     | 734 |
| 表 21-26: AES 秘钥寄存器 2 (AESKEY[2]) 位段定义 .....     | 735 |
| 表 21-27: AES 秘钥寄存器 2 (AESKEY[2]) 位段描述 .....     | 735 |
| 表 21-28: AES 秘钥寄存器 3 (AESKEY[3]) 位段定义 .....     | 735 |
| 表 21-29: AES 秘钥寄存器 3 (AESKEY[3]) 位段描述 .....     | 735 |
| 表 21-30: AES 秘钥寄存器 4 (AESKEY[4]) 位段定义 .....     | 736 |
| 表 21-31: AES 秘钥寄存器 4 (AESKEY[4]) 位段描述 .....     | 736 |
| 表 21-32: AES 秘钥寄存器 5 (AESKEY[5]) 位段定义 .....     | 736 |
| 表 21-33: AES 秘钥寄存器 5 (AESKEY[5]) 位段描述 .....     | 736 |
| 表 21-34: AES 秘钥寄存器 6 (AESKEY[6]) 位段定义 .....     | 737 |
| 表 21-35: AES 秘钥寄存器 6 (AESKEY[6]) 位段描述 .....     | 737 |
| 表 21-36: AES 秘钥寄存器 7 (AESKEY[7]) 位段定义 .....     | 737 |
| 表 21-37: AES 秘钥寄存器 7 (AESKEY[7]) 位段描述 .....     | 737 |
| 表 21-38: AES 输出向量寄存器 0 (AESOV[0]) 位段定义 .....    | 738 |
| 表 21-39: AES 输出向量寄存器 0 (AESOV[0]) 位段描述 .....    | 738 |
| 表 21-40: AES 输出向量寄存器 1 (AESOV[1]) 位段定义 .....    | 738 |
| 表 21-41: AES 输出向量寄存器 1 (AESOV[1]) 位段描述 .....    | 738 |
| 表 21-42: AES 输出向量寄存器 2 (AESOV[2]) 位段定义 .....    | 739 |
| 表 21-43: AES 输出向量寄存器 2 (AESOV[2]) 位段描述 .....    | 739 |
| 表 21-44: AES 输出向量寄存器 3 (AESOV[3]) 位段定义 .....    | 739 |
| 表 21-45: AES 输出向量寄存器 3 (AESOV[3]) 位段描述 .....    | 739 |
| 表 21-46: AES 输入消息字寄存器 (AESSTRIN) 位段定义 .....     | 740 |
| 表 21-47: AES 输入消息字寄存器 (AESSTRIN) 位段描述 .....     | 740 |
| 表 21-48: AES 输出消息字寄存器 (AESSTROUT) 位段定义 .....    | 740 |

|                                                    |     |
|----------------------------------------------------|-----|
| 表 21-49: AES 输出消息字寄存器 (AESSTROUT) 位段描述             | 740 |
| 表 21-50: AES 中断标志寄存器 (AESIF) 位段定义                  | 741 |
| 表 21-51: AES 中断标志寄存器 (AESIF) 位段描述                  | 741 |
| 表 21-52: AES 中断使能寄存器 (AESIE) 位段定义                  | 742 |
| 表 21-53: AES 中断使能寄存器 (AESIE) 位段描述                  | 742 |
| 表 21-54: AES 中断清除寄存器 (AESIC) 位段定义                  | 743 |
| 表 21-55: AES 中断清除寄存器 (AESIC) 位段描述                  | 743 |
| 表 21-56: AES 模块写使能寄存器 (AESREGKEY) 位段定义             | 744 |
| 表 21-57: AES 模块写使能寄存器 (AESREGKEY) 位段描述             | 744 |
| 表 22-1: DMAC0 硬件握手接口分配                             | 746 |
| 表 22-2: DMAC1 硬件握手接口分配                             | 747 |
| 表 22-3: DMACH 模块基地址                                | 752 |
| 表 22-4: DMACH 寄存器列表                                | 752 |
| 表 22-5: DMA 通道源地址寄存器 (DMACHSA) 位段定义                | 753 |
| 表 22-6: DMA 通道源地址寄存器 (DMACHSA) 位段描述                | 753 |
| 表 22-7: DMA 通道源地址寄存器 (DMACHDA) 位段定义                | 753 |
| 表 22-8: DMA 通道源地址寄存器 (DMACHDA) 位段描述                | 753 |
| 表 22-9: DMA 通道控制寄存器 0 (DMACHCTL0) 位段定义             | 754 |
| 表 22-10: DMA 通道控制寄存器 0 (DMACHCTL0) 位段描述            | 754 |
| 表 22-11: DMA 通道控制寄存器 1 (DMACHCTL1) 位段定义            | 756 |
| 表 22-12: DMA 通道控制寄存器 1 (DMACHCTL1) 位段描述            | 756 |
| 表 22-13: DMA 通道配置寄存器 0 (DMACHCFG0) 位段定义            | 757 |
| 表 22-14: DMA 通道配置寄存器 0 (DMACHCFG0) 位段描述            | 757 |
| 表 22-15: DMA 通道配置寄存器 1 (DMACHCFG1) 位段定义            | 758 |
| 表 22-16: DMA 通道配置寄存器 1 (DMACHCFG1) 位段描述            | 758 |
| 表 22-17: DMAC 模块基地址                                | 759 |
| 表 22-18: DMAC 寄存器列表                                | 759 |
| 表 22-19: DMA 传输完成中断原始事件标志寄存器 (DMATCRAWIF) 位段定义     | 760 |
| 表 22-20: DMA 传输完成中断原始事件标志寄存器 (DMATCRAWIF) 位段描述     | 760 |
| 表 22-21: DMA 块传输完成中断原始事件标志寄存器 (DMABTCRAWIF) 位段定义   | 761 |
| 表 22-22: DMA 块传输完成中断原始事件标志寄存器 (DMABTCRAWIF) 位段描述   | 761 |
| 表 22-23: DMA 源端传输完成中断原始事件标志寄存器 (DMASTCRAWIF) 位段定义  | 762 |
| 表 22-24: DMA 源端传输完成中断原始事件标志寄存器 (DMASTCRAWIF) 位段描述  | 762 |
| 表 22-25: DMA 目的端传输完成中断原始事件标志寄存器 (DMADTCRAWIF) 位段定义 | 763 |
| 表 22-26: DMA 目的端传输完成中断原始事件标志寄存器 (DMADTCRAWIF) 位段描述 | 763 |
| 表 22-27: DMA 总线访问错误原始标志寄存器 (DMAERRRAWIF) 位段定义      | 764 |
| 表 22-28: DMA 总线访问错误原始标志寄存器 (DMAERRRAWIF) 位段描述      | 764 |
| 表 22-29: DMA 传输完成中断标志寄存器 (DMATCIF) 位段定义            | 765 |
| 表 22-30: DMA 传输完成中断标志寄存器 (DMATCIF) 位段描述            | 765 |
| 表 22-31: DMA 块传输完成中断标志寄存器 (DMABTCIF) 位段定义          | 766 |
| 表 22-32: DMA 块传输完成中断标志寄存器 (DMABTCIF) 位段描述          | 766 |
| 表 22-33: DMA 源端传输完成中断标志寄存器 (DMASTCIF) 位段定义         | 767 |
| 表 22-34: DMA 源端传输完成中断标志寄存器 (DMASTCIF) 位段描述         | 767 |
| 表 22-35: DMA 目的端传输完成中断标志寄存器 (DMADTCIF) 位段定义        | 768 |
| 表 22-36: DMA 目的端传输完成中断标志寄存器 (DMADTCIF) 位段描述        | 768 |
| 表 22-37: DMA 总线访问错误中断标志寄存器 (DMAERRIF) 位段定义         | 769 |



|                                                   |     |
|---------------------------------------------------|-----|
| 表 22-38: DMA 总线访问错误中断标志寄存器 (DMAERRIF) 位段描述.....   | 769 |
| 表 22-39: DMA 传输完成中断使能寄存器 (DMATCIE) 位段定义.....      | 770 |
| 表 22-40: DMA 传输完成中断使能寄存器 (DMATCIE) 位段描述.....      | 770 |
| 表 22-41: DMA 块传输完成中断使能寄存器 (DMABTCIE) 位段定义.....    | 772 |
| 表 22-42: DMA 块传输完成中断使能寄存器 (DMABTCIE) 位段描述.....    | 772 |
| 表 22-43: DMA 源端传输完成中断使能寄存器 (DMASTCIE) 位段定义.....   | 774 |
| 表 22-44: DMA 源端传输完成中断使能寄存器 (DMASTCIE) 位段描述.....   | 774 |
| 表 22-45: DMA 目的端传输完成中断使能寄存器 (DMADTCIE) 位段定义.....  | 776 |
| 表 22-46: DMA 目的端传输完成中断使能寄存器 (DMADTCIE) 位段描述.....  | 776 |
| 表 22-47: DMA 总线访问错误中断使能寄存器 (DMAERRIE) 位段定义.....   | 778 |
| 表 22-48: DMA 总线访问错误中断使能寄存器 (DMAERRIE) 位段描述.....   | 778 |
| 表 22-49: DMA 传输完成中断清除寄存器 (DMATCIC) 位段定义.....      | 780 |
| 表 22-50: DMA 传输完成中断清除寄存器 (DMATCIC) 位段描述.....      | 780 |
| 表 22-51: DMA 块传输完成中断清除寄存器 (DMABTCIC) 位段定义.....    | 781 |
| 表 22-52: DMA 块传输完成中断清除寄存器 (DMABTCIC) 位段描述.....    | 781 |
| 表 22-53: DMA 源端传输完成中断清除寄存器 (DMASTCIC) 位段定义.....   | 782 |
| 表 22-54: DMA 源端传输完成中断清除寄存器 (DMASTCIC) 位段描述.....   | 782 |
| 表 22-55: DMA 目的端传输完成中断清除寄存器 (DMADTCIC) 位段定义.....  | 783 |
| 表 22-56: DMA 目的端传输完成中断清除寄存器 (DMADTCIC) 位段描述.....  | 783 |
| 表 22-57: DMA 总线访问错误中断清除寄存器 (DMAERRIC) 位段定义.....   | 784 |
| 表 22-58: DMA 总线访问错误中断清除寄存器 (DMAERRIC) 位段描述.....   | 784 |
| 表 22-59: DMA 组合中断标志寄存器 (DMAIF) 位段定义.....          | 785 |
| 表 22-60: DMA 组合中断标志寄存器 (DMAIF) 位段描述.....          | 785 |
| 表 22-61: DMA 源端软件事务请求寄存器 (DMASSREQ) 位段定义.....     | 786 |
| 表 22-62: DMA 源端软件事务请求寄存器 (DMASSREQ) 位段描述.....     | 786 |
| 表 22-63: DMA 目的端软件事务请求寄存器 (DMADSREQ) 位段定义.....    | 788 |
| 表 22-64: DMA 目的端软件事务请求寄存器 (DMADSREQ) 位段描述.....    | 788 |
| 表 22-65: DMA 源端软件事务单次请求寄存器 (DMASSSREQ) 位段定义.....  | 790 |
| 表 22-66: DMA 源端软件事务单次请求寄存器 (DMASSSREQ) 位段描述.....  | 790 |
| 表 22-67: DMA 目的端软件事务单次请求寄存器 (DMADSSREQ) 位段定义..... | 792 |
| 表 22-68: DMA 目的端软件事务单次请求寄存器 (DMADSSREQ) 位段描述..... | 792 |
| 表 22-69: DMA 源端软件事务末次请求寄存器 (DMASSLREQ) 位段定义.....  | 794 |
| 表 22-70: DMA 源端软件事务末次请求寄存器 (DMASSLREQ) 位段描述.....  | 794 |
| 表 22-71: DMA 目的端软件事务末次请求寄存器 (DMADSLREQ) 位段定义..... | 796 |
| 表 22-72: DMA 目的端软件事务末次请求寄存器 (DMADSLREQ) 位段描述..... | 796 |
| 表 22-73: DMA 使能寄存器 (DMAEN) 位段定义.....              | 798 |
| 表 22-74: DMA 使能寄存器 (DMAEN) 位段描述.....              | 798 |
| 表 22-75: DMA 通道使能寄存器 (DMACHEN) 位段定义.....          | 799 |
| 表 22-76: DMA 通道使能寄存器 (DMACHEN) 位段描述.....          | 799 |
| 表 23-1: 配置字的构成及其描述.....                           | 802 |
| 表 23-2: Flash 端口信号.....                           | 802 |
| 表 23-3: Flash 操作命令.....                           | 803 |
| 表 24-1: 64 位产品识别号定义.....                          | 804 |
| 表 24-2: 64 位设备唯一识别号定义.....                        | 805 |
| 表 24-3: SYSTEM 模块基地址.....                         | 807 |
| 表 24-4: SYSTEM 寄存器列表.....                         | 807 |

|                                                   |     |
|---------------------------------------------------|-----|
| 表 24-5: 产品识别号寄存器 0 (CID0) 位段定义                    | 808 |
| 表 24-6: 产品识别号寄存器 0 (CID0) 位段描述                    | 808 |
| 表 24-7: 产品识别号寄存器 1 (CID1) 位段定义                    | 808 |
| 表 24-8: 产品识别号寄存器 1 (CID1) 位段描述                    | 808 |
| 表 24-9: 唯一设备识别号寄存器 0 (UID0) 位段定义                  | 809 |
| 表 24-10: 唯一设备识别号寄存器 0 (UID0) 位段描述                 | 809 |
| 表 24-11: 唯一设备识别号寄存器 1 (UID1) 位段定义                 | 809 |
| 表 24-12: 唯一设备识别号寄存器 1 (UID1) 位段描述                 | 809 |
| 表 24-13: 随机数寄存器 0 (RND0) 位段定义                     | 810 |
| 表 24-14: 随机数寄存器 0 (RND0) 位段描述                     | 810 |
| 表 24-15: 随机数寄存器 1 (RND1) 位段定义                     | 810 |
| 表 24-16: 随机数寄存器 1 (RND1) 位段描述                     | 810 |
| 表 24-17: 版本信息寄存器 0 (REV0) 位段定义                    | 811 |
| 表 24-18: 版本信息寄存器 0 (REV0) 位段描述                    | 811 |
| 表 24-19: 版本信息寄存器 1 (REV1) 位段定义                    | 811 |
| 表 24-20: 版本信息寄存器 1 (REV1) 位段描述                    | 811 |
| 表 24-21: GPIO 唤醒控制寄存器 (GPIOWKUPCTL) 位段定义          | 812 |
| 表 24-22: GPIO 唤醒控制寄存器 (GPIOWKUPCTL) 位段描述          | 812 |
| 表 24-23: GPIO 不可屏蔽中断控制寄存器 (GPIONMCTL) 位段定义        | 813 |
| 表 24-24: GPIO 不可屏蔽中断控制寄存器 (GPIONMCTL) 位段描述        | 813 |
| 表 24-25: 不可屏蔽中断原始事件标志寄存器 (NMRAWIF) 位段定义           | 814 |
| 表 24-26: 不可屏蔽中断原始事件标志寄存器 (NMRAWIF) 位段描述           | 814 |
| 表 24-27: 不可屏蔽中断标志寄存器 (NMIF) 位段定义                  | 816 |
| 表 24-28: 不可屏蔽中断标志寄存器 (NMIF) 位段描述                  | 816 |
| 表 24-29: 不可屏蔽中断清除寄存器 (NMIC) 位段定义                  | 819 |
| 表 24-30: 不可屏蔽中断清除寄存器 (NMIC) 位段描述                  | 819 |
| 表 24-31: 不可屏蔽中断使能寄存器 (NMIE) 位段定义                  | 821 |
| 表 24-32: 不可屏蔽中断使能寄存器 (NMIE) 位段描述                  | 821 |
| 表 24-33: 复位事件标志寄存器 (RSTEVTF LG) 位段定义              | 823 |
| 表 24-34: 复位事件标志寄存器 (RSTEVTF LG) 位段描述              | 823 |
| 表 24-35: 复位事件清除寄存器 (RSTEVTF CLR) 位段定义             | 825 |
| 表 24-36: 复位事件清除寄存器 (RSTEVTF CLR) 位段描述             | 825 |
| 表 24-37: 复位事件使能寄存器 (RSTEVTF EN) 位段定义              | 827 |
| 表 24-38: 复位事件使能寄存器 (RSTEVTF EN) 位段描述              | 827 |
| 表 24-39: 系统信息寄存器 (SYSINFO) 位段定义                   | 829 |
| 表 24-40: 系统信息寄存器 (SYSINFO) 位段描述                   | 829 |
| 表 24-41: ROM 访问 ECC 错误地址寄存器 (ROMERRADDR) 位段定义     | 830 |
| 表 24-42: ROM 访问 ECC 错误地址寄存器 (ROMERRADDR) 位段描述     | 830 |
| 表 24-43: Flash 访问 ECC 错误地址寄存器 (FLASHERRADDR) 位段定义 | 831 |
| 表 24-44: Flash 访问 ECC 错误地址寄存器 (FLASHERRADDR) 位段描述 | 831 |
| 表 24-45: RAM0 访问 ECC 错误地址寄存器 (RAM0ERRADDR) 位段定义   | 831 |
| 表 24-46: RAM0 访问 ECC 错误地址寄存器 (RAM0ERRADDR) 位段描述   | 831 |
| 表 24-47: RAM1 访问 ECC 错误地址寄存器 (RAM1ERRADDR) 位段定义   | 832 |
| 表 24-48: RAM1 访问 ECC 错误地址寄存器 (RAM1ERRADDR) 位段描述   | 832 |
| 表 24-49: 调试接口控制寄存器 (DBGIFCTL) 位段定义                | 832 |
| 表 24-50: 调试接口控制寄存器 (DBGIFCTL) 位段描述                | 832 |



|                                                |     |
|------------------------------------------------|-----|
| 表 24-51: 引导信息寄存器 (BOOTINFO) 位段定义.....          | 833 |
| 表 24-52: 引导信息寄存器 (BOOTINFO) 位段描述.....          | 833 |
| 表 24-53: DMA 硬件握手控制寄存器 (DMAHSCTL) 位段定义.....    | 834 |
| 表 24-54: DMA 硬件握手控制寄存器 (DMAHSCTL) 位段描述.....    | 834 |
| 表 24-55: 上电永久寄存器 0 (NVREG0) 位段定义.....          | 835 |
| 表 24-56: 上电永久寄存器 0 (NVREG0) 位段描述.....          | 835 |
| 表 24-57: 上电永久寄存器 1 (NVREG1) 位段定义.....          | 835 |
| 表 24-58: 上电永久寄存器 1 (NVREG1) 位段描述.....          | 835 |
| 表 24-59: 上电永久寄存器 2 (NVREG2) 位段定义.....          | 836 |
| 表 24-60: 上电永久寄存器 2 (NVREG2) 位段描述.....          | 836 |
| 表 24-61: SYSTEM 模块写使能寄存器 (SYSREGKEY) 位段定义..... | 836 |
| 表 24-62: SYSTEM 模块写使能寄存器 (SYSREGKEY) 位段描述..... | 836 |

## 修订历史

| 版本  | 日期         | 作者    | 状态  | 变更                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |
|-----|------------|-------|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| A/0 | 2023-05-16 | X. Yu | 已过期 | 首次发布。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |
| A/1 | 2023-11-08 | X. Yu | 已过期 | <ol style="list-style-type: none"> <li>1. 添加逻辑符号；</li> <li>2. 章节 1.2.1 补充说明 FLASH 相关操作应当调用 SDK 二次封装的函数实现；</li> <li>3. 章节 1.2.2 补充说明通过 DMA 访问 RAM0 的地址范围；</li> <li>4. 章节 1.3 中更新 CPU 系统复位后的行为；</li> <li>5. 章节 2.1 中补充上电斜率要求，修改上电的限流值；</li> <li>6. 章节 2.2 中更新 BOD 的阈值；</li> <li>7. 章节 5 中增加子章节描述不可屏蔽的中断和多中断源的管理；</li> <li>8. 章节 8.4.4 中增加需要手动配置波特率的说明；</li> <li>9. 章节 8.5 中区分说明 UART 和 LIN 模式下 ABLOCK 中断的触发条件；</li> <li>10. 章节 9 中删除 FIFO 压缩功能；</li> <li>11. 章节 10.5.1 中修正 QSPIFLASHID 寄存器的写保护说明；</li> <li>12. 更新表 11-2 中高电平时间的计算公式；</li> <li>13. 章节 11.5.1 和表 11-13 中强调主机模式下使能了广播请求时不应该往发送 FIFO 中写入读指令；</li> <li>14. 章节 11.6.2 和表 11-13 中强调从机模式下不应该往发送 FIFO 中写入读指令；</li> <li>15. 更新表 11-27，说明 I2CSETUP 寄存器的适用范围；</li> <li>16. 章节 14.1、章节 14.2 和章节 14.8.2 中更新 PGA 输入通道；</li> <li>17. 更新章节 14.4；</li> <li>18. 章节 16.2 和章节 16.3 中更新 COMP 输入通道；</li> <li>19. 章节 16.6 补充 DAC 斜坡发生器波形示例；</li> <li>20. 更新图 17-11，补充双边沿模式下 PWMA 通路信号；</li> <li>21. 更新图 18-5；</li> <li>22. 章节 24.13 中更新 REVO 和 REV1 寄存器的回读值。</li> </ol> |
| A/2 | 2023-12-12 | X. Yu | 已过期 | <ol style="list-style-type: none"> <li>1. 删除 GPIO15 引脚及其相关的 ANA_IN15 功能；</li> <li>2. 章节 4.2.4 补充说明如何从默认的 SWD 调试接口模式切换到 JTAG 调试接口模式；</li> <li>3. 章节 4.4.2 针对 GPIO77~GPIO81 补充说明 TRSTn 引脚为高时的行为；</li> <li>4. 增加章节 16.3 说明比较器的迟滞。</li> </ol>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |

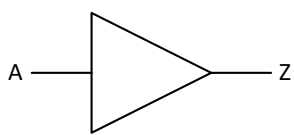
| 版本  | 日期         | 作者      | 状态  | 变更                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |
|-----|------------|---------|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| C/0 | 2025-08-21 | J. Zhou | 已过期 | <ol style="list-style-type: none"> <li>1. 章节 2.2 增加注意事项，说明复位后寄存器 BOD33CTL 和寄存器 BOD12CTL 恢复默认值。</li> <li>2. 更新表 22-10 位段 SSIZE 和 DSIZE 描述。</li> <li>3. 更新图 18-1。</li> <li>4. 更新图 16-1 和图 16-7，为图 16-6 添加注释。</li> <li>5. 更新图 14-2 和表 14-3。</li> <li>6. 更新表 8-43 中位段 LINSBERR 描述。</li> <li>7. 增加章节 23.2 配置字。</li> <li>8. 更新 ADC 转换优先级的描述，并更新表 13-15 中位段 RRPOINTER 的说明。</li> <li>9. 更新图 17-2，增加 AQCSFRC.CSFA/CSFB 信号。</li> <li>10. 更新图 17-8，添加注意事项。</li> <li>11. 更新表 17-15 位段 AQCSFRC。</li> </ol> |
| C/1 | 2025-09-16 | J. Zhou | 已过期 | <ol style="list-style-type: none"> <li>1. 增加 QFN56（6×6mm）封装引脚信息。</li> </ol>                                                                                                                                                                                                                                                                                                                                                                                                                   |
| C/2 | 2025-11-07 | J. Zhou | 已过期 | <ol style="list-style-type: none"> <li>1. 修改章节 23，说明打开/关闭 ECC 对空间大小的影响，修改配置字说明。</li> </ol>                                                                                                                                                                                                                                                                                                                                                                                                    |
| C/3 | 2025-12-18 | J. Zhou | 已发布 | <ol style="list-style-type: none"> <li>1. 增加章节 19 EQEP 模块及对应寄存器。</li> <li>2. 修改章节 23，1.2.3，说明 Flash 大小。</li> <li>3. 更新表 12-10 中 TXPAUSE 位段。</li> <li>4. 更新表 12-10，表 12-23~表 12-30，CAN 不支持协议异常。</li> <li>5. 修改章节 15.4。</li> </ol>                                                                                                                                                                                                                                                              |

## 术语或缩写

| 术语或缩写   | 描述                                                   |
|---------|------------------------------------------------------|
| MCU     | Microcontroller Unit, 微控制器单元                         |
| AHB     | Advanced High Performance Bus, 先进高性能总线               |
| DMA     | Direct Memory Access, 直接存储器访问                        |
| XIP     | Execution In Place, 就地执行                             |
| SWD     | Serial Wire Debug, 串行线调试                             |
| PLL     | Phase Locked Loop, 锁相环                               |
| BOD     | Brownout Detector, 过压/欠压检测器                          |
| NMI     | Non Maskable Interrupt, 不可屏蔽中断                       |
| ISP     | In System Programming, 在系统编程                         |
| PFD     | Phase Frequency Detector, 鉴频鉴相器                      |
| NVIC    | Nested Vectored Interrupt Controller, 嵌套向量中断控制器      |
| UART    | Universal Asynchronous Receiver-Transmitter, 通用异步收发器 |
| LIN     | Local Interconnect Network, 局域互联网络                   |
| CAN     | Controller Area Network, 控制器局域网络                     |
| ADC     | Analog-to-Digital Converter, 模数转换器                   |
| DAC     | Digital-to-Analog Converter, 数模转换器                   |
| PGA     | Programmable-Gain Amplifier, 可编程增益放大器                |
| CRC     | Cyclic Redundancy Check, 循环冗余校验                      |
| AES     | Advanced Encryption Standard, 高级加密标准                 |
| Nonce   | Number used once, 一次性使用的数字或随机数, 通常用于加密和计算机安全领域       |
| SAR ADC | Successive Approximation A/D Converter, 逐次逼近型模数转换器   |



## 逻辑符号

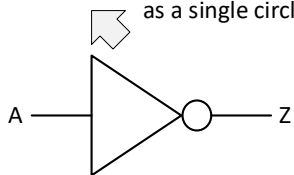


Buffer

| A | Z = A |
|---|-------|
| 0 | 0     |
| 1 | 1     |

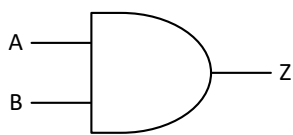


Can be simplified  
as a single circle



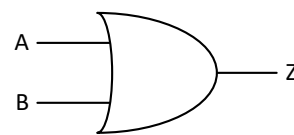
Inverter

| A | Z = not A |
|---|-----------|
| 0 | 1         |
| 1 | 0         |



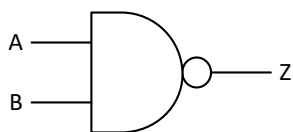
AND

| A | B | Z = A and B |
|---|---|-------------|
| 0 | 0 | 0           |
| 0 | 1 | 0           |
| 1 | 0 | 0           |
| 1 | 1 | 1           |



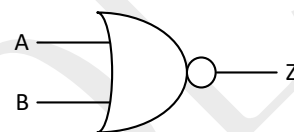
OR

| A | B | Z = A or B |
|---|---|------------|
| 0 | 0 | 0          |
| 0 | 1 | 1          |
| 1 | 0 | 1          |
| 1 | 1 | 1          |



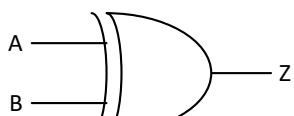
NAND

| A | B | Z = not (A and B) |
|---|---|-------------------|
| 0 | 0 | 1                 |
| 0 | 1 | 1                 |
| 1 | 0 | 1                 |
| 1 | 1 | 0                 |



NOR

| A | B | Z = not (A or B) |
|---|---|------------------|
| 0 | 0 | 1                |
| 0 | 1 | 0                |
| 1 | 0 | 0                |
| 1 | 1 | 0                |



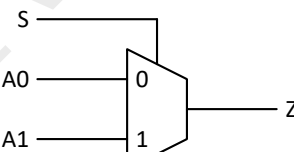
XOR (Exclusive OR)

| A | B | Z = (A and not B) or (B and not A) |
|---|---|------------------------------------|
| 0 | 0 | 0                                  |
| 0 | 1 | 1                                  |
| 1 | 0 | 1                                  |
| 1 | 1 | 0                                  |



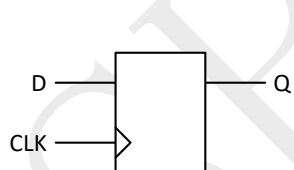
XNOR (Exclusive NOR)

| A | B | Z = (A and B) or (not A and not B) |
|---|---|------------------------------------|
| 0 | 0 | 1                                  |
| 0 | 1 | 0                                  |
| 1 | 0 | 0                                  |
| 1 | 1 | 1                                  |



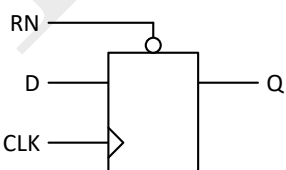
MUX

| A0  | A1  | S | Z = A0 if S = 0<br>A1 if S = 1 |
|-----|-----|---|--------------------------------|
| 0   | any | 0 | 0                              |
| 1   | any | 0 | 1                              |
| any | 0   | 1 | 0                              |
| any | 1   | 1 | 1                              |



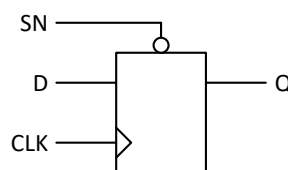
DFF (D Flip-flop)

| D   | CLK | Q                   |
|-----|-----|---------------------|
| any | 0   | keep it's old value |
| any | 1   | keep it's old value |
| any | ↓   | keep it's old value |
| 0   | ↑   | 0                   |
| 1   | ↑   | 1                   |



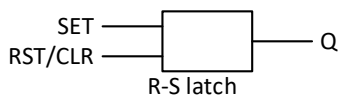
DFF with asynchronous reset

| D   | RN | CLK | Q                   |
|-----|----|-----|---------------------|
| any | 0  | any | 0                   |
| any | 1  | 0   | keep it's old value |
| any | 1  | 1   | keep it's old value |
| any | 1  | ↓   | keep it's old value |
| 0   | 1  | ↑   | 0                   |
| 1   | 1  | ↑   | 1                   |



DFF with asynchronous reset

| D   | SN | CLK | Q                   |
|-----|----|-----|---------------------|
| any | 0  | any | 1                   |
| any | 1  | 0   | keep it's old value |
| any | 1  | 1   | keep it's old value |
| any | 1  | ↓   | keep it's old value |
| 0   | 1  | ↑   | 0                   |
| 1   | 1  | ↑   | 1                   |



R-S latch

| SET | RST | Q                   |
|-----|-----|---------------------|
| 1   | 0   | 1                   |
| 0   | 1   | 0                   |
| 0   | 0   | keep it's old value |
| 1   | 1   | Invalid input       |

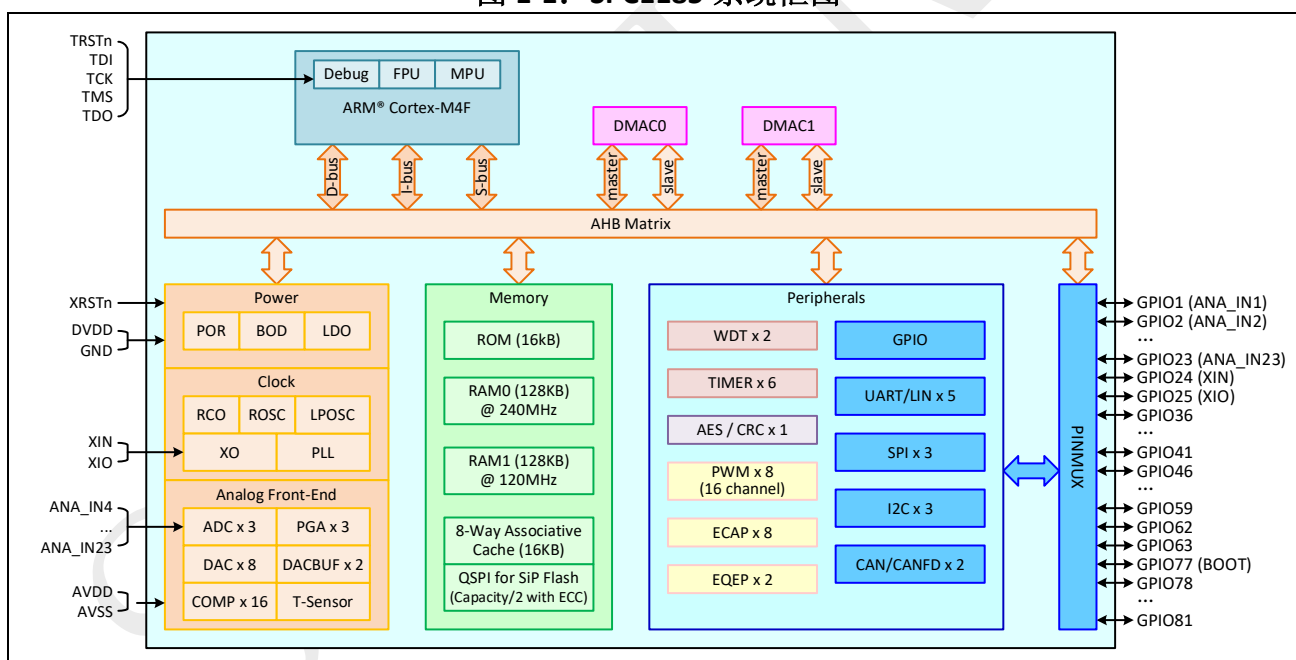
# 1 存储器和总线架构

## 1.1 系统架构

如图 1-1 所示，SPC1185 系统通过低延时的 AHB 总线架构，互连如下主要模块：

- 5 个总线主机
  - ARM® Cortex-M4F 主核的 I 总线、D 总线以及 S 总线；
  - 2 个 DMA 控制器总线主机口。
- 44 个总线从机
  - ROM；
  - 2 块 RAM；
  - Flash 闪存就地执行访问接口；
  - 电源和时钟配置寄存器；
  - 2 个 DMA 控制器总线从机配置口；
  - AHB 外设：GPIO、WDT、TIMER、UART、SPI、I2C、CAN、QSPI、PWM、EQEP、ECAP、AES、CRC、模拟前端（AFE）控制等。

图 1-1: SPC1185 系统框图



模拟电路部分包括如下子系统：

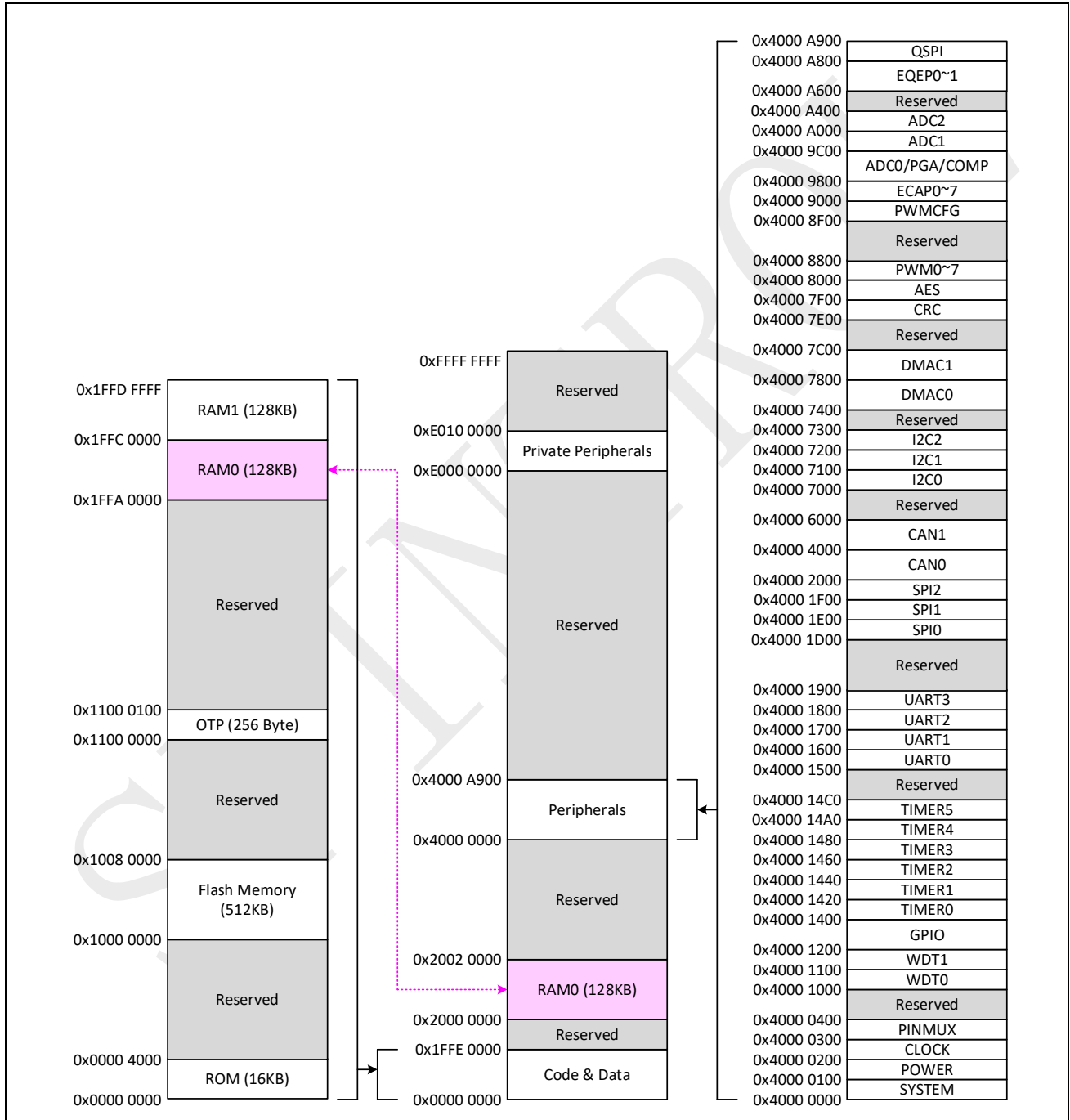
- 电源
  - 提供上电复位（POR）、1.2V 片上稳压器（LDO）、过压欠压检测（BOD）等；
- 时钟
  - 提供 5 个时钟源；
- 模拟前端信号链
  - 提供模数转换器（ADC）、可编程增益放大器（PGA）、数模转换器（DAC）、温度传感器、模拟比较器（COMP）等。

## 1.2 存储空间地址映射

SPC1185 将 ROM、RAMs、Flash、外设控制寄存器分配在同一个 4GB 的线性地址空间内。数据字节在存储单元中采用小端模式存放。

未分配给任何存储单元或者外设寄存器的地址视作“未使用的”空间。对这类地址的访问将产生总线错误。SPC1185 的存储器映射如图 1-2 所示。

图 1-2: SPC1185 存储空间地址映射



[1] 取决于所封装的 Flash 型号（可通过读取 Flash ID 号区分），256 字节 OTP 的映射地址有所不同。用户可以调用 SDK 提供的函数来实现无差别的软件代码。

表 1-1 给出了 SPC1185 各个外设模块的基地址。

表 1-1: 外设模块基地址

| 外设模块   | 基地址          | 寄存器列表      |
|--------|--------------|------------|
| SYSTEM | 0x4000 0000  | 章节 24.13.1 |
| POWER  | 0x4000 0100  | 章节 2.4.1   |
| CLOCK  | 0x4000 0200  | 章节 3.9.1   |
| PINMUX | 0x4000 0300  | 章节 4.4.1   |
| WDT0   | 0x4000 1000  | 章节 7.4.1   |
| WDT1   | 0x4000 1100  | 章节 7.4.1   |
| GPIO   | 0x4000 1200  | 章节 4.4.3   |
| TIMER0 | 0x4000 1400  | 章节 6.4.1   |
| TIMER1 | 0x4000 1420  | 章节 6.4.1   |
| TIMER2 | 0x4000 1440  | 章节 6.4.1   |
| TIMER3 | 0x4000 1460  | 章节 6.4.1   |
| TIMER4 | 0x4000 1480  | 章节 6.4.1   |
| TIMER5 | 0x4000 14A0  | 章节 6.4.1   |
| UART0  | 0x4000 1500  | 章节 8.6.1   |
| UART1  | 0x4000 1600  | 章节 8.6.1   |
| UART2  | 0x4000 1700  | 章节 8.6.1   |
| UART3  | 0x4000 1800  | 章节 8.6.1   |
| UART4  | 0x4000 1900  | 章节 8.6.1   |
| SPI0   | 0x4000 1D00  | 章节 9.6.1   |
| SPI1   | 0x4000 1E00  | 章节 9.6.1   |
| SPI2   | 0x4000 1F00  | 章节 9.6.1   |
| CAN0   | 0x4000 2000  | 章节 12.7    |
| CAN1   | 0x4000 4000  | 章节 12.7    |
| I2C0   | 0x4000 7000  | 章节 11.9.1  |
| I2C1   | 0x4000 7100  | 章节 11.9.1  |
| I2C2   | 0x4000 7200  | 章节 11.9.1  |
| DMAC0  | 0x4000 74001 | 章节 22.5    |
| DMAC1  | 0x4000 7800  | 章节 22.5    |
| CRC    | 0x4000 7E00  | 章节 20.3.1  |
| AES    | 0x4000 7F00  | 章节 21.3.1  |
| PWM0   | 0x4000 8000  | 章节 17.11.1 |
| PWM1   | 0x4000 8100  | 章节 17.11.1 |
| PWM2   | 0x4000 8200  | 章节 17.11.1 |
| PWM3   | 0x4000 8300  | 章节 17.11.1 |
| PWM4   | 0x4000 8400  | 章节 17.11.1 |
| PWM5   | 0x4000 8500  | 章节 17.11.1 |
| PWM6   | 0x4000 8600  | 章节 17.11.1 |
| PWM7   | 0x4000 8700  | 章节 17.11.1 |
| PWMCFG | 0x4000 8F00  | 章节 17.11.3 |
| ECAP0  | 0x4000 9000  | 章节 18.7.1  |
| ECAP1  | 0x4000 9100  | 章节 18.7.1  |

| 外设模块  | 基地址         | 寄存器列表      |
|-------|-------------|------------|
| ECAP2 | 0x4000 9200 | 章节 18.7.1  |
| ECAP3 | 0x4000 9300 | 章节 18.7.1  |
| ECAP4 | 0x4000 9400 | 章节 18.7.1  |
| ECAP5 | 0x4000 9500 | 章节 18.7.1  |
| ECAP6 | 0x4000 9600 | 章节 18.7.1  |
| ECAP7 | 0x4000 9700 | 章节 18.7.1  |
| ADC0  | 0x4000 9800 | 章节 13.10.1 |
| PGA   | 0x4000 9800 | 章节 14.8.1  |
| COMP  | 0x4000 9800 | 章节 16.8.1  |
| ADC1  | 0x4000 9C00 | 章节 13.10.1 |
| ADC2  | 0x4000 A000 | 章节 13.10.1 |
| EQEP0 | 0x4000 A600 | 章节 19.9.1  |
| EQEP1 | 0x4000 A700 | 章节 19.9.1  |
| QSPI  | 0x4000 A800 | 章节 10.5.1  |

### 1.2.1 引导 ROM

SPC1185 集成了 16KB 的片上 ROM 用于存放启动引导程序以及与系统和 Flash 管理相关的函数库，支持 ECC 保护，可以纠正单比特错误和检测多比特错误。ECC 错误可配置为触发复位或不可屏蔽的中断，发生 ECC 错误的地址记录在 ROMERRADDR 寄存器中用于诊断。

如图 1-3 所示，为了方便用户进行系统管理和 Flash 相关操作，ROM 中固化了函数库，其入口地址向量表存放的起始地址为 0x0000 1000。表 1-2 罗列了函数库的细节。其中，FLASH 相关操作应当通过调用 SDK 中 flash.c 里提供的二次封装后的函数实现。

图 1-3: ROM 存储空间划分

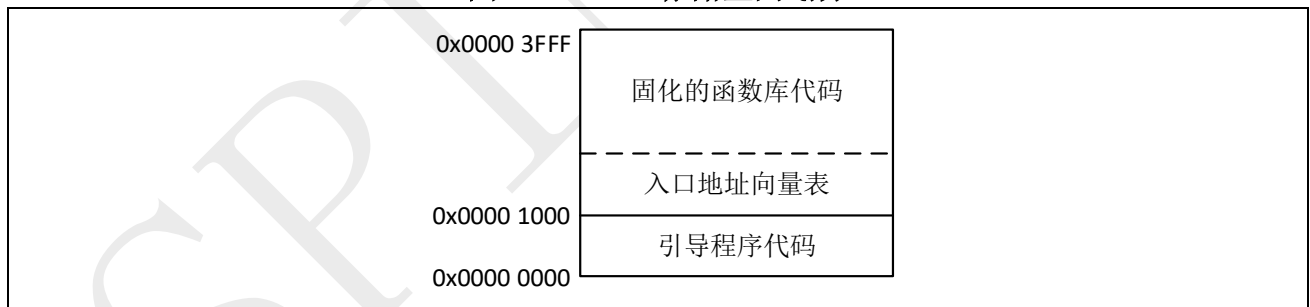


表 1-2: 固化的函数库入口地址向量表

| 函数名               | 向量地址        | 说明                          |
|-------------------|-------------|-----------------------------|
| FLASH_Init        | 0x0000 1000 | 初始化 Flash 配置                |
| FLASH_SetTiming   | 0x0000 1004 | 根据时钟频率配置 Flash 时序参数         |
| FLASH_DisableXIP  | 0x0000 1008 | 安全地退出 Flash 就地执行模式          |
| FLASH_ReadStatus  | 0x0000 100C | 读取 Flash 状态寄存器              |
| FLASH_WriteStatus | 0x0000 1010 | 配置 Flash 状态寄存器（例如锁定 OTP 扇区） |
| FLASH_ReadUID     | 0x0000 1014 | 读取 Flash 唯一标识符              |
| FLASH_ReadID      | 0x0000 1018 | 读取 Flash 标识（可获得厂商、容量等信息）    |
| FLASH_ReadOTP     | 0x0000 101C | 读取 Flash OTP 扇区             |
| FLASH_EraseOTP    | 0x0000 1020 | 擦除 Flash OTP 扇区             |
| FLASH_ProgramOTP  | 0x0000 1024 | 烧录 Flash OTP 扇区             |



| 函数名                                | 向量地址        | 说明                    |
|------------------------------------|-------------|-----------------------|
| FLASH_Read                         | 0x0000 1028 | 读取 Flash 主分区          |
| FLASH_EraseSector                  | 0x0000 102C | 按扇区擦除 Flash 主分区       |
| FLASH_EraseBlock                   | 0x0000 1030 | 按块擦除 Flash 主分区        |
| FLASH_EraseChip                    | 0x0000 1034 | 整体擦除 Flash 主分区        |
| FLASH_Program                      | 0x0000 1038 | 烧录 Flash 主分区          |
| FLASH_EnableCache                  | 0x0000 103C | 使能 16KB Flash 就地执行读缓存 |
| FLASH_DisableCache                 | 0x0000 1040 | 禁用 16KB Flash 就地执行读缓存 |
| SYSTEM_Stop                        | 0x0000 1050 | 系统进入停机模式              |
| SYSTEM_Sleep                       | 0x0000 1054 | 系统进入睡眠模式              |
| SYSTEM_CalculateMemCRC             | 0x0000 1058 | 计算某段存储空间内容的 CRC 校验值   |
| Sin                                | 0x0000 1060 | 保留                    |
| Cos                                | 0x0000 1064 | 保留                    |
| Sin2                               | 0x0000 1068 | 保留                    |
| Cos2                               | 0x0000 106C | 保留                    |
| Atan2                              | 0x0000 1070 | 保留                    |
| AtanF32                            | 0x0000 1074 | 保留                    |
| FastSqrt                           | 0x0000 1078 | 保留                    |
| Sin512                             | 0x0000 107C | 保留                    |
| Cos512                             | 0x0000 1080 | 保留                    |
| Atan512                            | 0x0000 1084 | 保留                    |
| ThetaRadWrap                       | 0x0000 1088 | 保留                    |
| SAT0                               | 0x0000 108C | 保留                    |
| SVPWM                              | 0x0000 1090 | 保留                    |
| ClarkeF32                          | 0x0000 1094 | 保留                    |
| InvParkF32                         | 0x0000 1098 | 保留                    |
| ParkF32                            | 0x0000 109C | 保留                    |
| BubbleSortForCurrent               | 0x0000 10A0 | 保留                    |
| Motor_1PhaseCurrentReconstructInit | 0x0000 10A4 | 保留                    |
| Motor_1PhaseCurrentReconstruct     | 0x0000 10A8 | 保留                    |
| Motor_1PhaseCurrentSamplingShift   | 0x0000 10AC | 保留                    |

### 1.2.2 片上 RAM

SPC1185 集成了 2 块 RAM，提供 256KB 存储空间用于存放代码和数据，具体如下：

- RAM0
  - 容量 128KB，通过地址 0x1FFA0000 到 0x1FFBFFFF 或 0x20000000 到 0x2001FFFF 访问
    - ◆ DMAC 仅能通过地址 0x1FFA0000 到 0x1FFBFFFF 访问 RAM0
  - 支持以最高 240MHz 速率零等待的读写操作
- RAM1
  - 容量 128KB，通过地址 0x1FFC0000 到 0x1FFDFFFF 访问
  - 支持以最高 120MHz 速率零等待的读写操作（等效于 240MHz 下 1 个等待周期）

所有 RAM 均支持 ECC 保护，可以纠正单比特错误和检测多比特错误。ECC 错误可配置为触发复位或者不可屏蔽的中断。

### 1.2.3 封装内 Flash 存储器

SPC1185 封装了一个 Flash 存储器，可以提供 512 KB 空间用于存放代码和数据。如图 1-1 所示，Flash 存储器通过 QSPI 协议访问，由状态机发送命令来擦写 Flash 存储器，还支持通过特别设计的就地执行（XIP）接口读取 Flash 存储器的内容。因此，当 SPC1185 启动时，Flash 存储器中的代码可以直接就地执行，也可以被加载到 RAM 后，再在 RAM 中执行。

由于 Flash 存储器的访问是基于 QSPI 协议，速度较慢。因此，SPC1185 提供了一个采用 8 路关联结构的 16 KB 就地执行读缓存，来提高就地执行的效率。

出于数据安全性考虑，Flash 存储器及其缓存提供了可选的 ECC 功能，可以修正单比特错误和检测多比特错误。开启 ECC 功能后，可用的 Flash 容量不变。ECC 错误可以配置为触发复位或者不可屏蔽的中断。

关于 Flash 使用更详细的信息，请参见[章节 10](#)和[章节 23](#)。

## 1.3 启动引导配置

SPC1185 在复位后，执行位于 ROM 上的启动引导程序（boot loader）。如表 1-3 所示，根据不同的复位原因以及 GPIO77 引脚状态，可以实现两种不同的启动模式。

- ISP（In System Programming）模式
  - 当上电复位或者 XRSTn 引脚复位后<sup>[1]</sup>，启动时检测到 GPIO77 为低，则进入该模式；
  - 该模式下，启动引导程序使用 UART0 接口对 Flash 存储器进行重新编程。在这个过程中，GPIO62 被配置为 UART0\_TXD 功能，GPIO63 被配置为 UART0\_RXD 功能。
- 正常启动模式
  - 启动引导程序检测到 GPIO77 为高，或者检测到本次启动是由电源过压或欠压、时钟错误、存储器 ECC 错误、看门狗定时器超时等异常事件引起的复位导致时，进入该模式；
  - 该模式下，启动引导程序跳转到 Flash 存储器并从地址 0x1000 0000 开始执行。

表 1-3：启动模式

| GPIO77 | 复位原因                     | 启动模式                                                  |
|--------|--------------------------|-------------------------------------------------------|
| 0      | 上电复位                     | ISP 模式：GPIO62 被配置为 UART0_TXD<br>GPIO63 被配置为 UART0_RXD |
| 0      | XRSTn 复位                 |                                                       |
| 0      | ARM® CPU 系统复位请求          | 正常启动模式：<br>从 Flash 存储器开始运行程序                          |
| 0      | 电源过压/欠压                  |                                                       |
| 0      | 锁相环失锁/时钟检测电路报错           |                                                       |
| 0      | ROM/RAM/Flash 存储器 ECC 错误 |                                                       |
| 0      | 看门狗定时器超时                 |                                                       |
| 1      | 任何复位                     |                                                       |

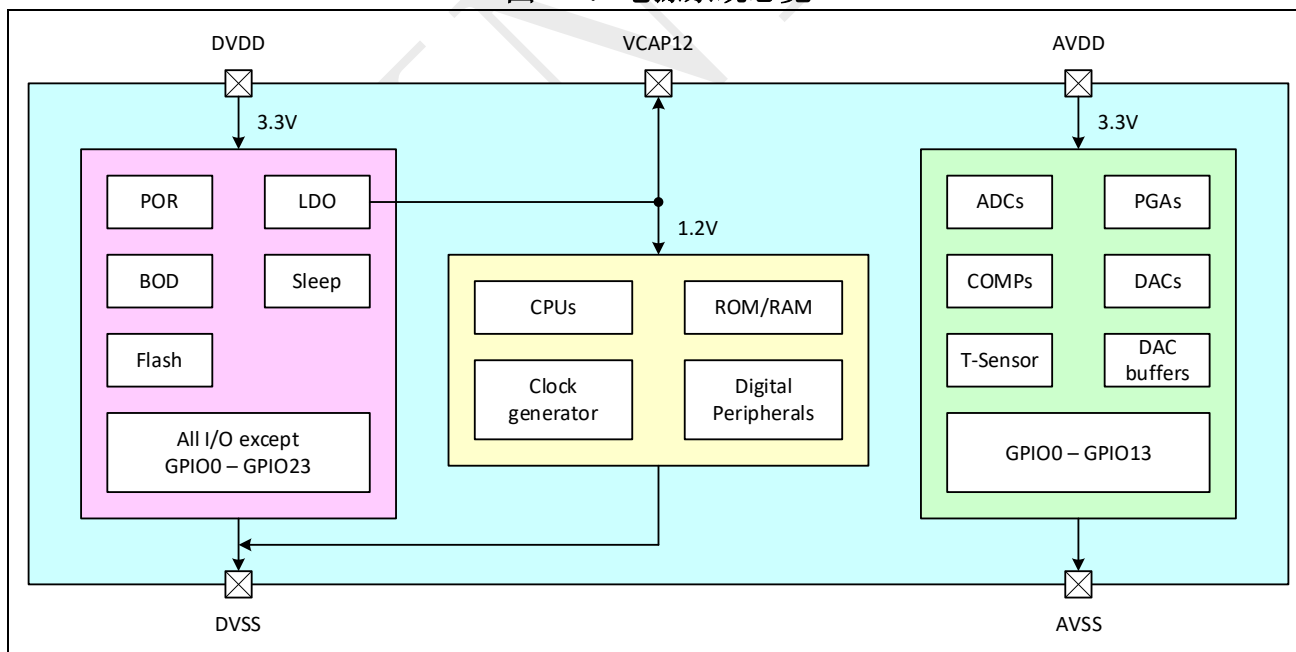
## 2 电源

### 2.1 单电源供电

如图 2-1 所示，SPC1185 需要对 DVDD 和 AVDD 引脚额定 3.3V 单电源供电，上电顺序无特殊要求。但要求电源升压速率不超过 15kV/s。片上 LDO 稳压器从 DVDD 产生额定 1.2V 电压，并输出到 VCAP12 引脚。具体如下：

- DVDD (3.3V)
  - 对电源子模块、Flash 存储器、以及除了 GPIO0~GPIO23 外的所有 I/O 引脚供电；
  - 对应的地是 DVSS；
  - 设计电路板时，需要注意在尽量靠近 DVDD 和 DVSS 引脚的地方放置去耦电容。
- LDO 产生的 1.2V 电源
  - 对 CPU、ROM/RAM 存储器、时钟产生电路和数字外设供电；
  - 对应的地是 DVSS；
  - 设计电路板时，需要注意在尽量靠近 VCAP12 和 DVSS 引脚的地方放置去耦电容；若有多个 VCAP12 引脚，不需要在电路板上连在一起。
- AVDD (3.3V)
  - 对模拟前端电路、以及具有模拟输入通道复用的 GPIO0~GPIO23 引脚供电；
  - 对应的地是 AVSS；
  - 设计电路板时，需要注意在尽量靠近 AVDD 和 AVSS 引脚的地方放置去耦电容。

图 2-1：电源系统总览



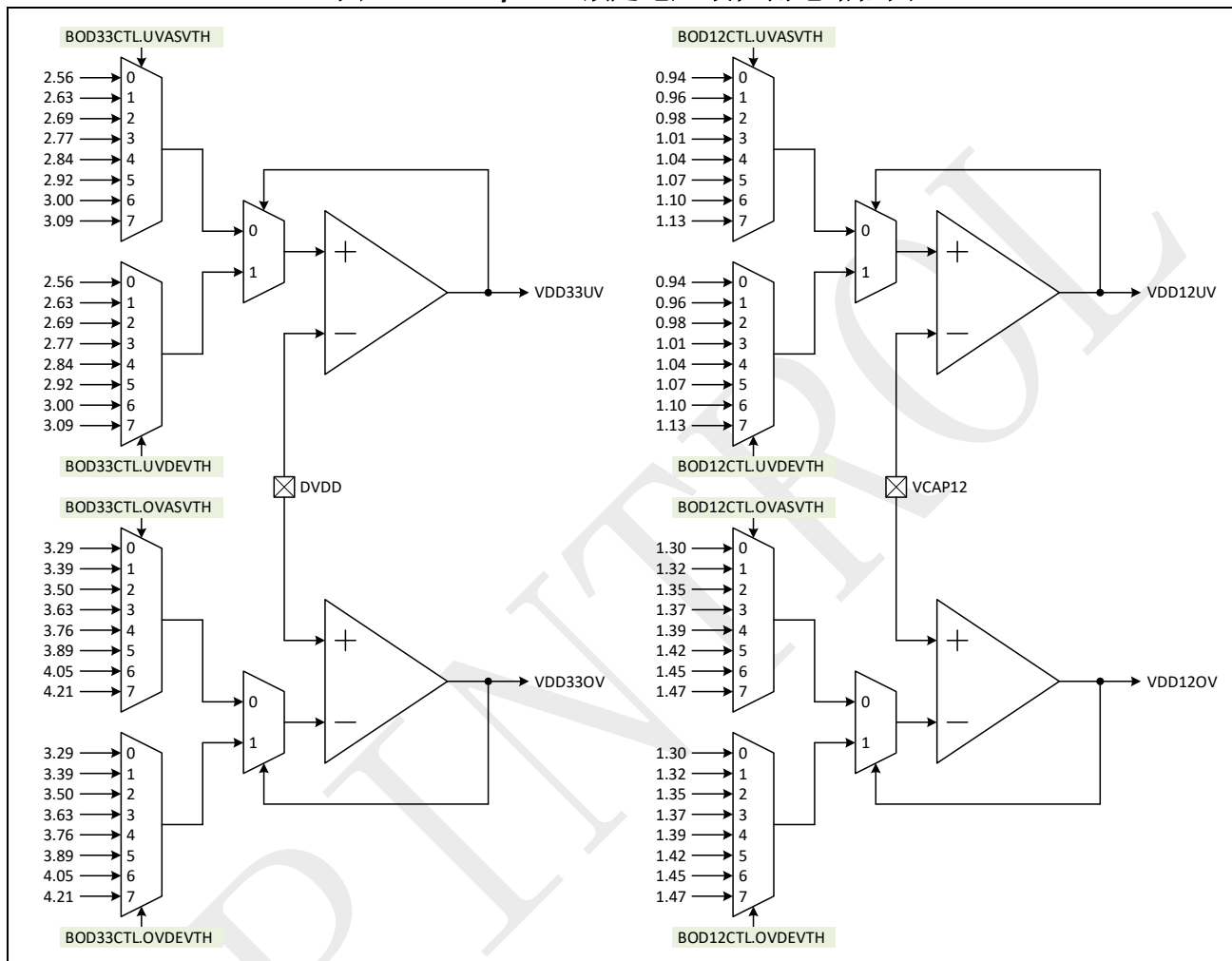
在上电过程中，需要确保 VCAP12 上的负载电流低于 100mA。若片上 LDO 检测到电流超限（例如由板上寄生短路引起），则 VCAP12 无法建立额定电压，系统上电失败。这个安全特性可以在诸如电源引脚连接错误等场景中保护芯片。

待 VCAP12 正常上电后，芯片退出复位状态。此时片上 LDO 监控 VCAP12 上的最大负载电流约为 500mA 到 1A。如果发生异常导致电流超出预定范围，则 VCAP12 掉电，并重新调整最大电流输出为 100mA。这个安全特性保护芯片不被烧毁。

## 2.2 过压/欠压检测（BOD）

如图 2-2 所示，BOD 模块用于将 DVDD 引脚对应的 3.3V 额定电压域和 VCAP12 引脚对应的 1.2V 额定电压域的实际电压值与预设阈值加以比较，实现过压或者欠压的检测，对应的事件可配置为触发复位或者不可屏蔽中断（NMI）。

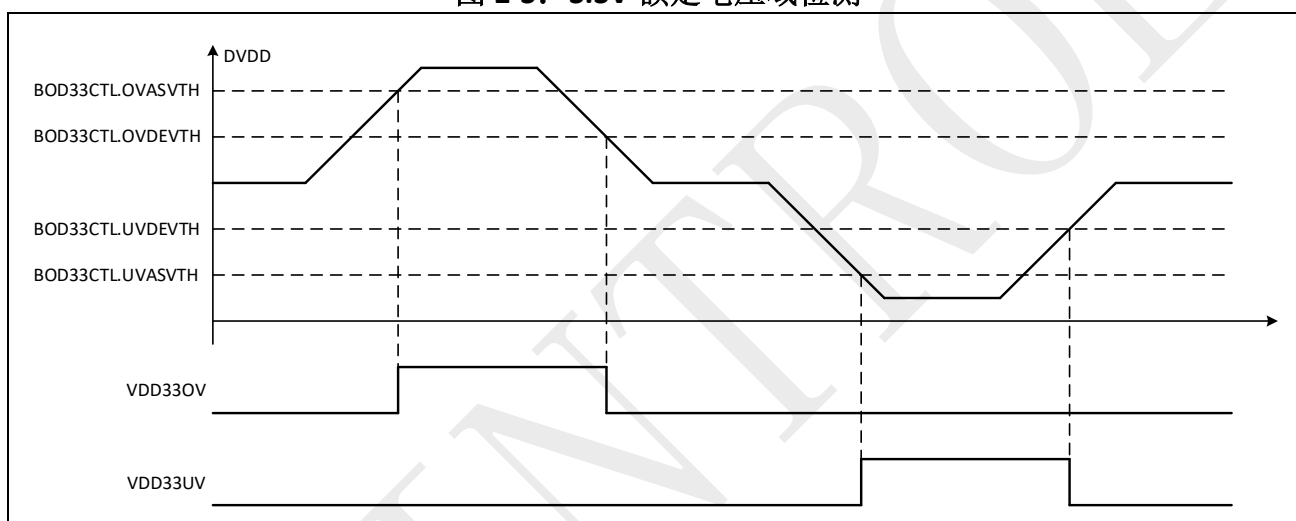
图 2-2：3.3V/1.2V 额定电压域检测电路框图



如图 2-3 所示，BOD33CTL 设定了 3.3V 额定电压域的过压和欠压阈值：

- 3.3V 额定电压域过压（VDD33OV）检测
  - 当 DVDD 引脚上的供电电压上升并超过由 BOD33CTL.OVASVTH 指定的阈值时，将触发 VDD33OV 事件，此时比较的阈值将改由 BOD33CTL.OVDEVTH 指定；
  - 当 DVDD 引脚上的供电电压下降并低于新的阈值，将撤销 VDD33OV 事件，此时比较的阈值将恢复为由 BOD33CTL.OVASVTH 指定。
- 3.3V 额定电压域欠压（VDD33UV）检测
  - 当 DVDD 引脚上的供电电压下降并低于由 BOD33CTL.UVASVTH 指定的阈值时，将触发 VDD33UV 事件，此时比较的阈值将改由 BOD33CTL.UVDEVTH 指定；
  - 当 DVDD 引脚上的供电电压上升并高于新的阈值，将撤销 VDD33UV 事件，此时比较的阈值将恢复为由 BOD33CTL.UVASVTH 指定。

图 2-3：3.3V 额定电压域检测

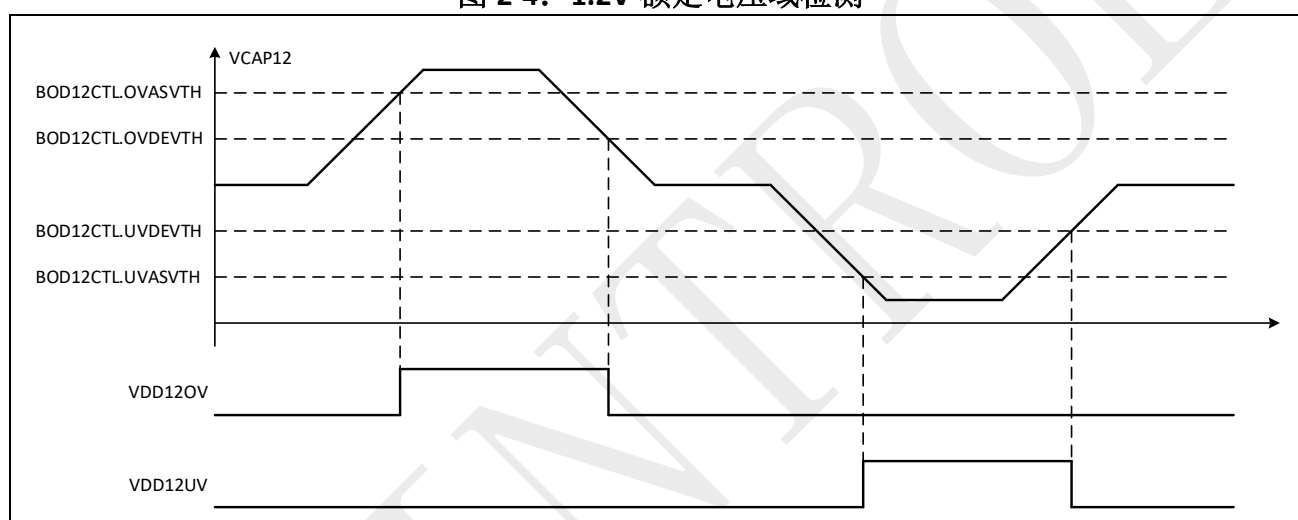




如图 2-4 所示，BOD12CTL 设定了 1.2V 额定电压域的过压和欠压阈值：

- 1.2V 额定电压域过压（VDD12OV）检测
  - 当 VCAP12 引脚上的供电电压上升并超过由 BOD12CTL.OVASVTH 指定的阈值时，将触发 VDD12OV 事件，此时比较的阈值将改由 BOD12CTL.OVDEVTH 指定；
  - 当 VCAP12 引脚上的供电电压下降并低于新的阈值，将撤销 VDD12OV 事件，此时比较的阈值将恢复为由 BOD12CTL.OVASVTH 指定；
- 1.2V 额定电压域欠压（VDD12UV）检测
  - 当 VCAP12 引脚上的供电电压下降并低于由 BOD12CTL.UVASVTH 指定的阈值时，将触发 VDD12UV 事件，此时比较的阈值将改由 BOD12CTL.UVDEVTH 指定；
  - 当 VCAP12 引脚上的供电电压上升并高于新的阈值，将撤销 VCAP12UV 事件，此时比较的阈值将恢复为由 BOD12CTL.UVASVTH 指定；

图 2-4：1.2V 额定电压域检测



注意：为了确保检测和迟滞功能正常，用户必须确保：

1. BOD33CTL.OVASVTH  $\geq$  BOD33CTL.OVDEVTH
2. BOD33CTL.UVASVTH  $\leq$  BOD33CTL.UVDEVTH
3. BOD12CTL.OVASVTH  $\geq$  BOD12CTL.OVDEVTH
4. BOD12CTL.UVASVTH  $\leq$  BOD12CTL.UVDEVTH

触发复位后，寄存器 BOD33CTL 和 BOD12CTL 将会被复位成默认值，复位前用户配置过的事件阈值会恢复默认的档位，具体信息详见寄存器列表。

## 2.3 低功耗模式

SPC1185 提供两种低功耗模式

- 停机模式
  - 通过往 PWRMODECMD 寄存器写 0x5A5A5709 可以进入停机模式；
  - 主时钟以及所有外设的时钟均关闭，仅低频 128KHz 时钟处理唤醒请求；
  - 寄存器和 RAM 均维持其内容；
  - 可以超时自动唤醒或由 I/O 引脚唤醒（引脚和有效电平可配）；
  - 唤醒后软件可以从进入停机模式的位置继续执行。
- 睡眠模式
  - 通过往 PWRMODECMD 寄存器写 0xA5A51EE9 可以进入睡眠模式；
  - 关闭片内电源、时钟和所有外设，所有引脚处于输入高阻状态；
  - 可以配置为 GPIO10 或 GPIO11 的高电平或低电平唤醒；
  - 唤醒后启动过程与上电冷启动相同。

- 
- 注意：
1. 需要先往 PWRREGKEY 寄存器写 0xACCE55CD 才能写 PWRMODECMD 寄存器；
  2. 尽管硬件上会自动关闭所有外设，但还是建议用户软件在进入停机模式前主动妥善关闭各个外设，在唤醒后再妥善重新打开；
  3. 可以直接调用固化在 ROM 里的 pHWLIB->SYSTEM\_Stop()函数进入停机模式；
  4. 可以直接调用固化在 ROM 里的 pHWLIB->SYSTEM\_Sleep()函数进入睡眠模式。
-

## 2.4 寄存器

### 2.4.1 POWER 寄存器列表

表 2-1: POWER 模块基地址

| 外设模块  | 基地址         |
|-------|-------------|
| POWER | 0x4000 0100 |

表 2-2: POWER 寄存器列表

| 寄存器                          | 偏移地址   | 描述             | 复位值        |
|------------------------------|--------|----------------|------------|
| <a href="#">LDOCTL*</a>      | 0x0000 | LDO 控制寄存器      | 0x00000007 |
| <a href="#">BOD33CTL*</a>    | 0x0004 | 3.3V BOD 控制寄存器 | 0x06070100 |
| <a href="#">BOD12CTL*</a>    | 0x0008 | 1.2V BOD 控制寄存器 | 0x06070100 |
| <a href="#">PWRMODECMD</a>   | 0x000C | 电源模式命令寄存器      | 0x00000000 |
| <a href="#">SELFWKUPCTL*</a> | 0x0010 | 停机模式自我唤醒控制寄存器  | 0x00000000 |
| <a href="#">PWRREGKEY</a>    | 0x0014 | POWER 模块写使能寄存器 | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 PWRREGKEY=0x1ACCE551 时才可以改写

## 2.4.2 POWER 寄存器

### 2.4.2.1 LDO 控制寄存器 (LDOCTL)

表 2-3: LDO 控制寄存器 (LDOCTL) 位段定义

| LDOCTL (LDO Control Register)                                  |    |    |    |      |    |    |    |
|----------------------------------------------------------------|----|----|----|------|----|----|----|
| Access: POWER->LDOCTL    Offset: 0x0000    Default: 0x00000007 |    |    |    |      |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27   | 26 | 25 | 24 |
| RESERVED                                                       |    |    |    |      |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19   | 18 | 17 | 16 |
| RESERVED                                                       |    |    |    |      |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11   | 10 | 9  | 8  |
| RESERVED                                                       |    |    |    |      |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3    | 2  | 1  | 0  |
| RESERVED                                                       |    |    |    | VOUT |    |    |    |

表 2-4: LDO 控制寄存器 (LDOCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                                                                                                                       |
|------|---------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:4 | RESERVED_31_4 | RO | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                                       |
| 3:0  | VOUT          | RW | 0x7 | <p>1.2V LDO 输出电压</p> <p>当本字段低于某个值（通常小于 4）时，输出电压将维持在某最低值；</p> <p>当本字段高于某个值（通常高于 11）时，输出电压将维持在某最高值；具体的阈值随芯片不同。</p> <p>0: 1.06V<br/> 1: 1.08V<br/> 2: 1.10V<br/> 3: 1.12V<br/> 4: 1.14V<br/> 5: 1.16V<br/> 6: 1.18V<br/> 7: 1.20V<br/> 8: 1.22V<br/> 9: 1.24V<br/> 10: 1.26V<br/> 11: 1.28V<br/> 12: 1.30V<br/> 13: 1.32V<br/> 14: 1.34V<br/> 15: 1.36V</p> |

## 2.4.2.2 3.3V BOD 控制寄存器 (BOD33CTL)

表 2-5: 3.3V BOD 控制寄存器 (BOD33CTL) 位段定义

| BOD33CTL (3.3V BOD Control Register)                             |    |    |    |    |         |    |    |  |
|------------------------------------------------------------------|----|----|----|----|---------|----|----|--|
| Access: POWER->BOD33CTL    Offset: 0x0004    Default: 0x06070100 |    |    |    |    |         |    |    |  |
| 31                                                               | 30 | 29 | 28 | 27 | 26      | 25 | 24 |  |
| RESERVED                                                         |    |    |    |    | OVDEVTH |    |    |  |
| 23                                                               | 22 | 21 | 20 | 19 | 18      | 17 | 16 |  |
| RESERVED                                                         |    |    |    |    | OVASVTH |    |    |  |
| 15                                                               | 14 | 13 | 12 | 11 | 10      | 9  | 8  |  |
| RESERVED                                                         |    |    |    |    | UVDEVTH |    |    |  |
| 7                                                                | 6  | 5  | 4  | 3  | 2       | 1  | 0  |  |
| RESERVED                                                         |    |    |    |    | UVASVTH |    |    |  |

表 2-6: 3.3V BOD 控制寄存器 (BOD33CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                       |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                                                                                                       |
| 26:24 | OVDEVTH        | RW | 0x6 | 3.3V 电源下降时撤销 VDD33OV 的阈值<br>0: 3.29V<br>1: 3.39V<br>2: 3.50V<br>3: 3.63V<br>4: 3.76V<br>5: 3.89V<br>6: 4.05V<br>7: 4.21V |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                                                                                                       |
| 18:16 | OVASVTH        | RW | 0x7 | 3.3V 电源上升时触发 VDD33OV 的阈值<br>0: 3.29V<br>1: 3.39V<br>2: 3.50V<br>3: 3.63V<br>4: 3.76V<br>5: 3.89V<br>6: 4.05V<br>7: 4.21V |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                                                                                       |
| 10:8  | UVDEVTH        | RW | 0x1 | 3.3V 电源上升时撤销 VDD33UV 的阈值<br>0: 2.56V<br>1: 2.63V<br>2: 2.69V<br>3: 2.77V<br>4: 2.84V<br>5: 2.92V                         |



| 位段  | 位段名          | 属性 | 复位值 | 描述                                                                                                                       |
|-----|--------------|----|-----|--------------------------------------------------------------------------------------------------------------------------|
|     |              |    |     | 6: 3.00V<br>7: 3.09V                                                                                                     |
| 7:3 | RESERVED_7_3 | RO | 0x0 | 保留                                                                                                                       |
| 2:0 | UVASVTH      | RW | 0x0 | 3.3V 电源下降时触发 VDD33UV 的阈值<br>0: 2.56V<br>1: 2.63V<br>2: 2.69V<br>3: 2.77V<br>4: 2.84V<br>5: 2.92V<br>6: 3.00V<br>7: 3.09V |

## 2.4.2.3 1.2V BOD 控制寄存器 (BOD12CTL)

表 2-7: 1.2V BOD 控制寄存器 (BOD12CTL) 位段定义

| BOD12CTL (1.2V BOD Control Register) |    |    |                |    |         |                     |    |  |
|--------------------------------------|----|----|----------------|----|---------|---------------------|----|--|
| Access: POWER->BOD12CTL              |    |    | Offset: 0x0008 |    |         | Default: 0x06070100 |    |  |
| 31                                   | 30 | 29 | 28             | 27 | 26      | 25                  | 24 |  |
| RESERVED                             |    |    |                |    | OVDEVTH |                     |    |  |
| 23                                   | 22 | 21 | 20             | 19 | 18      | 17                  | 16 |  |
| RESERVED                             |    |    |                |    | OVASVTH |                     |    |  |
| 15                                   | 14 | 13 | 12             | 11 | 10      | 9                   | 8  |  |
| RESERVED                             |    |    |                |    | UVDEVTH |                     |    |  |
| 7                                    | 6  | 5  | 4              | 3  | 2       | 1                   | 0  |  |
| RESERVED                             |    |    |                |    | UVASVTH |                     |    |  |

表 2-8: 1.2V BOD 控制寄存器 (BOD12CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                       |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                                                                                                       |
| 26:24 | OVDEVTH        | RW | 0x6 | 1.2V 电源下降时撤销 VDD12OV 的阈值<br>0: 1.30V<br>1: 1.32V<br>2: 1.35V<br>3: 1.37V<br>4: 1.39V<br>5: 1.42V<br>6: 1.45V<br>7: 1.47V |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                                                                                                       |
| 18:16 | OVASVTH        | RW | 0x7 | 1.2V 电源上升时触发 VDD12OV 的阈值<br>0: 1.30V<br>1: 1.32V<br>2: 1.35V<br>3: 1.37V<br>4: 1.39V<br>5: 1.42V<br>6: 1.45V<br>7: 1.47V |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                                                                                       |
| 10:8  | UVDEVTH        | RW | 0x1 | 1.2V 电源上升时撤销 VDD12UV 的阈值<br>0: 0.94V<br>1: 0.96V<br>2: 0.98V<br>3: 1.01V<br>4: 1.04V<br>5: 1.07V                         |

| 位段  | 位段名          | 属性 | 复位值 | 描述                                                                                                                       |
|-----|--------------|----|-----|--------------------------------------------------------------------------------------------------------------------------|
|     |              |    |     | 6: 1.10V<br>7: 1.13V                                                                                                     |
| 7:3 | RESERVED_7_3 | RO | 0x0 | 保留                                                                                                                       |
| 2:0 | UVASVTH      | RW | 0x0 | 1.2V 电源下降时触发 VDD12UV 的阈值<br>0: 0.94V<br>1: 0.96V<br>2: 0.98V<br>3: 1.01V<br>4: 1.04V<br>5: 1.07V<br>6: 1.10V<br>7: 1.13V |

#### 2.4.2.4 电源模式命令寄存器（PWRMODECMD）

表 2-9：电源模式命令寄存器（PWRMODECMD）位段定义

| PWRMODECMD (Power Mode Command Register) |    |                |    |                     |    |    |    |
|------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: POWER->PWRMODECMD                |    | Offset: 0x000C |    | Default: 0x00000000 |    |    |    |
| 31                                       | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| KEY                                      |    |                |    |                     |    |    |    |
| 23                                       | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| KEY                                      |    |                |    |                     |    |    |    |
| 15                                       | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| KEY                                      |    |                |    |                     |    |    |    |
| 7                                        | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| KEY                                      |    |                |    |                     |    |    |    |

表 2-10：电源模式命令寄存器（PWRMODECMD）位段描述

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                                      |
|------|-----|-----|-----|-----------------------------------------------------------------------------------------|
| 31:0 | KEY | W1S | 0x0 | 本寄存器仅当 PWRREGKEY=0xACCE55CD 时才有写权限。<br>写 0xA5A51EE9 进入睡眠模式；写 0x5A5A5709 进入停机模式。回读值始终为 0 |

#### 2.4.2.5 停机模式自我唤醒控制寄存器（SELFWKUPCTL）

表 2-11: 停机模式自我唤醒控制寄存器（SELFWKUPCTL）位段定义

| SELFWKUPCTL (Stop Mode Self Wakeup Control Register)                |    |    |    |    |    |    |    |
|---------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: POWER->SELFWKUPCTL    Offset: 0x0010    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                  | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| PRD                                                                 |    |    |    |    |    |    |    |
| 23                                                                  | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| PRD                                                                 |    |    |    |    |    |    |    |
| 15                                                                  | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| PRD                                                                 |    |    |    |    |    |    |    |
| 7                                                                   | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| PRD                                                                 |    |    |    |    |    |    |    |

表 2-12: 停机模式自我唤醒控制寄存器（SELFWKUPCTL）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                |
|------|-----|----|-----|---------------------------------------------------|
| 31:0 | PRD | RW | 0x0 | 设为 0 时禁用自我唤醒功能；<br>否则，系统将在 PRD/128 ms 后自动从停机状态唤醒。 |

#### 2.4.2.6 POWER 模块写使能寄存器（PWRREGKEY）

表 2-13: POWER 模块写使能寄存器（PWRREGKEY）位段定义

| PWRREGKEY (Power Register Write-Allow Key Register)               |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: POWER->PWRREGKEY    Offset: 0x0014    Default: 0x1ACCE551 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                               |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                               |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                               |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| KEY                                                               |    |    |    |    |    |    |    |

表 2-14: POWER 模块写使能寄存器（PWRREGKEY）位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                                                                    |
|------|-----|----|------------|-----------------------------------------------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0xACCE55CD 解锁 PWRMODECMD 寄存器；<br>写入 0x1ACCE551 解锁其它受保护的 POWER 寄存器。 |

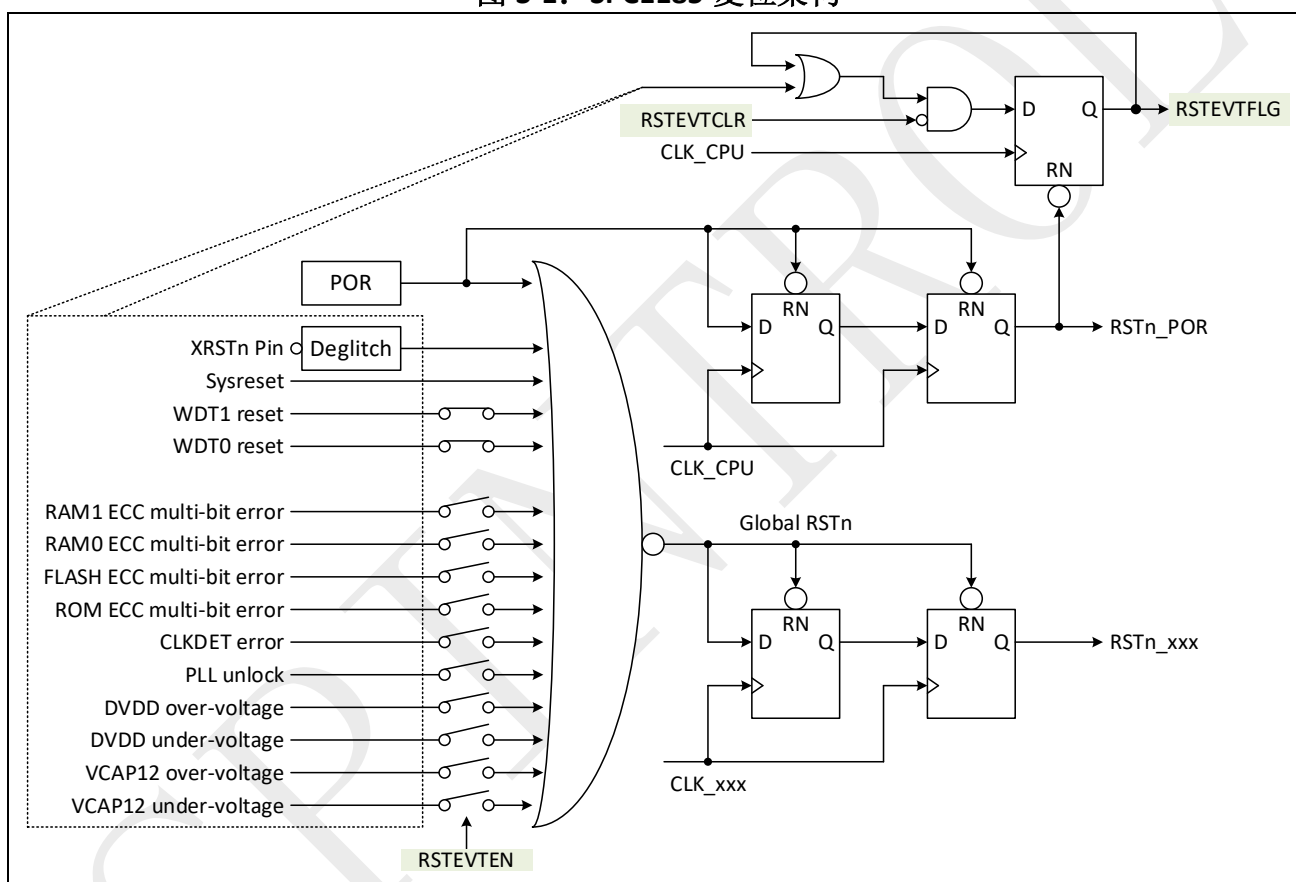
## 3 时钟和复位

### 3.1 复位架构

如图 3-1 所示，SPC1185 全局复位信号为 POR 上电复位请求、XRSTn 引脚复位请求以及功能模块复位事件的逻辑或非（NOR），并基于各外设时钟进一步整形形成异步复位、同步释放的信号，提高时序完整性。功能模块复位事件包括存储器 ECC 多位错误、过压欠压事件、时钟错误事件、看门狗定时器超时复位、ARM® Cortex-M4F 系统复位请求。

功能复位源可以通过 RSTEV TEN 寄存器对应位选择是否使能。为了便于系统调试分析，复位发生时其触发事件将被锁存在 RSTEV TFLG 寄存器内，并可以通过 RSTEV TCLR 寄存器对应位清除。

图 3-1: SPC1185 复位架构



### 3.2 引脚复位

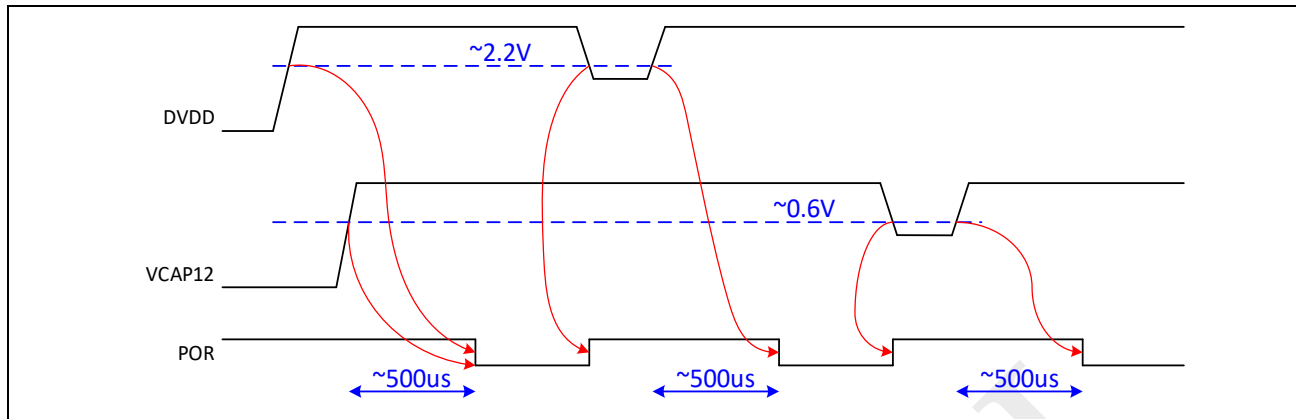
SPC1185 的 XRSTn 引脚提供了所有模块的全局逻辑复位。该引脚内部上拉以确保芯片工作于正常状态。如图 3-1 所示，来自 XRSTn 引脚的信号会经过一个除颤电路来消抖，仅当 XRSTn 保持为低的时间超过设定的阈值（约 500us）时才会触发有效的复位。此外，若 XRSTn 保持为低持续时间超过约 8.2s，将进一步触发对电源系统的复位，产生与上电复位类似的效果。

### 3.3 上电复位

如图 3-2 所示，SPC1185 内建 POR 上电复位电路，确保芯片上电过程中时序无误，使芯片更易于使用。该复位在上电后会保持约 500us 才撤销，并且在 DVDD 低于约 2.2V 或者 VCAP12 低于约 0.6V 时会再次触发。



图 3-2: 上电复位时序图

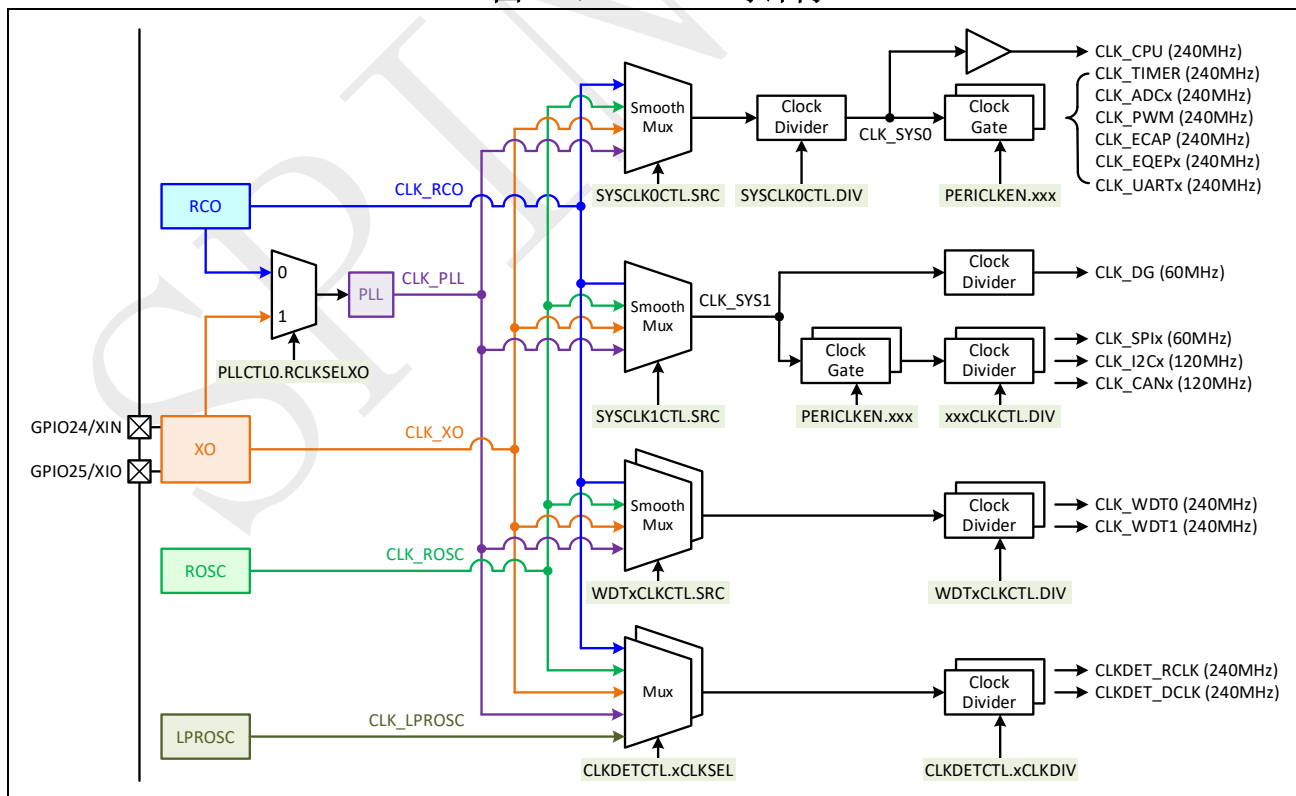


### 3.4 时钟架构

如图 3-3 所示，SPC1185 有如下 5 个时钟源：

- RCO: 校准为 32MHz;
- ROSC: 用于功能安全备份的 32MHz 环形振荡器，不校准;
- XO: 支持片外无源晶体配合片上有源振荡电路（双引脚配置）或者外部有源时钟输入（单引脚配置，可通过 XIN 或 XIO 输入）;
- PLL: 提供 25MHz 到 240MHz 的灵活时钟，其参考时钟可选为 RCO 或者 XO;
- LPROSC: 用于系统电源模式控制的 128kHz 低频环形振荡器，不校准。

图 3-3: SPC1185 时钟树



随后的平滑选择器可以实现无毛刺的时钟切换。配合分频器和使能控制，SPC1185 可以非常灵活地实现对每个模块时钟的配置。其中 I2C 模块和 CAN 模块时钟最高频率为 120MHz，SPI 时钟和 I/O 输入除颤消抖时钟最高频率为 60MHz，其余时钟最高频率为 240MHz。

由图 3-3 中的 CLK\_CPU 作为时钟的模块包括：CPU、AHB 总线及通过其访问的寄存器、ROM、RAM、GPIO 模块、QSPI、AES、CRC 等。

注意： 可以通过 GPIO13 来观测时钟，具体参见章节 3.8 和章节 4.2.2。

### 3.5 高频振荡器

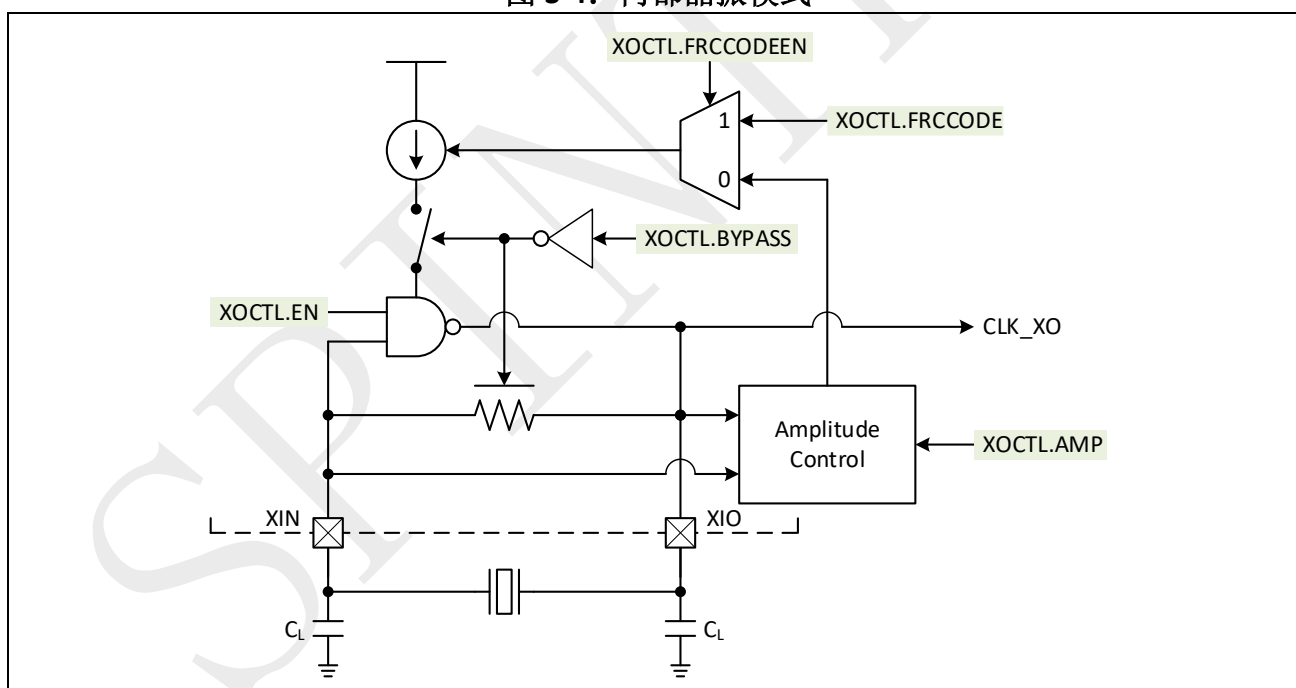
SPC1185 内集成了两个高频振荡器。其中一个 RC 振荡器（RCO）在出厂时校准到 32MHz；另一个环形振荡器（ROSC）典型频率也为 32MHz，但不做校准，用作功能安全备用时钟。

### 3.6 内部晶振和外部时钟

SPC1185 内的晶振（XO）电路支持内部晶振和外部时钟输入两种模式。

如图 3-4 所示，对于内部晶振模式，电路板上需要在 XIN（GPIO24）和 XIO（GPIO25）两个引脚之间放置一个频率从 4MHz 到 32MHz 的晶体。

图 3-4：内部晶振模式



为了限定晶体内的功耗以提高频率长期稳定性，晶振电路内部包含一个幅度控制逻辑，支持如下两种模式：

- 开环幅度控制（XOCTL.FRCCODEEN=1）  
此时偏置电流由 XOCTL.FRCCODE 寄存器直接控制，电路所能提供的最大电流是 2mA。用户需要自行选择合适的控制字，以确保电路可以正常起振。
- 闭环幅度控制（XOCTL.FRCCODEEN=0）  
此时期望的振荡幅度由 XOCTL.AMP 决定，且为 0.32V 到 1.33V 之间的某个值。幅度控制模块检测 XIN 和 XIO 引脚之间的信号幅度，并与期望值比较，根据比较结果来调整偏置电流，



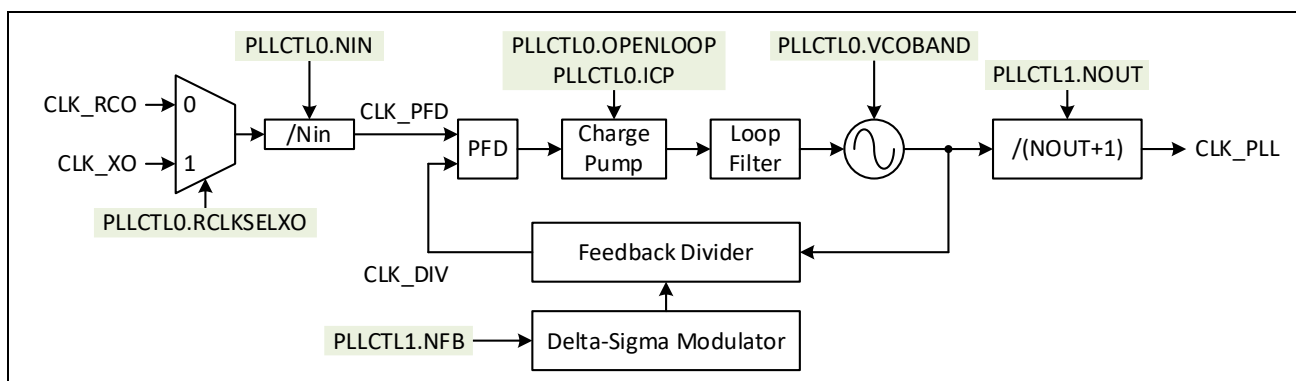


图 3-6 给出了 SPC1185 中所用 PLL（Phase-Locked Loop）的结构。它可以选择来自 RC 振荡器或者晶振的时钟作为输入参考。当环路锁定时，VCO 频率在 400MHz 到 600MHz 范围内，随后经过分频器进一步降至 25 MHz 到 240 MHz 范围。输出频率计算公式为：

$$f_{PLL} = \frac{f_{REF}}{NIN} \times \frac{NFB}{65536} \times \frac{1}{NOUT + 1}$$

### 3.7.1 输入参考和分频

PLL 的输入参考时钟（ $f_{REF}$ ）为 4MHz 到 56MHz，最终送至 PFD（鉴频鉴相器）的输入（ $f_{PFD}$ ）为从 4MHz 到 8MHz。因此，输入分频比（ $f_{REF}/f_{PFD}$ ）应当如表 3-1 所示配置。此处的 NIN 是用户配置 PLL 时需要计算的第一个参数。

表 3-1：输入分频比设置

| 输入频率（ $f_{REF}$ ） |   |       | 输入分频比（ $NIN = f_{REF} / f_{PFD}$ ） |
|-------------------|---|-------|------------------------------------|
| 4MHz              | ~ | 8MHz  | 1                                  |
| 8MHz              | ~ | 16MHz | 2                                  |
| 16MHz             | ~ | 24MHz | 3                                  |
| 24MHz             | ~ | 32MHz | 4                                  |
| 32MHz             | ~ | 40MHz | 5                                  |
| 40MHz             | ~ | 48MHz | 6                                  |
| 48MHz             | ~ | 56MHz | 7                                  |

### 3.7.2 输出分频

VCO 的调频范围为 400MHz 到 600MHz，结合输出分频，最终时钟 CLK\_PLL 的频率如表 3-2 所示。此处的 NOUT 是用户需要计算的第二个参数。

表 3-2：输出时钟频率和分频比

| 输出频率（ $f_{PLL}$ ） |   |         | 分频比（ $f_{VCO}/f_{PLL} = NOUT + 1$ ） |
|-------------------|---|---------|-------------------------------------|
| 200MHz            | ~ | 240MHz  | 2                                   |
| 150MHz            | ~ | 200MHz  | 3                                   |
| 100MHz            | ~ | 150MHz  | 4                                   |
| 75MHz             | ~ | 100MHz  | 6                                   |
| 50MHz             | ~ | 75MHz   | 8                                   |
| 37.5MHz           | ~ | 50MHz   | 12                                  |
| 25MHz             | ~ | 37.5MHz | 16                                  |

### 3.7.3 环路分频

基于由表 3-1 和表 3-2 得到的  $N_{IN}$  和  $N_{OUT}$ ，用户可以根据下面公式计算第三个参数：

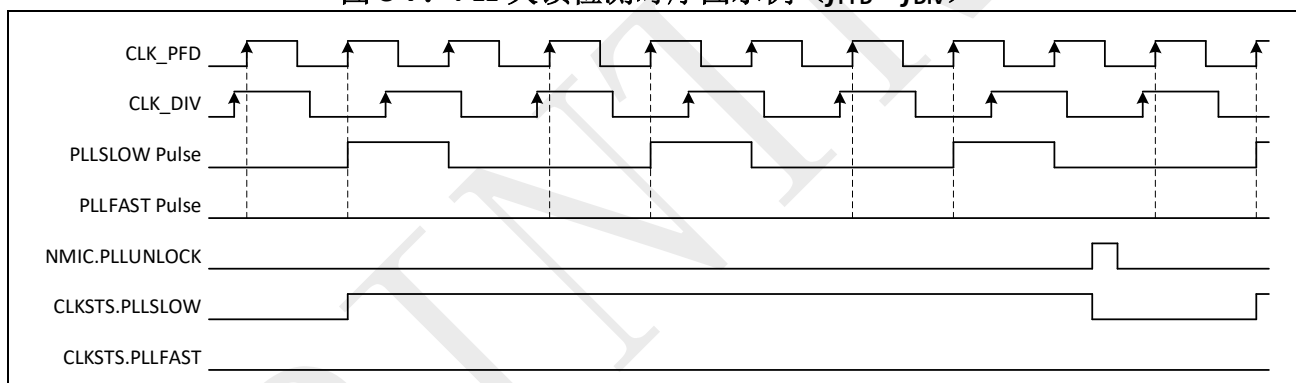
$$NFB = \frac{f_{PLL} \times (N_{OUT} + 1)}{f_{REF} / N_{IN}} \times 65536$$

### 3.7.4 PLL 失锁检测

SPC1185 的 PLL 在 PFD 中内嵌了环路失锁检测电路，以提供环路状态侦测信息。具体原理为：对于 PFD 的两个输入，如果在某一个时钟相邻上升沿之间，另一个时钟出现了两个及以上的上升沿，则产生 PLLFAST 或 PLLSLOW 脉冲，并更新 CLKSTS 寄存器。用户可以通过对 NMIC.PLLUNLOCK 写 1 来清除这些标志位。图 3-7 给出了 PFD 输入的参考时钟快于分频器输出时钟并使得 CLKSTS.PLLSLOW 置位的例子。

在 PLL 初始建立或者环路分频有很大改变的时候， $f_{PFD}$  和  $f_{DIV}$  有较大差别，导致有不可避免的 PLLFAST 或者 PLLSLOW 事件被锁存到 CLKSTS 寄存器中。为了避免误报，使用时需要等待约 10us 以待环路锁定，随后对 NMIC.PLLUNLOCK 写 1 以清除建立过程中可能误报的失锁，然后才能根据需要通过 NMIE.PLLUNLOCK 来使能 PLL 失锁事件中断。一旦 PLL 锁定，将不应当再出现 CLKSTS.PLLFAST 或 CLKSTS.PLLSLOW 事件。

图 3-7：PLL 失锁检测时序图示例 ( $f_{PFD} > f_{DIV}$ )



## 3.8 时钟安全

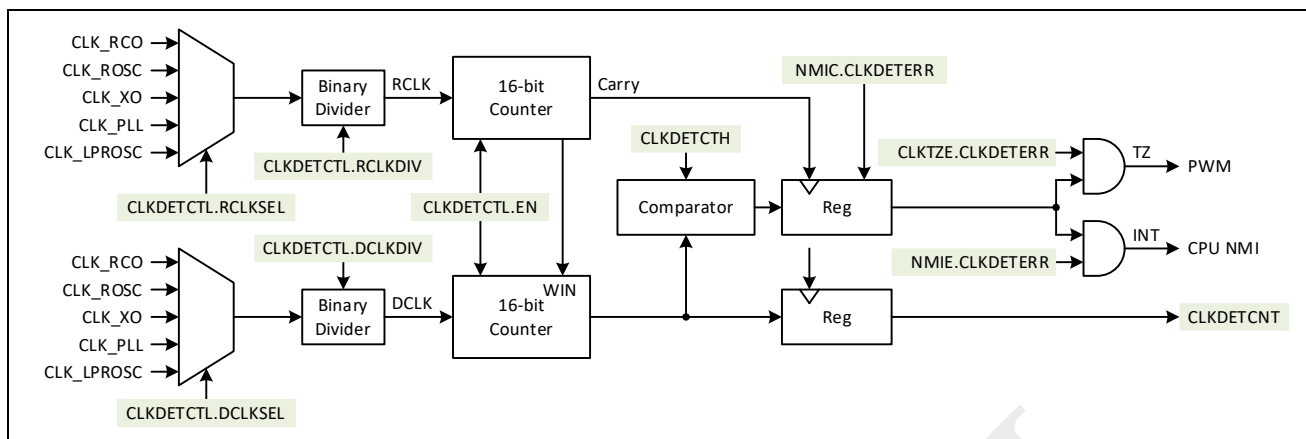
为了时钟安全，SPC1185 提供了时钟交叉检测模块。如图 3-8 所示，参考时钟和待检测时钟可以独立选择，随后各自经过一个二进制分频器得到 RCLK 和 DCLK。RCLK 用于产生观测窗口，在该窗口内 DCLK 保持计数。待观测窗口关闭后，DCLK 的最终计数值被锁存到 CLKDETCNT，并与 CLKDETCTH 寄存器中的高低边界阈值进行比较，若计数越界则产生 NMRAWIF.CLKDETTERR 标志位。计数值越界还可以根据 NMIE 和 CLKTZE 寄存器相应位的配置来触发 CPU 中断或者 PWM 锁定事件。DCLK 可以通过配置 GPIO13.OCHSEL=3 后，在 GPIO13 引脚观测。

基于上述工作原理，若 RCLK 和 DCLK 的频率分别为  $f_{RCLK}$  和  $f_{DCLK}$ ，则预期的计数值为：

$$CLKDETCNT = \frac{f_{DCLK}}{f_{RCLK}} \times 65536$$

图 3-8：时钟交叉检测





## 3.9 寄存器

### 3.9.1 CLOCK 寄存器列表

表 3-3: CLOCK 模块基地址

| 外设模块  | 基地址         |
|-------|-------------|
| CLOCK | 0x4000 0200 |

表 3-4: CLOCK 寄存器列表

| 寄存器                          | 偏移地址   | 描述           | 复位值        |
|------------------------------|--------|--------------|------------|
| <a href="#">CLKSTS</a>       | 0x0000 | 时钟状态寄存器      | 0x00000003 |
| <a href="#">RCOCTL</a> *     | 0x0004 | RCO 控制寄存器    | 0x00000001 |
| <a href="#">XOCTL</a> *      | 0x0008 | 晶振控制寄存器      | 0x00007F58 |
| <a href="#">PLLCTL0</a> *    | 0x000C | PLL 控制寄存器 0  | 0x00000270 |
| <a href="#">PLLCTL1</a> *    | 0x0010 | PLL 控制寄存器 1  | 0x0C3C0000 |
| <a href="#">CLKDECTL</a> *   | 0x0014 | 时钟检测控制寄存器    | 0x00000000 |
| <a href="#">CLKDETCTH</a> *  | 0x0018 | 时钟检测阈值寄存器    | 0x00000000 |
| <a href="#">CLKDETCNT</a>    | 0x001C | 时钟检测计数值寄存器   | 0x00000000 |
| <a href="#">CLKTZE</a> *     | 0x0020 | 时钟封锁事件使能寄存器  | 0x00000000 |
| <a href="#">SYSCLK0CTL</a> * | 0x0024 | 系统时钟 0 控制寄存器 | 0x00000000 |
| <a href="#">SYSCLK1CTL</a> * | 0x0028 | 系统时钟 1 控制寄存器 | 0x00000000 |
| <a href="#">DGCLKCTL</a> *   | 0x002C | 消抖时钟控制寄存器    | 0x00000200 |
| <a href="#">CAN0CLKCTL</a> * | 0x0034 | CAN0 时钟控制寄存器 | 0x00000000 |
| <a href="#">CAN1CLKCTL</a> * | 0x0038 | CAN1 时钟控制寄存器 | 0x00000000 |
| <a href="#">SPI0CLKCTL</a> * | 0x003C | SPI0 时钟控制寄存器 | 0x00000000 |
| <a href="#">SPI1CLKCTL</a> * | 0x0040 | SPI1 时钟控制寄存器 | 0x00000000 |
| <a href="#">SPI2CLKCTL</a> * | 0x0044 | SPI2 时钟控制寄存器 | 0x00000000 |
| <a href="#">I2C0CLKCTL</a> * | 0x0048 | I2C0 时钟控制寄存器 | 0x00000000 |
| <a href="#">I2C1CLKCTL</a> * | 0x004C | I2C1 时钟控制寄存器 | 0x00000000 |
| <a href="#">I2C2CLKCTL</a> * | 0x0050 | I2C2 时钟控制寄存器 | 0x00000000 |
| <a href="#">WDT0CLKCTL</a> * | 0x0054 | WDT0 时钟控制寄存器 | 0x00000000 |
| <a href="#">WDT1CLKCTL</a> * | 0x0058 | WDT1 时钟控制寄存器 | 0x00010000 |
| <a href="#">PERICKEN</a> *   | 0x005C | 外设时钟使能寄存器    | 0x00000000 |
| <a href="#">MEMCYCLE</a> *   | 0x0060 | 存储器访问周期寄存器   | 0x00000000 |

| 寄存器                       | 偏移地址   | 描述             | 复位值        |
|---------------------------|--------|----------------|------------|
| <a href="#">CLKREGKEY</a> | 0x0064 | CLOCK 模块写使能寄存器 | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 CLKREGKEY=0x1ACCE551 时才可以改写。

## 3.9.2 CLOCK 寄存器

### 3.9.2.1 时钟状态寄存器（CLKSTS）

表 3-5：时钟状态寄存器（CLKSTS）位段定义

|                                                                |         |            |         |        |       |         |           |
|----------------------------------------------------------------|---------|------------|---------|--------|-------|---------|-----------|
| CLKSTS (Clock Status Register)                                 |         |            |         |        |       |         |           |
| Access: CLOCK->CLKSTS    Offset: 0x0000    Default: 0x00000003 |         |            |         |        |       |         |           |
| 31                                                             | 30      | 29         | 28      | 27     | 26    | 25      | 24        |
| RESERVED                                                       |         |            |         |        |       |         |           |
| 23                                                             | 22      | 21         | 20      | 19     | 18    | 17      | 16        |
| RESERVED                                                       |         |            |         |        |       |         |           |
| 15                                                             | 14      | 13         | 12      | 11     | 10    | 9       | 8         |
| RESERVED                                                       |         |            |         |        |       |         | CLKDETERR |
| 7                                                              | 6       | 5          | 4       | 3      | 2     | 1       | 0         |
| PLLSLOW                                                        | PLLFAST | VCOFREQVLD | VCOFREQ | PLLRDY | XORDY | ROSCRDY | RCORDY    |

表 3-6：时钟状态寄存器（CLKSTS）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                                                                                                        |
|------|---------------|----|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:9 | RESERVED_31_9 | RO | 0x0 | 保留                                                                                                                                                                                                        |
| 8    | CLKDETERR     | RO | 0x0 | CLKDET 检测到时钟错误<br>0: 事件未发生<br>1: 事件已发生                                                                                                                                                                    |
| 7    | PLLSLOW       | RO | 0x0 | PLL 失锁且频率偏慢标志，可能的原因包括： <ul style="list-style-type: none"> <li><math>f_{REF}/NIN \cdot NFB/65536</math> 高于 VCO 频率上限</li> <li>VCO 未能起振</li> <li>环路分频器异常，导致分频器没有输出或者输出频率低于预期</li> </ul> 0: 事件未发生<br>1: 事件已发生 |
| 6    | PLLFAST       | RO | 0x0 | PLL 失锁且频率偏慢标志，可能的原因包括： <ul style="list-style-type: none"> <li><math>f_{REF}/NIN \cdot NFB/65536</math> 低于 VCO 频率下限</li> <li>参考时钟丢失</li> <li>环路分频器异常，导致分频器输出频率高于预期</li> </ul> 0: 事件未发生<br>1: 事件已发生         |
| 5    | VCOFREQVLD    | RO | 0x0 | VCOFREQ 位段读数有效标志<br>0: VCOFREQ 位段读数无效<br>1: VCOFREQ 位段读数有效                                                                                                                                                |
| 4    | VCOFREQ       | RO | 0x0 | VCO 频率标志位（用于校准）<br>0: VCO 频率偏慢<br>1: VCO 频率偏快                                                                                                                                                             |

| 位段 | 位段名     | 属性 | 复位值 | 描述                             |
|----|---------|----|-----|--------------------------------|
| 3  | PLLRDY  | RO | 0x0 | PLL 时钟就绪标志<br>0: 未就绪<br>1: 就绪  |
| 2  | XORDY   | RO | 0x0 | XO 时钟就绪标志<br>0: 未就绪<br>1: 就绪   |
| 1  | ROSCRDY | RO | 0x1 | ROSC 时钟就绪标志<br>0: 未就绪<br>1: 就绪 |
| 0  | RCORDY  | RO | 0x1 | RCO 时钟就绪标志<br>0: 未就绪<br>1: 就绪  |

### 3.9.2.2 RCO 控制寄存器 (RCOCTL)

表 3-7: RCO 控制寄存器 (RCOCTL) 位段定义

|                               |    |                |    |                     |    |    |    |
|-------------------------------|----|----------------|----|---------------------|----|----|----|
| RCOCTL (RCO Control Register) |    |                |    |                     |    |    |    |
| Access: CLOCK->RCOCTL         |    | Offset: 0x0004 |    | Default: 0x00000001 |    |    |    |
| 31                            | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| RESERVED                      |    |                |    |                     |    |    |    |
| 23                            | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| RESERVED                      |    |                |    |                     |    |    |    |
| 15                            | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| RESERVED                      |    |                |    |                     |    |    |    |
| 7                             | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| RESERVED                      |    |                |    |                     |    |    | EN |

表 3-8: RCO 控制寄存器 (RCOCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                       |
|------|---------------|----|-----|--------------------------|
| 31:1 | RESERVED_31_1 | RO | 0x0 | 保留                       |
| 0    | EN            | RW | 0x1 | RCO 使能<br>0: 关闭<br>1: 使能 |

### 3.9.2.3 XO 控制寄存器 (XOCTL)

表 3-9: XO 控制寄存器 (XOCTL) 位段定义

|                                                               |               |               |                |                |                 |               |               |
|---------------------------------------------------------------|---------------|---------------|----------------|----------------|-----------------|---------------|---------------|
| XOCTL (Crystal Oscillator Control Register)                   |               |               |                |                |                 |               |               |
| Access: CLOCK->XOCTL    Offset: 0x0008    Default: 0x00007F58 |               |               |                |                |                 |               |               |
| 31<br>CURRENT                                                 | 30<br>FEEDPIN | 29<br>BYPASS  | 28<br>RESERVED | 27<br>RESERVED | 26<br>FRCCODEEN | 25<br>FRCCODE | 24<br>FRCCODE |
| 23<br>FRCCODE                                                 | 22<br>FRCCODE | 21<br>FRCCODE | 20<br>FRCCODE  | 19<br>FRCCODE  | 18<br>FRCCODE   | 17<br>FRCCODE | 16<br>FRCCODE |
| 15<br>OPCODE                                                  | 14<br>OPCODE  | 13<br>OPCODE  | 12<br>OPCODE   | 11<br>INITCODE | 10<br>INITCODE  | 9<br>INITCODE | 8<br>INITCODE |
| 7<br>ACTLPRD                                                  | 6<br>ACTLPRD  | 5<br>ACTLPRD  | 4<br>ACTLRELAX | 3<br>AMP       | 2<br>AMP        | 1<br>AMP      | 0<br>EN       |

表 3-10: XO 控制寄存器 (XOCTL) 位段描述

| 位段    | 位段名       | 属性 | 复位值 | 描述                                                                                                                                                                                                          |
|-------|-----------|----|-----|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31    | CURRENT   | RW | 0x0 | 电流偏置档位<br>0: 正常电流<br>1: 两倍电流                                                                                                                                                                                |
| 30    | FEEDPIN   | RW | 0x0 | 外部时钟直通模式下引脚选择<br>0: 时钟由 XIN (GPIO24) 引脚输入, XIO 保持悬空<br>1: 时钟由 XIO (GPIO25) 引脚输入, XIN 可用作其他                                                                                                                  |
| 29    | BYPASS    | RW | 0x0 | 外部时钟直通模式使能<br>0: 内部晶振模式<br>1: 外部时钟直通模式                                                                                                                                                                      |
| 28:27 | RESERVED  | RW | 0x0 | 保留                                                                                                                                                                                                          |
| 26    | FRCCODEEN | RW | 0x0 | 幅度强制控制使能<br>0: 幅度通过校准电路调整偏置电流闭环控制<br>1: 幅度由 FRCCODE 位段指定偏置电流直接控制                                                                                                                                            |
| 25:16 | FRCCODE   | RW | 0x0 | 强制的偏置电流控制字                                                                                                                                                                                                  |
| 15:12 | OPCODE    | RW | 0x7 | 预估的起振后偏置电流控制字高 4 位                                                                                                                                                                                          |
| 11:8  | INITCODE  | RW | 0xF | 启动时偏置电流控制字高 4 位                                                                                                                                                                                             |
| 7:5   | ACTLPRD   | RW | 0x2 | 幅度控制电流调整更新周期<br>0: 每 2048 个时钟周期调整一次<br>1: 每 4096 个时钟周期调整一次<br>2: 每 8192 个时钟周期调整一次<br>3: 每 16384 个时钟周期调整一次<br>4: 每 32768 个时钟周期调整一次<br>5: 每 65536 个时钟周期调整一次<br>6: 每 131072 个时钟周期调整一次<br>7: 每 262144 个时钟周期调整一次 |



| 位段  | 位段名       | 属性 | 复位值 | 描述                                                                                                                   |
|-----|-----------|----|-----|----------------------------------------------------------------------------------------------------------------------|
| 4   | ACTLRELAX | RW | 0x1 | 幅度控制阈值窗口<br>0: 常规阈值窗口<br>1: 放宽阈值窗口                                                                                   |
| 3:1 | AMP       | RW | 0x4 | 闭环控制锁定时的振荡幅度<br>0: 0.32 V<br>1: 0.48 V<br>2: 0.64 V<br>3: 0.77 V<br>4: 0.92 V<br>5: 1.06 V<br>6: 1.19 V<br>7: 1.33 V |
| 0   | EN        | RW | 0x0 | 晶振时钟使能<br>0: 关闭<br>1: 使能                                                                                             |

### 3.9.2.4 PLL 控制寄存器 0 (PLLCTL0)

表 3-11: PLL 控制寄存器 0 (PLLCTL0) 位段定义

| PLLCTL0 (PLL Control Register 0)                                |    |    |    |           |         |        |     |
|-----------------------------------------------------------------|----|----|----|-----------|---------|--------|-----|
| Access: CLOCK->PLLCTL0    Offset: 0x000C    Default: 0x00000270 |    |    |    |           |         |        |     |
| 31                                                              | 30 | 29 | 28 | 27        | 26      | 25     | 24  |
| RESERVED                                                        |    |    |    |           |         |        |     |
| 23                                                              | 22 | 21 | 20 | 19        | 18      | 17     | 16  |
| RESERVED                                                        |    |    |    |           |         |        |     |
| 15                                                              | 14 | 13 | 12 | 11        | 10      | 9      | 8   |
| RESERVED                                                        |    |    |    |           | VCOBAND |        | ICP |
| 7                                                               | 6  | 5  | 4  | 3         | 2       | 1      | 0   |
| ICP                                                             |    |    |    | RCLKSELXO | FCALWIN | FCALEN | EN  |

表 3-12: PLL 控制寄存器 (PLLCTL0) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                      |
|-------|----------------|----|-----|---------------------------------------------------------------------------------------------------------|
| 31:11 | RESERVED_31_11 | RO | 0x0 | 保留                                                                                                      |
| 10:9  | VCOBAND        | RW | 0x1 | PLL VCO 频段选择<br>0: 大约 350 ~ 450MHz<br>1: 大约 450 ~ 550MHz<br>2: 大约 550 ~ 650MHz<br>3: 大约 600 ~ 700MHz    |
| 8:4   | ICP            | RW | 0x7 | PLL 电荷泵电流控制<br>本位段可以简单地设定为固定值 7。<br>若要得到更好的环路稳定性, 可以设置为 NFB/(11-VCOBAND), 此处 NFB 是以小数形式表示的 PLL 环路反馈分频比。 |
| 3     | RCLKSELXO      | RW | 0x0 | PLL 参考时钟<br>0: CLK_RCO (RC 振荡器)<br>1: CLK_XO (晶振时钟)                                                     |
| 2     | FCALWIN        | RW | 0x0 | PLL 频率校准时间窗。<br>在每个校准周期内, 保持本位段为 1 直到 CLKSTS.VCOFREQVLD=1, 然后再设定为 0。<br>0: 时间窗关闭<br>1: 时间窗开启            |
| 1     | FCALEN         | RW | 0x0 | PLL 频率校准使能<br>0: 关闭<br>1: 使能                                                                            |
| 0     | EN             | RW | 0x0 | PLL 使能<br>0: 关闭<br>1: 使能                                                                                |

## 3.9.2.5 PLL 控制寄存器 1 (PLLCTL1)

表 3-13: PLL 控制寄存器 1 (PLLCTL1) 位段定义

| PLLCTL1 (PLL Control Register 1)                                |    |    |    |     |    |    |    |
|-----------------------------------------------------------------|----|----|----|-----|----|----|----|
| Access: CLOCK->PLLCTL1    Offset: 0x0010    Default: 0x0C3C0000 |    |    |    |     |    |    |    |
| 31<br>RESERVED                                                  | 30 | 29 | 28 | 27  | 26 | 25 | 24 |
| NOUT                                                            |    |    |    | NIN |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19  | 18 | 17 | 16 |
| NFB                                                             |    |    |    |     |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11  | 10 | 9  | 8  |
| NFB                                                             |    |    |    |     |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3   | 2  | 1  | 0  |
| NFB                                                             |    |    |    |     |    |    |    |

表 3-14: PLL 控制寄存器 1 (PLLCTL1) 位段描述

| 位段    | 位段名         | 属性 | 复位值      | 描述                                                                                                                                                                                                                                                                                                                                                        |
|-------|-------------|----|----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31    | RESERVED_31 | RO | 0x0      | 保留                                                                                                                                                                                                                                                                                                                                                        |
| 30:27 | NOUT        | RW | 0x1      | 设置 VCO 到 PLL 输出的分频比 ( $f_{VCO}/f_{PLL}$ ) 为 NOUT+1                                                                                                                                                                                                                                                                                                        |
| 26:24 | NIN         | RW | 0x4      | 设置输入参考时钟的分频比 ( $f_{REF}/f_{PFD}$ ) 为 NIN<br>1: 若 $f_{REF}$ 在[4MHz, 8MHz]区间, 则设置为 1<br>2: 若 $f_{REF}$ 在(8MHz, 16MHz]区间, 则设置为 2<br>3: 若 $f_{REF}$ 在(16MHz, 24MHz]区间, 则设置为 3<br>4: 若 $f_{REF}$ 在(24MHz, 32MHz]区间, 则设置为 4<br>5: 若 $f_{REF}$ 在(32MHz, 40MHz]区间, 则设置为 5<br>6: 若 $f_{REF}$ 在(40MHz, 48MHz]区间, 则设置为 6<br>7: 若 $f_{REF}$ 在(48MHz, 56MHz]区间, 则设置为 7 |
| 23:0  | NFB         | RW | 0x3C0000 | 设置环路反馈的分频比 ( $f_{VCO}/f_{PFD}$ ) 为 NFB/65536                                                                                                                                                                                                                                                                                                              |

### 3.9.2.6 时钟检测控制寄存器（CLKDETCTL）

表 3-15: 时钟检测控制寄存器（CLKDETCTL）位段定义

| CLKDETCTL (Clock Detection Control Register) |          |    |                |    |         |                     |    |  |  |
|----------------------------------------------|----------|----|----------------|----|---------|---------------------|----|--|--|
| Access: CLOCK->CLKDETCTL                     |          |    | Offset: 0x0014 |    |         | Default: 0x00000000 |    |  |  |
| 31                                           | 30       | 29 | 28             | 27 | 26      | 25                  | 24 |  |  |
| EN                                           | RESERVED |    |                |    | DCLKDIV |                     |    |  |  |
| 23                                           | 22       | 21 | 20             | 19 | 18      | 17                  | 16 |  |  |
| RESERVED                                     |          |    |                |    | DCLKSEL |                     |    |  |  |
| 15                                           | 14       | 13 | 12             | 11 | 10      | 9                   | 8  |  |  |
| RESERVED                                     |          |    |                |    | RCLKDIV |                     |    |  |  |
| 7                                            | 6        | 5  | 4              | 3  | 2       | 1                   | 0  |  |  |
| RESERVED                                     |          |    |                |    | RCLKSEL |                     |    |  |  |

表 3-16: 时钟检测控制寄存器（CLKDETCTL）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                          |
|-------|----------------|----|-----|-------------------------------------------------------------------------------------------------------------|
| 31    | EN             | RW | 0x0 | 时钟检测使能<br>关闭时钟检测时，之前的错误事件自动清零<br>0: 关闭<br>1: 使能                                                             |
| 30:27 | RESERVED_30_27 | RO | 0x0 | 保留                                                                                                          |
| 26:24 | DCLKDIV        | RW | 0x0 | 待检测时钟的分频比<br>0: 1 分频（不分频）<br>1: 2 分频<br>2: 4 分频<br>3: 8 分频<br>4: 16 分频<br>5: 32 分频<br>6: 64 分频<br>7: 128 分频 |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                                                                                          |
| 18:16 | DCLKSEL        | RW | 0x0 | 待检测时钟的选择<br>0: CLK_RCO<br>1: CLK_ROSC<br>2: CLK_XO<br>3: CLK_PLL<br>4: CLK_LPROSC                           |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                                                                          |
| 10:8  | RCLKDIV        | RW | 0x0 | 参考时钟的分频比<br>0: 1 分频（不分频）<br>1: 2 分频<br>2: 4 分频<br>3: 8 分频                                                   |

| 位段  | 位段名          | 属性 | 复位值 | 描述                                                                               |
|-----|--------------|----|-----|----------------------------------------------------------------------------------|
|     |              |    |     | 4: 16 分频<br>5: 32 分频<br>6: 64 分频<br>7: 128 分频                                    |
| 7:3 | RESERVED_7_3 | RO | 0x0 | 保留                                                                               |
| 2:0 | RCLKSEL      | RW | 0x0 | 参考时钟的选择<br>0: CLK_RCO<br>1: CLK_ROSC<br>2: CLK_XO<br>3: CLK_PLL<br>4: CLK_LPROSC |

### 3.9.2.7 时钟检测阈值寄存器（CLKDETCTH）

表 3-17: 时钟检测阈值寄存器（CLKDETCTH）位段定义

|                                                                   |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| CLKDETCTH (Clock Detection Counter Threshold Register)            |    |    |    |    |    |    |    |
| Access: CLOCK->CLKDETCTH    Offset: 0x0018    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| HI                                                                |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| HI                                                                |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| LO                                                                |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| LO                                                                |    |    |    |    |    |    |    |

表 3-18: 时钟检测阈值寄存器（CLKDETCTH）位段描述

| 位段    | 位段名 | 属性 | 复位值 | 描述                                               |
|-------|-----|----|-----|--------------------------------------------------|
| 31:16 | HI  | RW | 0x0 | 时钟检测计数值上边界<br>计数值高于上边界时，可以触发 PWM 封锁和 CPU 不可屏蔽的中断 |
| 15:0  | LO  | RW | 0x0 | 时钟检测计数值下边界<br>计数值低于下边界时，可以触发 PWM 封锁和 CPU 不可屏蔽的中断 |

## 3.9.2.8 时钟检测计数值寄存器 (CLKDETCNT)

表 3-19: 时钟检测计数值寄存器 (CLKDETCNT) 位段定义

| CLKDETCNT (Clock Detection Counter Register)                      |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: CLOCK->CLKDETCNT    Offset: 0x001C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                          |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                          |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                               |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                               |    |    |    |    |    |    |    |

表 3-20: 时钟检测计数值寄存器 (CLKDETCNT) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述        |
|-------|----------------|----|-----|-----------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留        |
| 15:0  | VAL            | RO | 0x0 | 时钟检测最终计数值 |

## 3.9.2.9 时钟封锁事件使能寄存器 (CLKTZE)

表 3-21: 时钟封锁事件使能寄存器 (CLKTZE) 位段定义

| CLKTZE (Clock Trip-zone Event Enable Register)                 |    |    |    |    |    |           |           |
|----------------------------------------------------------------|----|----|----|----|----|-----------|-----------|
| Access: CLOCK->CLKTZE    Offset: 0x0020    Default: 0x00000000 |    |    |    |    |    |           |           |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25        | 24        |
| RESERVED                                                       |    |    |    |    |    |           |           |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17        | 16        |
| RESERVED                                                       |    |    |    |    |    |           |           |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9         | 8         |
| RESERVED                                                       |    |    |    |    |    |           |           |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1         | 0         |
| RESERVED                                                       |    |    |    |    |    | CLKDETERR | PLLUNLOCK |

表 3-22: 时钟封锁事件使能寄存器 (CLKTZE) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                 |
|------|---------------|----|-----|--------------------------------------------------------------------|
| 31:2 | RESERVED_31_2 | RO | 0x0 | 保留                                                                 |
| 1    | CLKDETERR     | RW | 0x0 | CLKDET 错误封锁事件使能<br>0: CLKDET 错误不触发 PWM 封锁<br>1: CLKDET 错误触发 PWM 封锁 |
| 0    | PLLUNLOCK     | RW | 0x0 | PLL 失锁封锁事件使能<br>0: PLL 失锁不触发 PWM 封锁<br>1: PLL 失锁触发 PWM 封锁          |



### 3.9.2.10 系统时钟 0 控制寄存器 (SYSCLK0CTL)

表 3-23: 系统时钟 0 控制寄存器 (SYSCLK0CTL) 位段定义

|                                                                    |    |    |    |    |    |     |    |
|--------------------------------------------------------------------|----|----|----|----|----|-----|----|
| SYSCLK0CTL (System Clock 0 Control Register)                       |    |    |    |    |    |     |    |
| Access: CLOCK->SYSCLK0CTL    Offset: 0x0024    Default: 0x00000000 |    |    |    |    |    |     |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                           |    |    |    |    |    |     |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                           |    |    |    |    |    | SRC |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                           |    |    |    |    |    |     |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| DIV                                                                |    |    |    |    |    |     |    |

表 3-24: 系统时钟 0 控制寄存器 (SYSCLK0CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                            |
|-------|----------------|----|-----|---------------------------------------------------------------|
| 31:18 | RESERVED_31_18 | RO | 0x0 | 保留                                                            |
| 17:16 | SRC            | RW | 0x0 | 时钟源选择<br>0: CLK_RCO<br>1: CLK_ROSC<br>2: CLK_XO<br>3: CLK_PLL |
| 15:8  | RESERVED_15_8  | RO | 0x0 | 保留                                                            |
| 7:0   | DIV            | RW | 0x0 | 设置从时钟源的分频比为 (DIV+1)                                           |

### 3.9.2.11 系统时钟 1 控制寄存器 (SYSCLK1CTL)

表 3-25: 系统时钟 1 控制寄存器 (SYSCLK1CTL) 位段定义

|                                                                    |    |    |    |    |    |     |    |
|--------------------------------------------------------------------|----|----|----|----|----|-----|----|
| SYSCLK1CTL (System Clock 1 Control Register)                       |    |    |    |    |    |     |    |
| Access: CLOCK->SYSCLK1CTL    Offset: 0x0028    Default: 0x00000000 |    |    |    |    |    |     |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                           |    |    |    |    |    |     |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                           |    |    |    |    |    | SRC |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                           |    |    |    |    |    |     |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| RESERVED                                                           |    |    |    |    |    |     |    |

表 3-26: 系统时钟 1 控制寄存器 (SYSCLK1CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                            |
|-------|----------------|----|-----|---------------------------------------------------------------|
| 31:18 | RESERVED_31_18 | RO | 0x0 | 保留                                                            |
| 17:16 | SRC            | RW | 0x0 | 时钟源选择<br>0: CLK_RCO<br>1: CLK_ROSC<br>2: CLK_XO<br>3: CLK_PLL |
| 15:0  | RESERVED_15_0  | RO | 0x0 | 保留                                                            |

### 3.9.2.12 消抖时钟控制寄存器 (DGCLKCTL)

表 3-27: 消抖时钟控制寄存器 (DGCLKCTL) 位段定义

|                                                                  |    |    |    |    |      |    |    |
|------------------------------------------------------------------|----|----|----|----|------|----|----|
| DGCLKCTL (Deglitch Clock Control Register)                       |    |    |    |    |      |    |    |
| Access: CLOCK->DGCLKCTL    Offset: 0x002C    Default: 0x00000200 |    |    |    |    |      |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26   | 25 | 24 |
| RESERVED                                                         |    |    |    |    |      |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18   | 17 | 16 |
| RESERVED                                                         |    |    |    |    |      |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10   | 9  | 8  |
| RESERVED                                                         |    |    |    |    | PDIV |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2    | 1  | 0  |
| DIV                                                              |    |    |    |    |      |    |    |

表 3-28: 消抖时钟控制寄存器 (DGCLKCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                 |
|-------|----------------|----|-----|------------------------------------|
| 31:11 | RESERVED_31_11 | RO | 0x0 | 保留                                 |
| 10:8  | PDIV           | RW | 0x2 | 设置从时钟源 (系统时钟 1) 的预分频比为 $2^{PDIV}$  |
| 7:0   | DIV            | RW | 0x0 | 设置总的分频比为 $2^{PDIV} \times (DIV+1)$ |

## 3.9.2.13 CAN0 时钟控制寄存器 (CAN0CLKCTL)

表 3-29: CAN0 时钟控制寄存器 (CAN0CLKCTL) 位段定义

| CAN0CLKCTL (CAN0 Clock Control Register)                           |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: CLOCK->CAN0CLKCTL    Offset: 0x0034    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| DIV                                                                |    |    |    |    |    |    |    |

表 3-30: CAN0 时钟控制寄存器 (CAN0CLKCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                          |
|------|---------------|----|-----|-----------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                          |
| 7:0  | DIV           | RW | 0x0 | 设置从时钟源（系统时钟 1）的分频比为 (DIV+1) |

## 3.9.2.14 CAN1 时钟控制寄存器 (CAN1CLKCTL)

表 3-31: CAN1 时钟控制寄存器 (CAN1CLKCTL) 位段定义

| CAN1CLKCTL (CAN1 Clock Control Register)                           |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: CLOCK->CAN1CLKCTL    Offset: 0x0038    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| DIV                                                                |    |    |    |    |    |    |    |

表 3-32: CAN1 时钟控制寄存器 (CAN1CLKCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                          |
|------|---------------|----|-----|-----------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                          |
| 7:0  | DIV           | RW | 0x0 | 设置从时钟源（系统时钟 1）的分频比为 (DIV+1) |

### 3.9.2.15 SPI0 时钟控制寄存器 (SPI0CLKCTL)

表 3-33: SPI0 时钟控制寄存器 (SPI0CLKCTL) 位段定义

|                                                                    |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| SPI0CLKCTL (SPI0 Clock Control Register)                           |    |    |    |    |    |    |    |
| Access: CLOCK->SPI0CLKCTL    Offset: 0x003C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| DIV                                                                |    |    |    |    |    |    |    |

表 3-34: SPI0 时钟控制寄存器 (SPI0CLKCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                          |
|------|---------------|----|-----|-----------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                          |
| 7:0  | DIV           | RW | 0x0 | 设置从时钟源（系统时钟 1）的分频比为 (DIV+1) |

### 3.9.2.16 SPI1 时钟控制寄存器 (SPI1CLKCTL)

表 3-35: SPI1 时钟控制寄存器 (SPI1CLKCTL) 位段定义

|                                                                    |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| SPI1CLKCTL (SPI1 Clock Control Register)                           |    |    |    |    |    |    |    |
| Access: CLOCK->SPI1CLKCTL    Offset: 0x0040    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| DIV                                                                |    |    |    |    |    |    |    |

表 3-36: SPI1 时钟控制寄存器 (SPI1CLKCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                          |
|------|---------------|----|-----|-----------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                          |
| 7:0  | DIV           | RW | 0x0 | 设置从时钟源（系统时钟 1）的分频比为 (DIV+1) |

## 3.9.2.17 SPI2 时钟控制寄存器 (SPI2CLKCTL)

表 3-37: SPI2 时钟控制寄存器 (SPI2CLKCTL) 位段定义

|                                                                    |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| SPI2CLKCTL (SPI2 Clock Control Register)                           |    |    |    |    |    |    |    |
| Access: CLOCK->SPI2CLKCTL    Offset: 0x0044    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| DIV                                                                |    |    |    |    |    |    |    |

表 3-38: SPI2 时钟控制寄存器 (SPI2CLKCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                            |
|------|---------------|----|-----|-------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                            |
| 7:0  | DIV           | RW | 0x0 | 设置从时钟源 (系统时钟 1) 的分频比为 (DIV+1) |

## 3.9.2.18 I2C0 时钟控制寄存器 (I2C0CLKCTL)

表 3-39: I2C0 时钟控制寄存器 (I2C0CLKCTL) 位段定义

|                                                                    |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| I2C0CLKCTL (I2C0 Clock Control Register)                           |    |    |    |    |    |    |    |
| Access: CLOCK->I2C0CLKCTL    Offset: 0x0048    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| DIV                                                                |    |    |    |    |    |    |    |

表 3-40: I2C0 时钟控制寄存器 (I2C0CLKCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                            |
|------|---------------|----|-----|-------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                            |
| 7:0  | DIV           | RW | 0x0 | 设置从时钟源 (系统时钟 1) 的分频比为 (DIV+1) |

### 3.9.2.19 I2C1 时钟控制寄存器 (I2C1CLKCTL)

表 3-41: I2C1 时钟控制寄存器 (I2C1CLKCTL) 位段定义

|                                                                    |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| I2C1CLKCTL (I2C1 Clock Control Register)                           |    |    |    |    |    |    |    |
| Access: CLOCK->I2C1CLKCTL    Offset: 0x004C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| DIV                                                                |    |    |    |    |    |    |    |

表 3-42: I2C1 时钟控制寄存器 (I2C1CLKCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                          |
|------|---------------|----|-----|-----------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                          |
| 7:0  | DIV           | RW | 0x0 | 设置从时钟源（系统时钟 1）的分频比为 (DIV+1) |

### 3.9.2.20 I2C2 时钟控制寄存器 (I2C2CLKCTL)

表 3-43: I2C2 时钟控制寄存器 (I2C2CLKCTL) 位段定义

|                                                                    |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| I2C2CLKCTL (I2C2 Clock Control Register)                           |    |    |    |    |    |    |    |
| Access: CLOCK->I2C2CLKCTL    Offset: 0x0050    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| DIV                                                                |    |    |    |    |    |    |    |

表 3-44: I2C2 时钟控制寄存器 (I2C2CLKCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                          |
|------|---------------|----|-----|-----------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                          |
| 7:0  | DIV           | RW | 0x0 | 设置从时钟源（系统时钟 1）的分频比为 (DIV+1) |



## 3.9.2.21 WDT0 时钟控制寄存器 (WDT0CLKCTL)

表 3-45: WDT0 时钟控制寄存器 (WDT0CLKCTL) 位段定义

| WDT0CLKCTL (WDT0 Clock Control Register)                           |    |    |    |    |    |     |    |
|--------------------------------------------------------------------|----|----|----|----|----|-----|----|
| Access: CLOCK->WDT0CLKCTL    Offset: 0x0054    Default: 0x00000000 |    |    |    |    |    |     |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                           |    |    |    |    |    |     |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                           |    |    |    |    |    | SRC |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                           |    |    |    |    |    |     |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| DIV                                                                |    |    |    |    |    |     |    |

表 3-46: WDT0 时钟控制寄存器 (WDT0CLKCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                            |
|-------|----------------|----|-----|---------------------------------------------------------------|
| 31:18 | RESERVED_31_18 | RO | 0x0 | 保留                                                            |
| 17:16 | SRC            | RW | 0x0 | 时钟源选择<br>0: CLK_RCO<br>1: CLK_ROSC<br>2: CLK_XO<br>3: CLK_PLL |
| 15:8  | RESERVED_15_8  | RO | 0x0 | 保留                                                            |
| 7:0   | DIV            | RW | 0x0 | 设置从时钟源的分频比为 (DIV+1)                                           |

### 3.9.2.22 WDT1 时钟控制寄存器 (WDT1CLKCTL)

表 3-47: WDT1 时钟控制寄存器 (WDT1CLKCTL) 位段定义

| WDT1CLKCTL (WDT1 Clock Control Register)                           |    |    |    |    |    |     |    |
|--------------------------------------------------------------------|----|----|----|----|----|-----|----|
| Access: CLOCK->WDT1CLKCTL    Offset: 0x0058    Default: 0x00010000 |    |    |    |    |    |     |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                           |    |    |    |    |    |     |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                           |    |    |    |    |    | SRC |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                           |    |    |    |    |    |     |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| DIV                                                                |    |    |    |    |    |     |    |

表 3-48: WDT1 时钟控制寄存器 (WDT1CLKCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                            |
|-------|----------------|----|-----|---------------------------------------------------------------|
| 31:18 | RESERVED_31_18 | RO | 0x0 | 保留                                                            |
| 17:16 | SRC            | RW | 0x1 | 时钟源选择<br>0: CLK_RCO<br>1: CLK_ROSC<br>2: CLK_XO<br>3: CLK_PLL |
| 15:8  | RESERVED_15_8  | RO | 0x0 | 保留                                                            |
| 7:0   | DIV            | RW | 0x0 | 设置从时钟源的分频比为 (DIV+1)                                           |

## 3.9.2.23 外设时钟使能寄存器（PERICKEN）

表 3-49：外设时钟使能寄存器（PERICKEN）位段定义

|                                                                  |          |          |          |          |          |          |          |
|------------------------------------------------------------------|----------|----------|----------|----------|----------|----------|----------|
| PERICKEN (Peripheral Clock Enable Register)                      |          |          |          |          |          |          |          |
| Access: CLOCK->PERICKEN    Offset: 0x005C    Default: 0x00000000 |          |          |          |          |          |          |          |
| 31                                                               | 30       | 29       | 28       | 27       | 26       | 25       | 24       |
| RESERVED                                                         |          |          |          |          |          |          |          |
| 23                                                               | 22       | 21       | 20       | 19       | 18       | 17       | 16       |
| I2C2CLK                                                          | I2C1CLK  | I2C0CLK  | SPI2CLK  | SPI1CLK  | SPI0CLK  | CAN1CLK  | CAN0CLK  |
| 15                                                               | 14       | 13       | 12       | 11       | 10       | 9        | 8        |
| RESERVED                                                         |          |          |          | UART4CLK | UART3CLK | UART2CLK | UART1CLK |
| 7                                                                | 6        | 5        | 4        | 3        | 2        | 1        | 0        |
| UART0CLK                                                         | RESERVED | EQEP1CLK | EQEP0CLK | TIMERCLK | ECAPCLK  | PWMCLK   | ADCCLK   |

表 3-50：外设时钟使能寄存器（PERICKEN）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                            |
|-------|----------------|----|-----|-------------------------------|
| 31:24 | RESERVED_31_24 | RO | 0x0 | 保留                            |
| 23    | I2C2CLK        | RW | 0x0 | I2C2 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 22    | I2C1CLK        | RW | 0x0 | I2C1 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 21    | I2C0CLK        | RW | 0x0 | I2C0 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 20    | SPI2CLK        | RW | 0x0 | SPI2 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 19    | SPI1CLK        | RW | 0x0 | SPI1 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 18    | SPI0CLK        | RW | 0x0 | SPI0 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 17    | CAN1CLK        | RW | 0x0 | CAN1 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 16    | CAN0CLK        | RW | 0x0 | CAN0 模块时钟使能<br>0: 关闭<br>1: 使能 |

| 位段    | 位段名            | 属性 | 复位值 | 描述                             |
|-------|----------------|----|-----|--------------------------------|
| 15:12 | RESERVED_15_12 | RW | 0x0 | 保留                             |
| 11    | UART4CLK       | RW | 0x0 | UART4 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 10    | UART3CLK       | RW | 0x0 | UART3 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 9     | UART2CLK       | RW | 0x0 | UART2 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 8     | UART1CLK       | RW | 0x0 | UART1 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 7     | UART0CLK       | RW | 0x0 | UART0 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 6     | RESERVED_6     | RW | 0x0 | 保留                             |
| 5     | EQEP1CLK       | RW | 0x0 | EQEP1 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 4     | EQEP0CLK       | RW | 0x0 | EQEP0 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 3     | TIMERCLK       | RW | 0x0 | TIMER 模块时钟使能<br>0: 关闭<br>1: 使能 |
| 2     | ECAPCLK        | RW | 0x0 | ECAP 模块时钟使能<br>0: 关闭<br>1: 使能  |
| 1     | PWMCLK         | RW | 0x0 | PWM 模块时钟使能<br>0: 关闭<br>1: 使能   |
| 0     | ADCCLK         | RW | 0x0 | ADC 模块时钟使能<br>0: 关闭<br>1: 使能   |

## 3.9.2.24 存储器访问周期寄存器 (MEMCYCLE)

表 3-51: 存储器访问周期寄存器 (MEMCYCLE) 位段定义

| MEMCYCLE (Memory Access Control Register)                        |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: CLOCK->MEMCYCLE    Offset: 0x0060    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 3-52: 存储器访问周期寄存器 (MEMCYCLE) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                                                                                                                                         |
|------|---------------|----|-----|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                                                                                                                                                                                                                         |
| 7:0  | VAL           | RW | 0x0 | <p>当 CPU 时钟频率不高于 120MHz 时, 设置本位段为 0;</p> <p>当 CPU 时钟频率高于 120MHz 时, 设置本位段为 0xDD, 从而在如下访问时引入一个时钟周期的等待:</p> <ol style="list-style-type: none"> <li>1. CPU 对 ROM 的读访问</li> <li>2. DMA 对 RAM0 的读访问</li> <li>3. CPU 和 DMA 对 RAM1 的读访问</li> </ol> |

## 3.9.2.25 CLOCK 模块写使能寄存器 (CLKREGKEY)

表 3-53: CLOCK 模块写使能寄存器 (CLKREGKEY) 位段定义

| CLKREGKEY (Clock Register Write-Allow Key Register)               |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: CLOCK->CLKREGKEY    Offset: 0x0064    Default: 0x1ACCE551 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                               |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                               |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                               |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| KEY                                                               |    |    |    |    |    |    |    |

表 3-54: CLOCK 模块写使能寄存器 (CLKREGKEY) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                             |
|------|-----|----|------------|--------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 CLOCK 寄存器 |

## 4 通用输入输出（GPIO）

### 4.1 概述

SPC1185 具有 48 个 I/O 引脚，并可以分为如下两类：

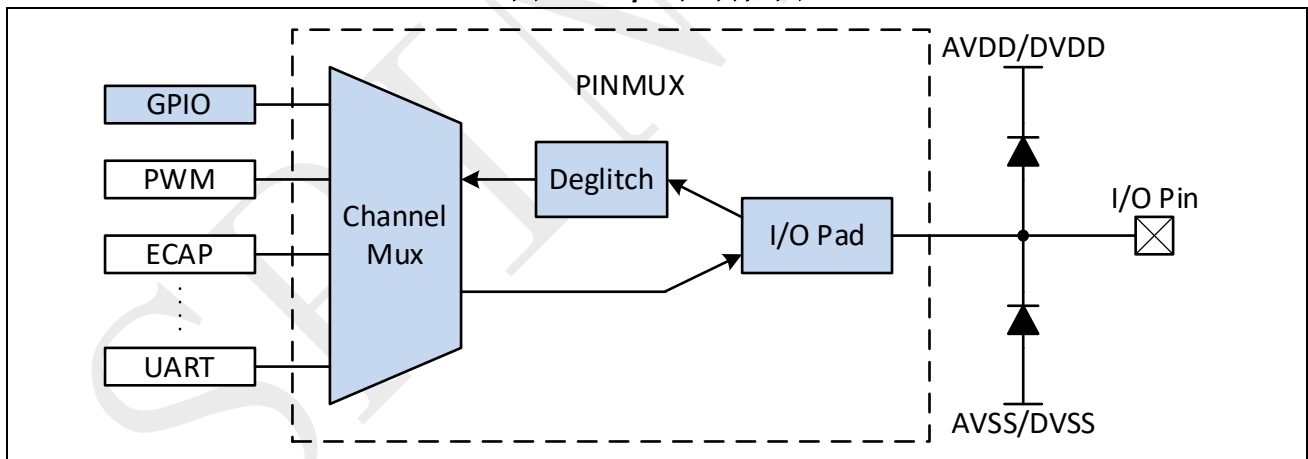
- 3.3V I/O，与模拟输入功能复用
  - GPIO4~GPIO23：可以用作模拟输入通道 4~23；
  - GPIO24 和 GPIO25：可以用作晶振电路的 XIN 和 XIO。
- 3.3V I/O，支持输入 5V 耐压（5T）
  - GPIO36~GPIO81：用作纯数字的功能通道复用。

本章节描述了这些 I/O 如何实现功能复用，从而可以配置为 GPIO 功能或者复用的任何一个可选功能。如图 4-1 所示，I/O 的控制包含两个部分

- PINMUX 模块
  - I/O Pad：上拉和下拉控制，输入/输出控制，输出驱动强度控制；
  - Deglitch：输入消抖控制；
  - MUX：引脚多路复用。
- GPIO 模块
  - GPIO 功能 IP 控制。

每个 I/O 引脚都可以独立配置和使用，且均有一个从 I/O 到 AVDD/DVDD 和一个从 AVSS/DVSS 到 I/O 的二极管用作 ESD 保护。

图 4-1: I/O 控制框图



### 4.2 引脚复用（PINMUX）

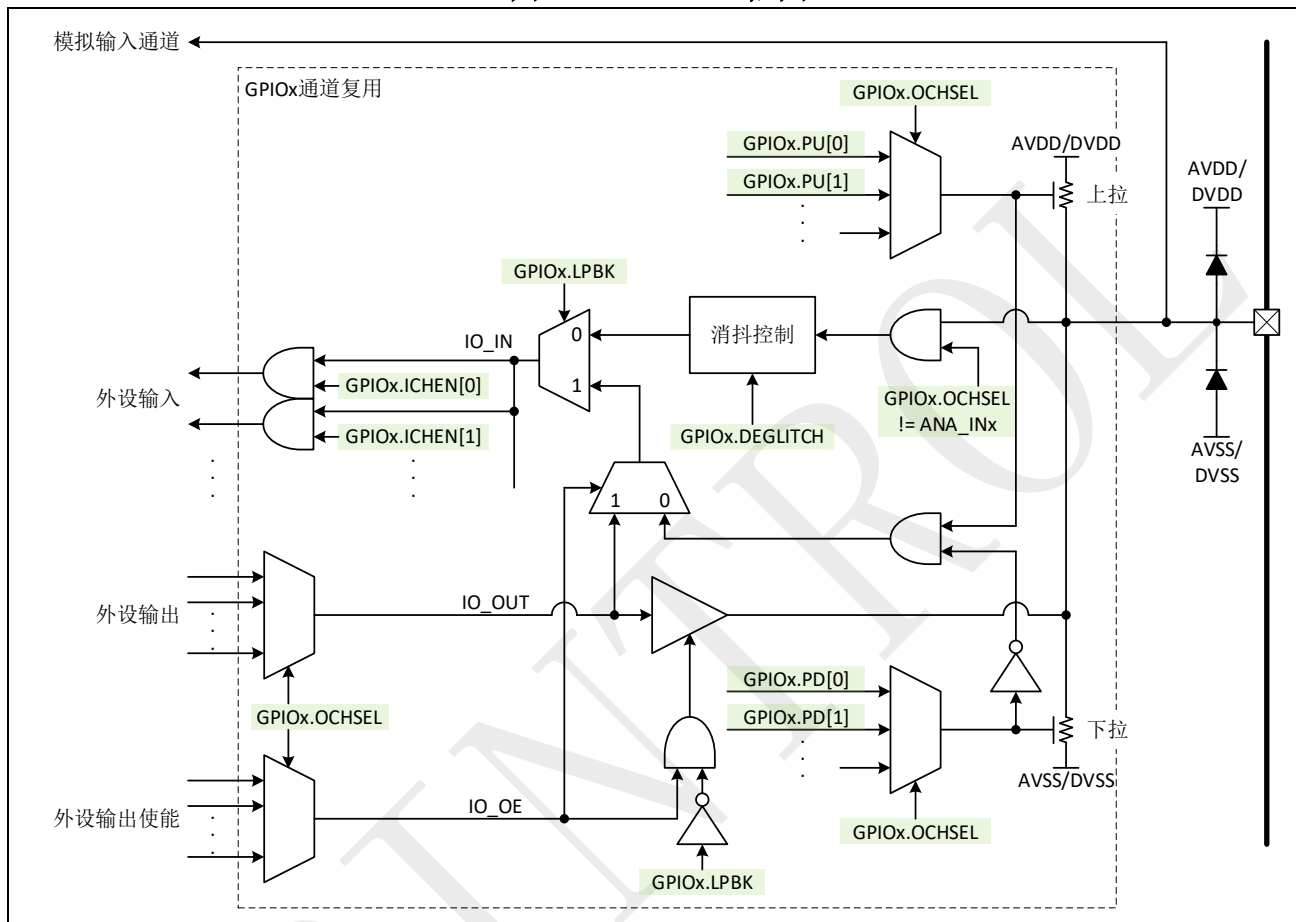
PINMUX 的结构框图如图 4-2 所示。每个 I/O 引脚的多路复用最多支持 8 个功能通道。这些功能通道可能用作输入或输出。当 I/O 处于输入模式下，输出缓冲器禁用并处于高阻态。输入缓冲器在 I/O 用作模拟电压输入时被禁用以避免潜在的漏电，其余情况下均被使能。输入信号可以通过一个滤波器来实现消除可能的毛刺。

通道复用对于输出功能以及上拉和下拉的控制是互斥的，由 GPIOx.OCHSEL 寄存器位段控制。例如，若 GPIO62.OCHSEL=3，则 GPIO62 引脚的上拉和下拉控制分别由 GPIO62.PU[3]和 GPIO62.PD[3]决定，且输出功能被设置为通道 3。



通道复用对于输入功能是非互斥的。每个通道输入都通过各自的 GPIOx.ICHEN[y] 控制位使能。因此，可以独立决定 GPIOx 引脚的输入是否用作通道 y 的功能输入。例如，若 GPIO63.ICHEN = 5，即 GPIO63.ICHEN[0] 和 GPIO63.ICHEN[2] 均为 1，则 GPIO63 引脚的输入会用作通道 0 和通道 2 的功能输入，但不会用于其他通道。

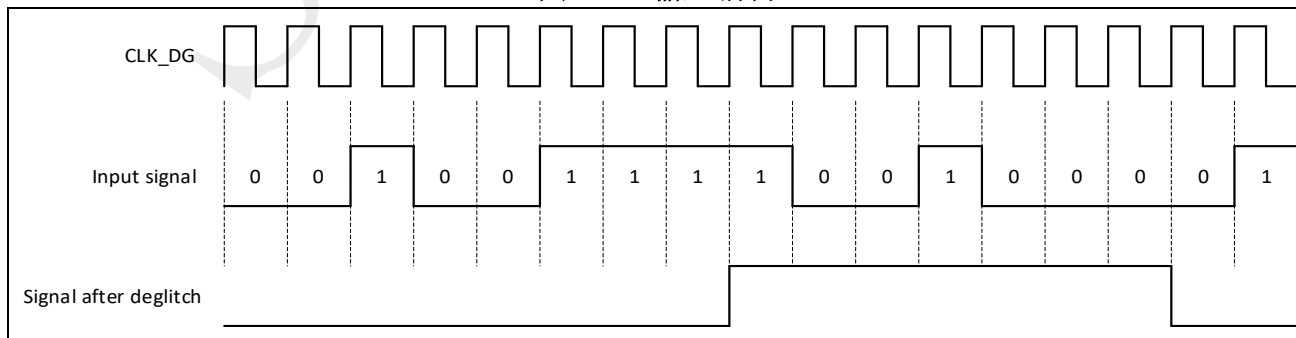
图 4-2: PINMUX 框图



#### 4.2.1 消抖控制（Deglitch）

输入消抖功能可以通过配置寄存器 GPIOx.DEGLITCH 来使能。输入消抖的原理如图 4-3 所示。当消抖模块的输入信号翻转后保持连续 3 个 CLK\_DG 时钟周期不变，则输出会对应翻转，否则输出保持为原先的值不变。

图 4-3: 输入消抖



## 4.2.2 I/O 可选功能

I/O 引脚各个通道对应的功能如表 4-1 所示。

表 4-1: I/O 引脚功能通道定义

| 引脚                    | 通道（加粗表示默认功能）  |                 |             |           |           |           |             |
|-----------------------|---------------|-----------------|-------------|-----------|-----------|-----------|-------------|
|                       | 0             | 1               | 3           | 4         | 5         | 6         | 7           |
| GPIO1 <sup>[1]</sup>  | GPIO1         | <b>ANA_IN1</b>  |             |           |           |           |             |
| GPIO2 <sup>[1]</sup>  | GPIO2         | <b>ANA_IN2</b>  |             |           |           |           |             |
| GPIO3 <sup>[1]</sup>  | GPIO3         | <b>ANA_IN3</b>  |             |           |           |           |             |
| GPIO4                 | GPIO4         | <b>ANA_IN4</b>  |             |           |           |           |             |
| GPIO5                 | GPIO5         | <b>ANA_IN5</b>  |             |           |           |           |             |
| GPIO6                 | GPIO6         | <b>ANA_IN6</b>  |             |           |           |           |             |
| GPIO7                 | GPIO7         | <b>ANA_IN7</b>  |             |           |           |           |             |
| GPIO8                 | GPIO8         | <b>ANA_IN8</b>  |             |           |           |           |             |
| GPIO9                 | GPIO9         | <b>ANA_IN9</b>  | PWM_SOCA    |           |           |           |             |
| GPIO10                | GPIO10        | <b>ANA_IN10</b> | PWM_SOCB    |           |           |           |             |
| GPIO11                | GPIO11        | <b>ANA_IN11</b> | PWM_SOCC    |           |           |           |             |
| GPIO12                | GPIO12        | <b>ANA_IN12</b> | PWM_SOC     |           |           |           |             |
| GPIO13                | GPIO13        | <b>ANA_IN13</b> | CLKDET_DCLK |           |           |           |             |
| GPIO14                | GPIO14        | <b>ANA_IN14</b> | COMP_MON0   |           |           |           |             |
| GPIO15 <sup>[1]</sup> | GPIO15        | <b>ANA_IN15</b> |             |           |           |           |             |
| GPIO16                | GPIO16        | <b>ANA_IN16</b> | UART2_TXD   | SPI0_MOSI | CAN0_TXD  |           | ECAP0_APWMO |
| GPIO17                | GPIO17        | <b>ANA_IN17</b> | UART2_RXD   | SPI0_MISO | CAN0_RXD  |           | ECAP1_APWMO |
| GPIO18                | GPIO18        | <b>ANA_IN18</b> | I2C0_SDA    | SPI0_SFRM | CAN1_TXD  |           | ECAP2_APWMO |
| GPIO19                | GPIO19        | <b>ANA_IN19</b> | I2C0_SCL    | SPI0_SCLK | CAN1_RXD  |           | ECAP3_APWMO |
| GPIO20                | GPIO20        | <b>ANA_IN20</b> | UART3_TXD   | SPI1_MOSI | EQEP0_A   |           | ECAP4_APWMO |
| GPIO21                | GPIO21        | <b>ANA_IN21</b> | UART3_RXD   | SPI1_MISO | EQEP0_B   |           | ECAP5_APWMO |
| GPIO22                | GPIO22        | <b>ANA_IN22</b> | I2C1_SDA    | SPI1_SFRM | EQEP0_Z   |           | ECAP6_APWMO |
| GPIO23                | GPIO23        | <b>ANA_IN23</b> | I2C1_SCL    | SPI1_SCLK | EQEP0_S   |           | ECAP7_APWMO |
| GPIO24                | <b>GPIO24</b> | XIN             |             | I2C2_SDA  | COMP_MON2 | SYNC_MON0 |             |
| GPIO25                | <b>GPIO25</b> | XIO             |             | I2C2_SCL  |           | SYNC_MON1 |             |
| GPIO36                | <b>GPIO36</b> | PWM0A           |             |           |           |           |             |
| GPIO37                | <b>GPIO37</b> | PWM0B           | PWM1A       |           |           |           |             |
| GPIO38                | <b>GPIO38</b> | PWM1A           | PWM2A       |           |           |           |             |
| GPIO39                | <b>GPIO39</b> | PWM1B           | PWM0B       |           |           |           |             |
| GPIO40                | <b>GPIO40</b> | PWM2A           | PWM1B       |           |           |           |             |
| GPIO41                | <b>GPIO41</b> | PWM2B           |             |           |           |           |             |
| GPIO46                | <b>GPIO46</b> | PWM3A           |             |           |           |           |             |
| GPIO47                | <b>GPIO47</b> | PWM3B           | PWM4A       |           |           |           |             |
| GPIO48                | <b>GPIO48</b> | PWM4A           | PWM5A       |           |           |           |             |
| GPIO49                | <b>GPIO49</b> | PWM4B           | PWM3B       |           |           |           |             |
| GPIO50                | <b>GPIO50</b> | PWM5A           | PWM4B       |           |           |           |             |
| GPIO51                | <b>GPIO51</b> | PWM5B           |             |           |           |           |             |
| GPIO56                | <b>GPIO56</b> | PWM6A           |             | SPI2_MOSI | I2C0_SDA  | CAN0_TXD  | EQEP1_A     |
| GPIO57                | <b>GPIO57</b> | PWM6B           | PWM7A       | SPI2_MISO | I2C0_SCL  | CAN0_RXD  | EQEP1_B     |
| GPIO58                | <b>GPIO58</b> | PWM7A           |             | SPI2_SFRM | I2C1_SDA  | CAN1_TXD  | EQEP1_Z     |
| GPIO59                | <b>GPIO59</b> | PWM7B           | PWM6B       | SPI2_SCLK | I2C1_SCL  | CAN1_RXD  | EQEP1_S     |
| GPIO62                | <b>GPIO62</b> | UART0_TXD       | CAN0_TXD    | SYNC_MON2 |           | I2C0_SDA  |             |
| GPIO63                | <b>GPIO63</b> | UART0_RXD       | CAN0_RXD    | SYNC_MON3 |           | I2C0_SCL  |             |
| GPIO77                | <b>GPIO77</b> | UART1_RXD       | CAN0_RXD    | SYNC_MON5 | CAN1_RXD  | I2C1_SCL  | I2C2_SCL    |
| GPIO78                | <b>GPIO78</b> | UART1_TXD       | CAN0_TXD    | COMP_MON4 | CAN1_TXD  | I2C1_SDA  | EQEP0_A     |
| GPIO79                | <b>GPIO79</b> | UART1_RXD       | CAN0_RXD    |           | CAN1_RXD  | I2C1_SCL  | EQEP0_B     |

| 引脚     | 通道（加粗表示默认功能）  |          |          |           |   |           |         |
|--------|---------------|----------|----------|-----------|---|-----------|---------|
|        | 0             | 1        | 3        | 4         | 5 | 6         | 7       |
| GPIO80 | <b>GPIO80</b> | PWM_SOCA | PWM_SOCB | COMP_MON6 |   | SYNC_MON4 | EQEP0_Z |
| GPIO81 | <b>GPIO81</b> | PWM_SOCC | PWM_SOC  |           |   | SYNC_MON5 | EQEP0_S |

[1] 仅 QFN56（6×6mm）封装支持该引脚。

其中，SYNC\_MON<sub>x</sub> 用于观测 ECAP、EQEP、TIMER 和 PWM 模块输出的 SYNC 同步信号，具体信号源由 SYNCMONCTL.SRC<sub>x</sub> 寄存器位段配置，如表 4-2 所示。

表 4-2: SYNC\_MON<sub>x</sub> 信号源

| SYNCMONCTL.SRC <sub>x</sub> | SYNC_MON <sub>x</sub> | SYNCMONCTL.SRC <sub>x</sub> | SYNC_MON <sub>x</sub> |
|-----------------------------|-----------------------|-----------------------------|-----------------------|
| 0                           | ECAP0_SYNCO           | 8                           | EQEP0_SYNCO           |
| 1                           | ECAP1_SYNCO           | 9                           | EQEP1_SYNCO           |
| 2                           | ECAP2_SYNCO           | 10                          | TIMER0_SYNCO          |
| 3                           | ECAP3_SYNCO           | 11                          | TIMER1_SYNCO          |
| 4                           | ECAP4_SYNCO           | 12                          | TIMER2_SYNCO          |
| 5                           | ECAP5_SYNCO           | 13                          | TIMER3_SYNCO          |
| 6                           | ECAP6_SYNCO           | 14                          | TIMER4_SYNCO          |
| 7                           | ECAP7_SYNCO           | 15                          | PWM_SYNCO             |

COMP\_MON<sub>x</sub> 用于观测各个模拟比较器的结果输出，具体信号源由 COMPMONCTL.SRC<sub>x</sub> 寄存器位段配置，如表 4-3 所示。

表 4-3: COMP\_MON<sub>x</sub> 信号源（x=0, 2, 4, 6）

| COMPMONCTL.SRC <sub>x</sub> | COMP_MON <sub>x</sub> | COMPMONCTL.SRC <sub>x</sub> | COMP_MON <sub>x</sub> |
|-----------------------------|-----------------------|-----------------------------|-----------------------|
| 0                           | COMP0L                | 8                           | COMP4L                |
| 1                           | COMP0H                | 9                           | COMP4H                |
| 2                           | COMP1L                | 10                          | COMP5L                |
| 3                           | COMP1H                | 11                          | COMP5H                |
| 4                           | COMP2L                | 12                          | COMP6L                |
| 5                           | COMP2H                | 13                          | COMP6H                |
| 6                           | COMP3L                | 14                          | COMP7L                |
| 7                           | COMP3H                | 15                          | COMP7H                |

### 4.2.3 环回路径（Loopback）

如图 4-2 所示，每个 I/O 都有一个环回路径，通过 GPIOx.LPBK 寄存器位段控制。使能该路径后，由 GPIOx.OCHSEL 选择的输出通道并不会真正输入到 I/O，而是环回到输入，可以由 GPIOx.ICHEN[y]使能用作通道 y 的输入。

例如，若 GPIO16.OCHSEL=7 且 GPIO16.LPBK=1，则 ECAP0 的 APWM 模式输出信号并不会送到 GPIO16 引脚，而是环回到 GPIO16 的可选功能输入。若 GPIO16.ICHEN[0]=1，则该信号会被用作 GPIO 模块的 GPIO16 输入。

## 4.2.4 调试模式

当 TRSTn 引脚为低时，GPIO78~GPIO81 用作由用户软件配置的功能。当 TRSTn 引脚为高时，可以按照表 4-4 用作调试接口。默认为使能 SWV 输出的 SWD 模式。用户需要配置 SYSTEM->DBGIFCTL 为 1 才能开启 JTAG 接口，详见表 24-49 和表 24-50。

表 4-4：调试接口引脚功能

| 引脚     | SWD 模式（使能 SWV）     | SWD 模式（禁用 SWV） | JTAG 模式 |
|--------|--------------------|----------------|---------|
| GPIO78 | 用户软件配置的功能          | 用户软件配置的功能      | TDI     |
| GPIO79 | SWV <sup>[1]</sup> | 用户软件配置的功能      | TDO     |
| GPIO80 | SWD                | SWD            | TMS     |
| GPIO81 | SWCK               | SWCK           | TCK     |

[1] 通过 ARM® Cortex-M4F 位于地址 0xE000EDFC 的寄存器（CoreDebug->DEMCR）的第 24 位来配置 GPIO79 的用途：1—SWV 输出；0—由用户软件配置的功能。

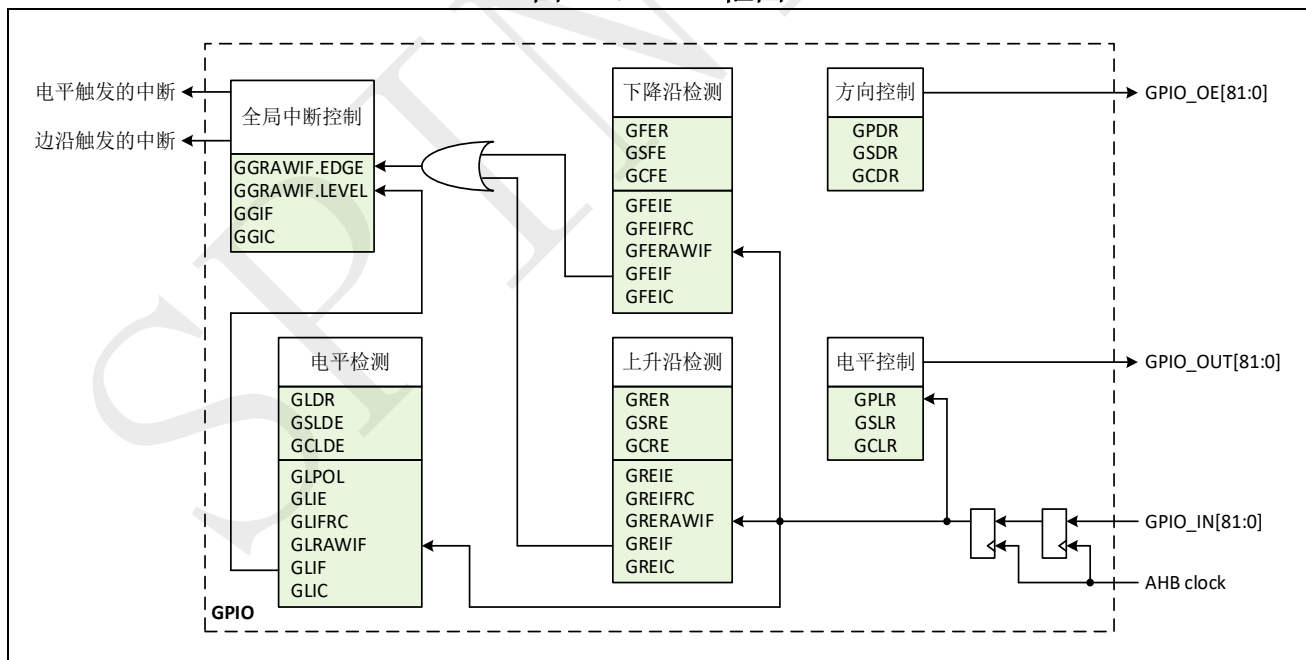
## 4.3 GPIO 控制模块

如图 4-4 所示，GPIO 控制模块包括电平控制、方向控制、边沿检测和电平检测。

82 个 I/O 引脚分为 3 个端口：GPIO0~GPIO31、GPIO32~GPIO63 和 GPIO64~GPIO81，分别对应于序号为 0 到 2 的寄存器，且寄存器的每一位对应于一个 GPIO 引脚。

为了控制的方便，提供了按位使能和按位禁用的控制寄存器。用户可以通过对“GS”前缀的寄存器写 1 来使能相应的控制，或者通过对“GC”前缀的寄存器写 1 来禁用相应的控制。对这些按位使能或禁用的寄存器写 0 无效。

图 4-4：GPIO 框图



### 4.3.1 方向和电平控制

所有 GPIO 引脚默认用于输入。引脚方向可以通过 GPDR[x] 寄存器配置。用户也可以通过往 GSDR[x] 的对应位段写 1 来设置引脚为输出，或者通过往 GCDR[x] 的对应位段写 1 来设置引脚为输入，GPDR[x] 会对应更新。

当配置为输出引脚时，输出电平可以通过 GPLR[x] 寄存器或者 GSLR[x]/GCLR[x] 寄存器配置。无论往这些寄存器里写入何值，从 GPLR[x] 寄存器回读的值总是反映 GPIO 端口状态，即 I/O 引脚的电平。

需要注意的是，为了消除逻辑上的亚稳态，从引脚输入的电平会先经过同步采样，因此 GPLR[x] 的回读值会比引脚上实际电平有两个 AHB 时钟（即 CPU 时钟）的延时。鉴于这个原因，如果需要用软件在输出引脚上产生特定波形，推荐通过写 GSLR[x] 寄存器让相应引脚输出高电平，以及通过写 GCLR[x] 寄存器让相应引脚输出低电平。若采用风格为对 GPLR[x] 寄存器做“读取-更改-写回”操作的代码无法实现预期的波形，除非在写回后再添加延时（例如：NOP 指令）以等待 GPLR 回读值更新。

### 4.3.2 边沿触发的中断

如图 4-5 所示，在用 AHB 时钟对于输入重新采样后，可以进一步检测信号的上升沿和下降沿。该特性通过 GRER[x] 和 GFER[x] 寄存器使能。GSRE[x]/GSFE[x] 和 GCRE[x]/GCFE[x] 是按位控制的寄存器，可以用于对 GRER[x]/GFER[x] 置位或者清零。

每当在采样后的输入信号上检测到上升沿或下降沿时，相应的事件都将被锁存到 GRERAWIF[x] 或 GFERAWIF[x] 寄存器的相应位段。但只有通过 GREIE[x] 或 GFEIE[x] 的对应位段使能后，这些事件才会触发中断。通过对 GREIC[x] 或 GFEIC[x] 位段写 1，可以清除 GRERAWIF[x] 或 GFERAWIF[x] 锁存的事件标志和 GREIF[x] 或 GFEIF[x] 锁存的中断标志。

为了方便调试，也可以通过往 GREIFRC[x] 和 GFEIFRC[x] 位段写 1 来软件强制产生上升沿事件和下降沿事件。

GRAWIF 寄存器中的 REDGEx 位段为端口 x 的全局上升沿事件标志，即 GRERAWIF[x] 寄存器按位的逻辑或。与之类似，GRAWIF 寄存器中的 FEDGEx 位段为端口 x 的全局下降沿事件标志，即 GFERAWIF[x] 寄存器按位的逻辑或。REDGEx 和 FEDGEx 再做或运算得到 GRAWIF 寄存器中的 EDGEx 位段。因此，每当端口 x 上的任意引脚检测到有上升沿时，GRAWIF 寄存器的 REDGEx 和 EDGEx 标志位都会锁存 1；每当端口 x 上的任意引脚检测到有下降沿时，GRAWIF 寄存器的 FEDGEx 和 EDGEx 标志位都会锁存 1。

图 4-5: GPIO 边沿检测

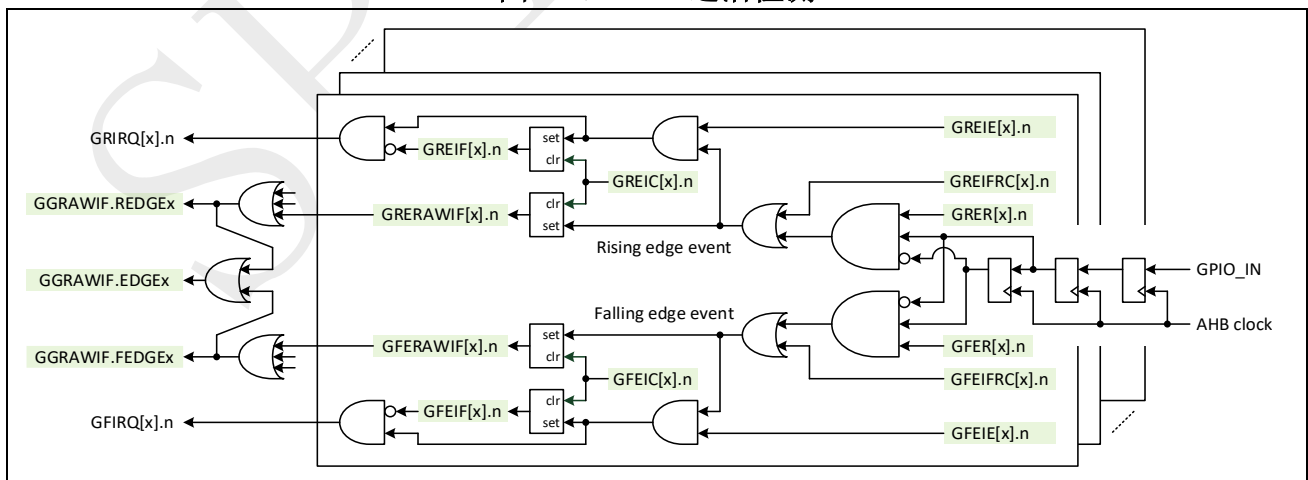
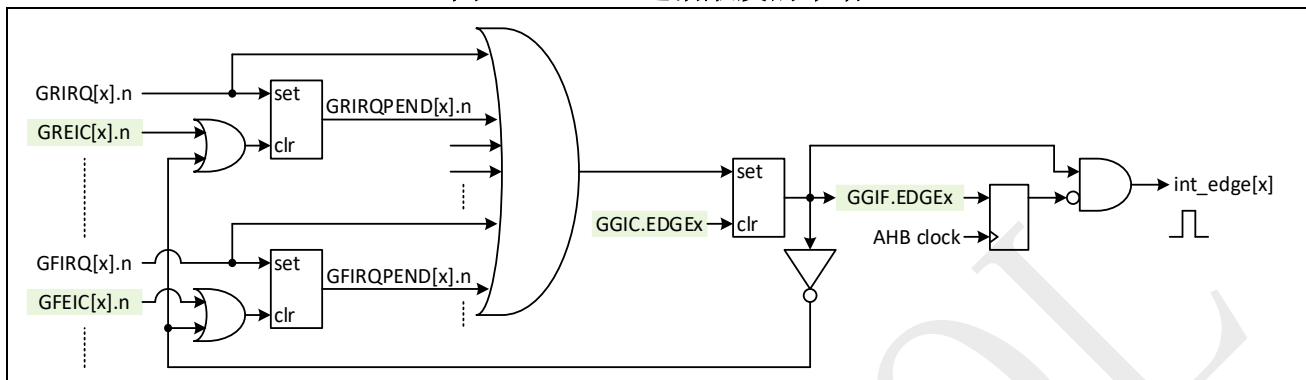


图 4-5 中名为 GRIRQ[x].n 和 GFIRQ[x].n 的信号是有效的上升沿和下降沿触发的中断请求。若上升沿或者下降沿事件发生时，该事件被使能用于触发中断，且 GREIF[x] 或 GFEIF[x] 寄存器对应位段为 0，则视作有效的中断请求。

如图 4-6 所示，每个端口所有有效的中断请求通过逻辑或，最终产生边沿触发的中断信号送去 CPU，且锁存到全局中断标志寄存器 GGIF 的 EDGE<sub>x</sub> 位段。该位段可以通过往 GGIC 寄存器的 EDGE<sub>x</sub> 位段写 1 清除。SPC1185 的 3 个 GPIO 端口一共提供 3 个边沿触发的中断。

图 4-6: GPIO 边沿触发的中断



当引脚  $n$  上的边沿触发一个中断请求时，所属的 GGIF.EDGE<sub>x</sub> 中断标志可能已经由于之前同一个端口上的引脚  $m$  的边沿事件置位，由此阻碍了新的中断脉冲的产生。为了避免中断的丢失，引入了中断等待机制。在 GGIF.EDGE<sub>x</sub>=1 期间产生的新的中断请求会被锁存起来等待响应。当 GGIF.EDGE<sub>x</sub> 标志位被清零时，等待中的请求会自我清除，并立刻触发新的中断并重新将 GGIF.EDGE<sub>x</sub> 标志置位。

另一种可能是引脚  $m$  和  $n$  上的边沿事件发生的时间非常靠近。因此在执行由引脚  $m$  边沿事件触发的中断服务程序（ISR）过程中，后到的引脚  $n$  边沿事件在软件读取 GREIF<sub>x</sub> 和 GFEIF<sub>x</sub> 寄存器前已经被锁存。换言之，尽管 ISR 的执行是由引脚  $m$  的边沿事件触发，但软件在读取 GREIF<sub>x</sub> 和 GFEIF<sub>x</sub> 寄存器以判断中断触发源的时候会同时看到引脚  $m$  和  $n$  上的请求。在执行完对这些请求的服务代码后，用户应当通过往 GREIC<sub>x</sub> 和 GFEIC<sub>x</sub> 位段写 1 清除 GREIF<sub>x</sub> 和 GFEIF<sub>x</sub> 锁存的标志位。如图 4-6 所示，该操作会同时清除等待中的请求，由此避免对同一个请求触发多次中断并多次服务。

综上所述，推荐的边沿触发的中断服务程序代码结构如下，从而既不会丢失中断，也不会造成同一个中断请求多次响应和服务：

- 读取 GREIF<sub>x</sub> 和 GFEIF<sub>x</sub> 寄存器，检查需要服务哪些中断请求；
  - 其中包含了触发本次 ISR 执行的中断请求（例如引脚  $m$ ），和自此之后到读取寄存器之前这段时间新的请求（例如引脚  $n$ ）；
  - 从本次 ISR 执行触发之后所有新的事件（例如引脚  $n$  和引脚  $u$ ）都会被锁存为等待中的请求；
- 依据读取到的值，服务相应的请求；
  - 例如引脚  $m$  和  $n$  的请求得到响应；
  - 在上述读取寄存器之后新的请求（例如引脚  $u$ ）在本次 ISR 执行过程由于没有被看到所以无法服务；
- 清除 GREIF<sub>x</sub> 和 GFEIF<sub>x</sub> 寄存器对应的标志位；
  - 会同时清除对应的等待中的请求（例如清除引脚  $m$  和  $n$  的标志位时，会同时清除后到的  $n$  事件锁存的等待）；
  - 未被看到的请求（例如引脚  $u$ ）的标志位继续保持在 GREIF<sub>x</sub> 或 GFEIF<sub>x</sub> 寄存器中，且由于没有清除标志位的操作，这些请求保持等待状态；



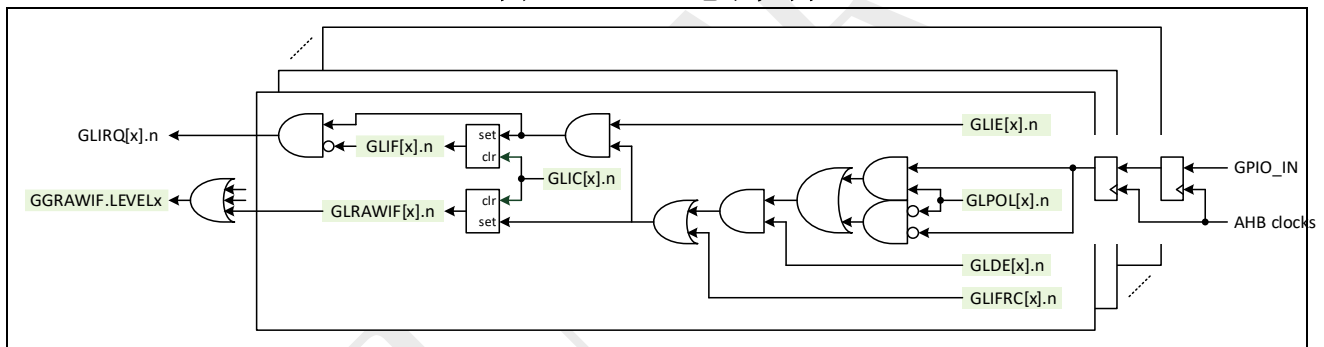
- 清除 GGIF.EDGE<sub>x</sub> 标志位；
  - 否则将会阻碍之后端口  $x$  上引脚边沿事件产生中断脉冲；
- 若存在等待中的请求（例如引脚  $u$ ），则立即产生新的中断脉冲，GGIF.EDGE<sub>x</sub> 标志重新置位，且清除这些请求的等待状态。
  - 新一轮的 ISR 执行中，引脚  $u$  的请求会被看到并得到服务，而之前已经服务的引脚  $n$  的请求已经被清除因此不会再次服务。

### 4.3.3 电平触发的中断

如图 4-7 所示，在用 AHB 时钟对于输入重新采样后，可以进一步检测信号的电平事件。该特性通过 GLDE[ $x$ ] 寄存器使能。GSLDE[ $x$ ] 和 GCLDE[ $x$ ] 是按位控制的寄存器，可以用于对 GLDE[ $x$ ] 置位或者清零。

每当采样后的输入信号为 GLPOL[ $x$ ] 寄存器对应位段指定的电平时，被判定为有效的电平事件，并被锁存到 GLRAWIF[ $x$ ] 寄存器的相应标志位。但只有通过 GLIE[ $x$ ] 的对应位段使能后，这些事件才会触发中断。通过对 GLIC[ $x$ ] 位段写 1，可以清除 GLRAWIF[ $x$ ] 锁存的事件标志和 GLIF[ $x$ ] 锁存的中断标志。

图 4-7: GPIO 电平检测



为了方便调试，也可以通过往 GLIFRC[ $x$ ] 位段写 1 来软件强制产生电平事件。

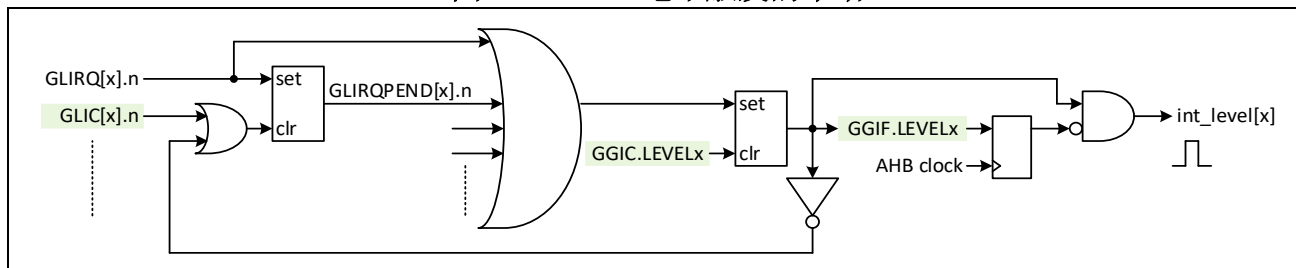
GGRAWIF 寄存器中的 LEVEL<sub>x</sub> 位段为端口  $x$  的全局电平事件标志。它是 GLRAWIF[ $x$ ] 寄存器按位的逻辑或。因此，每当端口  $x$  上的任意引脚检测到有效电平时，GGRAWIF 寄存器的 LEVEL<sub>x</sub> 标志位都会锁存 1。

图 4-7 中名为 GLIRQ[ $x$ ]. $n$  的信号是有效的电平触发的中断请求。若电平事件发生时，该事件被使能用于触发中断，且 GLIF[ $x$ ] 寄存器对应位段为 0，则视作有效的中断请求。

如图 4-8 所示，每个端口所有有效的中断请求通过逻辑或，最终产生边沿触发的中断信号送去 CPU，且锁存到全局中断标志寄存器 GGIF 的 LEVEL<sub>x</sub> 位段。该位段可以通过往 GGIC 寄存器的 LEVEL<sub>x</sub> 位段写 1 清除。SPC1185 的 3 个 GPIO 端口一共提供 3 个电平触发的中断。

与边沿触发的中断类似，此处也引入了中断等待机制。由此可以妥善处理在中断服务程序开始执行后新产生的电平中断请求，从而既不会丢失中断，也不会造成同一个中断请求多次响应和服务。

图 4-8: GPIO 电平触发的中断



推荐的电平触发的中断服务程序代码结构如下：

- 读取 GLIF[x]寄存器，检查需要服务哪些中断请求；
  - 其中包含了触发本次 ISR 执行的中断请求（例如引脚 m），和自此之后到读取寄存器之前这段时间新的请求（例如引脚 n）；
  - 从本次 ISR 执行触发之后所有新的事件（例如引脚 n 和引脚 u）都会被锁存为等待中的请求；
- 依据读取到的值，服务相应的请求；
  - 例如引脚 m 和 n 的请求得到响应；
  - 在上述读取寄存器之后新的请求（例如引脚 u）在本次 ISR 执行过程由于没有被看到所以无法服务；
- 清除 GLIF[x]寄存器对应的标志位；
  - 会同时清除对应的等待中的请求（例如清除引脚 m 和 n 的标志位时，会同时清除后到的 n 事件锁存的等待）；
  - 未被看到的请求（例如引脚 u）的标志位继续保持在 GLIF[x]寄存器中，且由于没有清除标志位的操作，这些请求保持等待状态；
- 清除 GGIF.LEVELx 标志位；
  - 否则将会阻碍之后端口 x 上引脚电平事件产生中断脉冲；
- 若存在等待中的请求（例如引脚 u），则立即产生新的中断脉冲，GGIF.LEVELx 标志重新置位，且清除这些请求的等待状态。
  - 新一轮的 ISR 执行中，引脚 u 的请求会被看到并得到服务，而之前已经服务的引脚 n 的请求已经被清除因此不会再次服务。

## 4.4 寄存器

### 4.4.1 PINMUX 寄存器列表

表 4-5: PINMUX 模块基地址

| 外设模块   | 基地址         |
|--------|-------------|
| PINMUX | 0x4000 0300 |

表 4-6: PINMUX 寄存器列表

| 寄存器                     | 偏移地址   | 描述             | 复位值        |
|-------------------------|--------|----------------|------------|
| <a href="#">GPIO1*</a>  | 0x0004 | GPIO1 引脚控制寄存器  | 0x01000001 |
| <a href="#">GPIO2*</a>  | 0x0008 | GPIO2 引脚控制寄存器  | 0x01000001 |
| <a href="#">GPIO3*</a>  | 0x000C | GPIO3 引脚控制寄存器  | 0x01000001 |
| <a href="#">GPIO4*</a>  | 0x0010 | GPIO4 引脚控制寄存器  | 0x01000001 |
| <a href="#">GPIO5*</a>  | 0x0014 | GPIO5 引脚控制寄存器  | 0x01000001 |
| <a href="#">GPIO6*</a>  | 0x0018 | GPIO6 引脚控制寄存器  | 0x01000001 |
| <a href="#">GPIO7*</a>  | 0x001C | GPIO7 引脚控制寄存器  | 0x01000001 |
| <a href="#">GPIO8*</a>  | 0x0020 | GPIO8 引脚控制寄存器  | 0x01000001 |
| <a href="#">GPIO9*</a>  | 0x0024 | GPIO9 引脚控制寄存器  | 0x01000001 |
| <a href="#">GPIO10*</a> | 0x0028 | GPIO10 引脚控制寄存器 | 0x01000001 |
| <a href="#">GPIO11*</a> | 0x002C | GPIO11 引脚控制寄存器 | 0x01000001 |
| <a href="#">GPIO12*</a> | 0x0030 | GPIO12 引脚控制寄存器 | 0x01000001 |
| <a href="#">GPIO13*</a> | 0x0034 | GPIO13 引脚控制寄存器 | 0x01000001 |
| <a href="#">GPIO14*</a> | 0x0038 | GPIO14 引脚控制寄存器 | 0x01000001 |
| <a href="#">GPIO15*</a> | 0x003C | GPIO15 引脚控制寄存器 | 0x01000001 |
| <a href="#">GPIO16*</a> | 0x0040 | GPIO16 引脚控制寄存器 | 0x29000001 |
| <a href="#">GPIO17*</a> | 0x0044 | GPIO17 引脚控制寄存器 | 0x29000001 |
| <a href="#">GPIO18*</a> | 0x0048 | GPIO18 引脚控制寄存器 | 0x29000001 |
| <a href="#">GPIO19*</a> | 0x004C | GPIO19 引脚控制寄存器 | 0x29000001 |
| <a href="#">GPIO20*</a> | 0x0050 | GPIO20 引脚控制寄存器 | 0x09000001 |
| <a href="#">GPIO21*</a> | 0x0054 | GPIO21 引脚控制寄存器 | 0x09000001 |
| <a href="#">GPIO22*</a> | 0x0058 | GPIO22 引脚控制寄存器 | 0x09000001 |
| <a href="#">GPIO23*</a> | 0x005C | GPIO23 引脚控制寄存器 | 0x09000001 |
| <a href="#">GPIO24*</a> | 0x0060 | GPIO24 引脚控制寄存器 | 0x19000100 |
| <a href="#">GPIO25*</a> | 0x0064 | GPIO25 引脚控制寄存器 | 0x19000100 |
| <a href="#">GPIO36*</a> | 0x0090 | GPIO36 引脚控制寄存器 | 0x00000100 |
| <a href="#">GPIO37*</a> | 0x0094 | GPIO37 引脚控制寄存器 | 0x00000100 |
| <a href="#">GPIO38*</a> | 0x0098 | GPIO38 引脚控制寄存器 | 0x00000100 |
| <a href="#">GPIO39*</a> | 0x009C | GPIO39 引脚控制寄存器 | 0x00000100 |
| <a href="#">GPIO40*</a> | 0x00A0 | GPIO40 引脚控制寄存器 | 0x00000100 |
| <a href="#">GPIO41*</a> | 0x00A4 | GPIO41 引脚控制寄存器 | 0x00000100 |
| <a href="#">GPIO46*</a> | 0x00B8 | GPIO46 引脚控制寄存器 | 0x00000100 |
| <a href="#">GPIO47*</a> | 0x00BC | GPIO47 引脚控制寄存器 | 0x00000100 |
| <a href="#">GPIO48*</a> | 0x00C0 | GPIO48 引脚控制寄存器 | 0x00000100 |
| <a href="#">GPIO49*</a> | 0x00C4 | GPIO49 引脚控制寄存器 | 0x00000100 |

| 寄存器                          | 偏移地址   | 描述              | 复位值        |
|------------------------------|--------|-----------------|------------|
| <a href="#">GPIO50</a> *     | 0x00C8 | GPIO50 引脚控制寄存器  | 0x00000100 |
| <a href="#">GPIO51</a> *     | 0x00CC | GPIO51 引脚控制寄存器  | 0x00000100 |
| <a href="#">GPIO56</a> *     | 0x00E0 | GPIO56 引脚控制寄存器  | 0x60000100 |
| <a href="#">GPIO57</a> *     | 0x00E4 | GPIO57 引脚控制寄存器  | 0x60000100 |
| <a href="#">GPIO58</a> *     | 0x00E8 | GPIO58 引脚控制寄存器  | 0x60000100 |
| <a href="#">GPIO59</a> *     | 0x00EC | GPIO59 引脚控制寄存器  | 0x60000100 |
| <a href="#">GPIO62</a> *     | 0x00F8 | GPIO62 引脚控制寄存器  | 0x4B000100 |
| <a href="#">GPIO63</a> *     | 0x00FC | GPIO63 引脚控制寄存器  | 0x4B000100 |
| <a href="#">GPIO77</a> *     | 0x0134 | GPIO77 引脚控制寄存器  | 0xEB000100 |
| <a href="#">GPIO78</a> *     | 0x0138 | GPIO78 引脚控制寄存器  | 0x6B000100 |
| <a href="#">GPIO79</a> *     | 0x013C | GPIO79 引脚控制寄存器  | 0x6B000100 |
| <a href="#">GPIO80</a> *     | 0x0140 | GPIO80 引脚控制寄存器  | 0x01000100 |
| <a href="#">GPIO81</a> *     | 0x0144 | GPIO81 引脚控制寄存器  | 0x01000100 |
| <a href="#">COMPONCTL</a> *  | 0x0148 | 比较器输出监测控制寄存器    | 0x00000000 |
| <a href="#">SYNCOMCTL</a> *  | 0x014C | 同步输出监测控制寄存器     | 0x00000000 |
| <a href="#">PINMUXREGKEY</a> | 0x0150 | PINMUX 模块写使能寄存器 | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 PINMUXREGKEY=0x1ACCE551 时才可以改写。

## 4.4.2 PINMUX 寄存器

### 4.4.2.1 GPIO1 引脚控制寄存器（GPIO1）

表 4-7: GPIO1 引脚控制寄存器（GPIO1）位段定义

| GPIO1 (GPIO1 Pin Control Register)                             |    |          |      |          |       |        |    |
|----------------------------------------------------------------|----|----------|------|----------|-------|--------|----|
| Access: PINMUX->GPIO1    Offset: 0x0004    Default: 0x01000001 |    |          |      |          |       |        |    |
| 31                                                             | 30 | 29       | 28   | 27       | 26    | 25     | 24 |
| RESERVED                                                       |    |          |      |          | PU    |        |    |
| 23                                                             | 22 | 21       | 20   | 19       | 18    | 17     | 16 |
| RESERVED                                                       |    |          |      |          | PD    |        |    |
| 15                                                             | 14 | 13       | 12   | 11       | 10    | 9      | 8  |
| RESERVED                                                       |    |          |      |          | ICHEN |        |    |
| 7                                                              | 6  | 5        | 4    | 3        | 2     | 1      | 0  |
| STRENGTH                                                       |    | DEGLITCH | LPBK | RESERVED |       | OCHSEL |    |

表 4-8: GPIO1 引脚控制寄存器（GPIO1）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                               |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                    |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                               |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                    |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                               |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入               |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                           |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入<br>0: 输出到引脚<br>1: 输出直接环回到输入           |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                               |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO1<br>1: ANA_IN1        |

#### 4.4.2.2 GPIO2 引脚控制寄存器（GPIO2）

表 4-9: GPIO2 引脚控制寄存器（GPIO2）位段定义

| GPIO2 (GPIO2 Pin Control Register) |    |                |      |                     |       |        |    |  |  |
|------------------------------------|----|----------------|------|---------------------|-------|--------|----|--|--|
| Access: PINMUX->GPIO2              |    | Offset: 0x0008 |      | Default: 0x01000001 |       |        |    |  |  |
| 31                                 | 30 | 29             | 28   | 27                  | 26    | 25     | 24 |  |  |
| RESERVED                           |    |                |      |                     | PU    |        |    |  |  |
| 23                                 | 22 | 21             | 20   | 19                  | 18    | 17     | 16 |  |  |
| RESERVED                           |    |                |      |                     | PD    |        |    |  |  |
| 15                                 | 14 | 13             | 12   | 11                  | 10    | 9      | 8  |  |  |
| RESERVED                           |    |                |      |                     | ICHEN |        |    |  |  |
| 7                                  | 6  | 5              | 4    | 3                   | 2     | 1      | 0  |  |  |
| STRENGTH                           |    | DEGLITCH       | LPBK | RESERVED            |       | OCHSEL |    |  |  |

表 4-10: GPIO2 引脚控制寄存器（GPIO2）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                               |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                    |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                               |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                    |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                               |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入               |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                           |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入<br>0: 输出到引脚<br>1: 输出直接环回到输入           |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                               |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO2<br>1: ANA_IN2        |



## 4.4.2.3 GPIO3 引脚控制寄存器（GPIO3）

表 4-11: GPIO3 引脚控制寄存器（GPIO3）位段定义

| GPIO3 (GPIO3 Pin Control Register) |    |                |      |                     |       |        |    |  |  |
|------------------------------------|----|----------------|------|---------------------|-------|--------|----|--|--|
| Access: PINMUX->GPIO3              |    | Offset: 0x000C |      | Default: 0x01000001 |       |        |    |  |  |
| 31                                 | 30 | 29             | 28   | 27                  | 26    | 25     | 24 |  |  |
| RESERVED                           |    |                |      |                     | PU    |        |    |  |  |
| 23                                 | 22 | 21             | 20   | 19                  | 18    | 17     | 16 |  |  |
| RESERVED                           |    |                |      |                     | PD    |        |    |  |  |
| 15                                 | 14 | 13             | 12   | 11                  | 10    | 9      | 8  |  |  |
| RESERVED                           |    |                |      |                     | ICHEN |        |    |  |  |
| 7                                  | 6  | 5              | 4    | 3                   | 2     | 1      | 0  |  |  |
| STRENGTH                           |    | DEGLITCH       | LPBK | RESERVED            |       | OCHSEL |    |  |  |

表 4-12: GPIO3 引脚控制寄存器（GPIO3）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                               |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                    |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                               |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                    |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                               |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入               |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                           |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入<br>0: 输出到引脚<br>1: 输出直接环回到输入           |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                               |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO3<br>1: ANA_IN3        |

#### 4.4.2.4 GPIO4 引脚控制寄存器（GPIO4）

表 4-13: GPIO4 引脚控制寄存器（GPIO4）位段定义

| GPIO4 (GPIO4 Pin Control Register) |    |                |      |                     |       |        |    |  |  |
|------------------------------------|----|----------------|------|---------------------|-------|--------|----|--|--|
| Access: PINMUX->GPIO4              |    | Offset: 0x0010 |      | Default: 0x01000001 |       |        |    |  |  |
| 31                                 | 30 | 29             | 28   | 27                  | 26    | 25     | 24 |  |  |
| RESERVED                           |    |                |      |                     | PU    |        |    |  |  |
| 23                                 | 22 | 21             | 20   | 19                  | 18    | 17     | 16 |  |  |
| RESERVED                           |    |                |      |                     | PD    |        |    |  |  |
| 15                                 | 14 | 13             | 12   | 11                  | 10    | 9      | 8  |  |  |
| RESERVED                           |    |                |      |                     | ICHEN |        |    |  |  |
| 7                                  | 6  | 5              | 4    | 3                   | 2     | 1      | 0  |  |  |
| STRENGTH                           |    | DEGLITCH       | LPBK | RESERVED            |       | OCHSEL |    |  |  |

表 4-14: GPIO4 引脚控制寄存器（GPIO4）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                               |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                    |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                               |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                    |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                               |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入               |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                           |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入<br>0: 输出到引脚<br>1: 输出直接环回到输入           |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                               |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO4<br>1: ANA_IN4        |

## 4.4.2.5 GPIO5 引脚控制寄存器（GPIO5）

表 4-15: GPIO5 引脚控制寄存器（GPIO5）位段定义

| GPIO5 (GPIO5 Pin Control Register) |    |          |                |          |       |                     |    |  |
|------------------------------------|----|----------|----------------|----------|-------|---------------------|----|--|
| Access: PINMUX->GPIO5              |    |          | Offset: 0x0014 |          |       | Default: 0x01000001 |    |  |
| 31                                 | 30 | 29       | 28             | 27       | 26    | 25                  | 24 |  |
| RESERVED                           |    |          |                |          | PU    |                     |    |  |
| 23                                 | 22 | 21       | 20             | 19       | 18    | 17                  | 16 |  |
| RESERVED                           |    |          |                |          | PD    |                     |    |  |
| 15                                 | 14 | 13       | 12             | 11       | 10    | 9                   | 8  |  |
| RESERVED                           |    |          |                |          | ICHEN |                     |    |  |
| 7                                  | 6  | 5        | 4              | 3        | 2     | 1                   | 0  |  |
| STRENGTH                           |    | DEGLITCH | LPBK           | RESERVED |       | OCHSEL              |    |  |

表 4-16: GPIO5 引脚控制寄存器（GPIO5）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                               |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                    |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                               |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                    |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                               |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入               |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                           |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入<br>0: 输出到引脚<br>1: 输出直接环回到输入           |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                               |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO5<br>1: ANA_IN5        |

#### 4.4.2.6 GPIO6 引脚控制寄存器（GPIO6）

表 4-17: GPIO6 引脚控制寄存器（GPIO6）位段定义

| GPIO6 (GPIO6 Pin Control Register) |    |          |                |          |       |                     |    |  |
|------------------------------------|----|----------|----------------|----------|-------|---------------------|----|--|
| Access: PINMUX->GPIO6              |    |          | Offset: 0x0018 |          |       | Default: 0x01000001 |    |  |
| 31                                 | 30 | 29       | 28             | 27       | 26    | 25                  | 24 |  |
| RESERVED                           |    |          |                |          | PU    |                     |    |  |
| 23                                 | 22 | 21       | 20             | 19       | 18    | 17                  | 16 |  |
| RESERVED                           |    |          |                |          | PD    |                     |    |  |
| 15                                 | 14 | 13       | 12             | 11       | 10    | 9                   | 8  |  |
| RESERVED                           |    |          |                |          | ICHEN |                     |    |  |
| 7                                  | 6  | 5        | 4              | 3        | 2     | 1                   | 0  |  |
| STRENGTH                           |    | DEGLITCH | LPBK           | RESERVED |       | OCHSEL              |    |  |

表 4-18: GPIO6 引脚控制寄存器（GPIO6）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                               |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                    |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                               |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                    |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                               |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入               |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                           |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入<br>0: 输出到引脚<br>1: 输出直接环回到输入           |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                               |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO6<br>1: ANA_IN6        |

## 4.4.2.7 GPIO7 引脚控制寄存器（GPIO7）

表 4-19: GPIO7 引脚控制寄存器（GPIO7）位段定义

| GPIO7 (GPIO7 Pin Control Register) |    |          |                |          |       |                     |    |  |
|------------------------------------|----|----------|----------------|----------|-------|---------------------|----|--|
| Access: PINMUX->GPIO7              |    |          | Offset: 0x001C |          |       | Default: 0x01000001 |    |  |
| 31                                 | 30 | 29       | 28             | 27       | 26    | 25                  | 24 |  |
| RESERVED                           |    |          |                |          | PU    |                     |    |  |
| 23                                 | 22 | 21       | 20             | 19       | 18    | 17                  | 16 |  |
| RESERVED                           |    |          |                |          | PD    |                     |    |  |
| 15                                 | 14 | 13       | 12             | 11       | 10    | 9                   | 8  |  |
| RESERVED                           |    |          |                |          | ICHEN |                     |    |  |
| 7                                  | 6  | 5        | 4              | 3        | 2     | 1                   | 0  |  |
| STRENGTH                           |    | DEGLITCH | LPBK           | RESERVED |       | OCHSEL              |    |  |

表 4-20: GPIO7 引脚控制寄存器（GPIO7）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                               |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                    |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                               |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                    |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                               |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入               |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                           |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入<br>0: 输出到引脚<br>1: 输出直接环回到输入           |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                               |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO7<br>1: ANA_IN7        |

#### 4.4.2.8 GPIO8 引脚控制寄存器（GPIO8）

表 4-21: GPIO8 引脚控制寄存器（GPIO8）位段定义

| GPIO8 (GPIO8 Pin Control Register) |    |          |      |                |       |                     |    |
|------------------------------------|----|----------|------|----------------|-------|---------------------|----|
| Access: PINMUX->GPIO8              |    |          |      | Offset: 0x0020 |       | Default: 0x01000001 |    |
| 31                                 | 30 | 29       | 28   | 27             | 26    | 25                  | 24 |
| RESERVED                           |    |          |      |                | PU    |                     |    |
| 23                                 | 22 | 21       | 20   | 19             | 18    | 17                  | 16 |
| RESERVED                           |    |          |      |                | PD    |                     |    |
| 15                                 | 14 | 13       | 12   | 11             | 10    | 9                   | 8  |
| RESERVED                           |    |          |      |                | ICHEN |                     |    |
| 7                                  | 6  | 5        | 4    | 3              | 2     | 1                   | 0  |
| STRENGTH                           |    | DEGLITCH | LPBK | RESERVED       |       | OCHSEL              |    |

表 4-22: GPIO8 引脚控制寄存器（GPIO8）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                               |
| 26:24 | PU             | RW | 0x1 | 上拉使能。若 PU[n]=1 则使能通道 n 的上拉                       |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                               |
| 18:16 | PD             | RW | 0x0 | 下拉使能。若 PD[n]=1 则使能通道 n 的下拉                       |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                               |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能。若 ICHEN[n]=1 则使能通道 n 的输入                  |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                           |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入<br>0: 输出到引脚<br>1: 输出直接环回到输入           |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                               |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO8<br>1: ANA_IN8        |



## 4.4.2.9 GPIO9 引脚控制寄存器（GPIO9）

表 4-23: GPIO9 引脚控制寄存器（GPIO9）位段定义

| GPIO9 (GPIO9 Pin Control Register) |    |          |                |          |       |                     |    |  |
|------------------------------------|----|----------|----------------|----------|-------|---------------------|----|--|
| Access: PINMUX->GPIO9              |    |          | Offset: 0x0024 |          |       | Default: 0x01000001 |    |  |
| 31                                 | 30 | 29       | 28             | 27       | 26    | 25                  | 24 |  |
| RESERVED                           |    |          |                |          | PU    |                     |    |  |
| 23                                 | 22 | 21       | 20             | 19       | 18    | 17                  | 16 |  |
| RESERVED                           |    |          |                |          | PD    |                     |    |  |
| 15                                 | 14 | 13       | 12             | 11       | 10    | 9                   | 8  |  |
| RESERVED                           |    |          |                |          | ICHEN |                     |    |  |
| 7                                  | 6  | 5        | 4              | 3        | 2     | 1                   | 0  |  |
| STRENGTH                           |    | DEGLITCH | LPBK           | RESERVED |       | OCHSEL              |    |  |

表 4-24: GPIO9 引脚控制寄存器（GPIO9）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                            |
|-------|----------------|----|-----|---------------------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                                            |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                 |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                                            |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                 |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                            |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                            |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA              |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                                        |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入<br>0: 输出到引脚<br>1: 输出直接环回到输入                        |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                            |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO9<br>1: ANA_IN9<br>3: PWM SOCA 输出监测 |

#### 4.4.2.10 GPIO10 引脚控制寄存器（GPIO10）

表 4-25: GPIO10 引脚控制寄存器（GPIO10）位段定义

| GPIO10 (GPIO10 Pin Control Register) |    |          |                |          |       |                     |    |  |
|--------------------------------------|----|----------|----------------|----------|-------|---------------------|----|--|
| Access: PINMUX->GPIO10               |    |          | Offset: 0x0028 |          |       | Default: 0x01000001 |    |  |
| 31                                   | 30 | 29       | 28             | 27       | 26    | 25                  | 24 |  |
| RESERVED                             |    |          |                |          | PU    |                     |    |  |
| 23                                   | 22 | 21       | 20             | 19       | 18    | 17                  | 16 |  |
| RESERVED                             |    |          |                |          | PD    |                     |    |  |
| 15                                   | 14 | 13       | 12             | 11       | 10    | 9                   | 8  |  |
| RESERVED                             |    |          |                |          | ICHEN |                     |    |  |
| 7                                    | 6  | 5        | 4              | 3        | 2     | 1                   | 0  |  |
| STRENGTH                             |    | DEGLITCH | LPBK           | RESERVED |       | OCHSEL              |    |  |

表 4-26: GPIO10 引脚控制寄存器（GPIO10）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                              |
|-------|----------------|----|-----|-----------------------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                                              |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                   |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                                              |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                   |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                              |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                              |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                                          |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                        |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                              |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO10<br>1: ANA_IN10<br>3: PWM_SOCB 输出监测 |

## 4.4.2.11 GPIO11 引脚控制寄存器（GPIO11）

表 4-27: GPIO11 引脚控制寄存器（GPIO11）位段定义

| GPIO11 (GPIO11 Pin Control Register) |    |          |                |          |       |                     |    |  |
|--------------------------------------|----|----------|----------------|----------|-------|---------------------|----|--|
| Access: PINMUX->GPIO11               |    |          | Offset: 0x002C |          |       | Default: 0x01000001 |    |  |
| 31                                   | 30 | 29       | 28             | 27       | 26    | 25                  | 24 |  |
| RESERVED                             |    |          |                |          | PU    |                     |    |  |
| 23                                   | 22 | 21       | 20             | 19       | 18    | 17                  | 16 |  |
| RESERVED                             |    |          |                |          | PD    |                     |    |  |
| 15                                   | 14 | 13       | 12             | 11       | 10    | 9                   | 8  |  |
| RESERVED                             |    |          |                |          | ICHEN |                     |    |  |
| 7                                    | 6  | 5        | 4              | 3        | 2     | 1                   | 0  |  |
| STRENGTH                             |    | DEGLITCH | LPBK           | RESERVED |       | OCHSEL              |    |  |

表 4-28: GPIO11 引脚控制寄存器（GPIO11）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                              |
|-------|----------------|----|-----|-----------------------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                                              |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                   |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                                              |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                   |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                              |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                              |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                                          |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                        |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                              |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO11<br>1: ANA_IN11<br>3: PWM SOCC 输出监测 |

## 4.4.2.12 GPIO12 引脚控制寄存器（GPIO12）

表 4-29: GPIO12 引脚控制寄存器（GPIO12）位段定义

| GPIO12 (GPIO12 Pin Control Register) |    |          |                |          |                     |        |    |    |  |
|--------------------------------------|----|----------|----------------|----------|---------------------|--------|----|----|--|
| Access: PINMUX->GPIO12               |    |          | Offset: 0x0030 |          | Default: 0x01000001 |        |    |    |  |
| 31                                   | 30 | 29       |                | 28       | 27                  | 26     | 25 | 24 |  |
| RESERVED                             |    |          |                |          |                     | PU     |    |    |  |
| 23                                   | 22 | 21       |                | 20       | 19                  | 18     | 17 | 16 |  |
| RESERVED                             |    |          |                |          |                     | PD     |    |    |  |
| 15                                   | 14 | 13       |                | 12       | 11                  | 10     | 9  | 8  |  |
| RESERVED                             |    |          |                |          |                     | ICHEN  |    |    |  |
| 7                                    | 6  | 5        | 4              | 3        | 2                   | 1      | 0  |    |  |
| STRENGTH                             |    | DEGLITCH | LPBK           | RESERVED |                     | OCHSEL |    |    |  |

表 4-30: GPIO12 引脚控制寄存器（GPIO12）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                         |
|-------|----------------|----|-----|------------------------------------------------------------------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                                                                                         |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                              |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                                                                                         |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                              |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                                                                         |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                         |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                           |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                                                                                     |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                   |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                                                                         |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO12<br>1: ANA_IN12<br>3: PWM SOC 输出监测。它是 PWM_SOC AO, PWM_SOC BO 和 PWM_SOC CO 的逻辑或 |

## 4.4.2.13 GPIO13 引脚控制寄存器（GPIO13）

表 4-31: GPIO13 引脚控制寄存器（GPIO13）位段定义

| GPIO13 (GPIO13 Pin Control Register) |    |          |                |          |       |                     |    |  |
|--------------------------------------|----|----------|----------------|----------|-------|---------------------|----|--|
| Access: PINMUX->GPIO13               |    |          | Offset: 0x0034 |          |       | Default: 0x01000001 |    |  |
| 31                                   | 30 | 29       | 28             | 27       | 26    | 25                  | 24 |  |
| RESERVED                             |    |          |                |          | PU    |                     |    |  |
| 23                                   | 22 | 21       | 20             | 19       | 18    | 17                  | 16 |  |
| RESERVED                             |    |          |                |          | PD    |                     |    |  |
| 15                                   | 14 | 13       | 12             | 11       | 10    | 9                   | 8  |  |
| RESERVED                             |    |          |                |          | ICHEN |                     |    |  |
| 7                                    | 6  | 5        | 4              | 3        | 2     | 1                   | 0  |  |
| STRENGTH                             |    | DEGLITCH | LPBK           | RESERVED |       | OCHSEL              |    |  |

表 4-32: GPIO13 引脚控制寄存器（GPIO13）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                      |
|-------|----------------|----|-----|-------------------------------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                                                      |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                           |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                                                      |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                           |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                                      |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                      |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                        |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                                                  |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                                      |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO13<br>1: ANA_IN13<br>3: CLKDET 模块 DCLK 时钟输出监测 |

#### 4.4.2.14 GPIO14 引脚控制寄存器（GPIO14）

表 4-33: GPIO14 引脚控制寄存器（GPIO14）位段定义

| GPIO14 (GPIO14 Pin Control Register) |    |          |                |          |       |                     |    |  |
|--------------------------------------|----|----------|----------------|----------|-------|---------------------|----|--|
| Access: PINMUX->GPIO14               |    |          | Offset: 0x0038 |          |       | Default: 0x01000001 |    |  |
| 31                                   | 30 | 29       | 28             | 27       | 26    | 25                  | 24 |  |
| RESERVED                             |    |          |                |          | PU    |                     |    |  |
| 23                                   | 22 | 21       | 20             | 19       | 18    | 17                  | 16 |  |
| RESERVED                             |    |          |                |          | PD    |                     |    |  |
| 15                                   | 14 | 13       | 12             | 11       | 10    | 9                   | 8  |  |
| RESERVED                             |    |          |                |          | ICHEN |                     |    |  |
| 7                                    | 6  | 5        | 4              | 3        | 2     | 1                   | 0  |  |
| STRENGTH                             |    | DEGLITCH | LPBK           | RESERVED |       | OCHSEL              |    |  |

表 4-34: GPIO14 引脚控制寄存器（GPIO14）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                            |
|-------|----------------|----|-----|---------------------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                                            |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                 |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                                            |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                 |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                            |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                            |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA              |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                                        |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                      |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                            |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO14<br>1: ANA_IN14<br>3: COMP 输出监测 0 |



## 4.4.2.15 GPIO15 引脚控制寄存器（GPIO15）

表 4-35: GPIO15 引脚控制寄存器（GPIO15）位段定义

| GPIO15 (GPIO15 Pin Control Register) |  |          |                |      |                     |          |  |          |  |          |  |        |  |        |  |
|--------------------------------------|--|----------|----------------|------|---------------------|----------|--|----------|--|----------|--|--------|--|--------|--|
| Access: PINMUX->GPIO15               |  |          | Offset: 0x003C |      | Default: 0x01000001 |          |  |          |  |          |  |        |  |        |  |
| 31                                   |  | 30       |                | 29   |                     | 28       |  | 27       |  | 26       |  | 25     |  | 24     |  |
| RESERVED                             |  |          |                |      | PU                  |          |  |          |  |          |  |        |  |        |  |
| 23                                   |  | 22       |                | 21   |                     | 20       |  | 19       |  | 18       |  | 17     |  | 16     |  |
| RESERVED                             |  |          |                |      | PD                  |          |  |          |  |          |  |        |  |        |  |
| 15                                   |  | 14       |                | 13   |                     | 12       |  | 11       |  | 10       |  | 9      |  | 8      |  |
| RESERVED                             |  |          |                |      | ICHEN               |          |  |          |  |          |  |        |  |        |  |
| 7                                    |  | 6        |                | 5    |                     | 4        |  | 3        |  | 2        |  | 1      |  | 0      |  |
| STRENGTH                             |  | DEGLITCH |                | LPBK |                     | RESERVED |  | RESERVED |  | RESERVED |  | OCHSEL |  | OCHSEL |  |

表 4-36: GPIO15 引脚控制寄存器（GPIO15）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                               |
| 26:24 | PU             | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                    |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                               |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                    |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                               |
| 10:8  | ICHEN          | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入               |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                           |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入<br>0: 输出到引脚<br>1: 输出直接环回到输入           |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                               |
| 1:0   | OCHSEL         | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO15<br>1: ANA_IN15      |

#### 4.4.2.16 GPIO16 引脚控制寄存器（GPIO16）

表 4-37: GPIO16 引脚控制寄存器（GPIO16）位段定义

| GPIO16 (GPIO16 Pin Control Register)                            |               |               |           |               |    |    |             |
|-----------------------------------------------------------------|---------------|---------------|-----------|---------------|----|----|-------------|
| Access: PINMUX->GPIO16    Offset: 0x0040    Default: 0x29000001 |               |               |           |               |    |    |             |
| 31<br>RESERVED                                                  | 30            | 29            | 28        | 27<br>PU      | 26 | 25 | 24          |
| 23<br>RESERVED                                                  | 22            | 21            | 20        | 19<br>PD      | 18 | 17 | 16          |
| 15<br>RESERVED                                                  | 14            | 13            | 12        | 11<br>ICHEN   | 10 | 9  | 8           |
| 7                                                               | 6<br>STRENGTH | 5<br>DEGLITCH | 4<br>LPBK | 3<br>RESERVED | 2  | 1  | 0<br>OCHSEL |

表 4-38: GPIO16 引脚控制寄存器（GPIO16）位段描述

| 位段    | 位段名         | 属性 | 复位值  | 描述                                                                                                               |
|-------|-------------|----|------|------------------------------------------------------------------------------------------------------------------|
| 31    | RESERVED_31 | RO | 0x0  | 保留                                                                                                               |
| 30:24 | PU          | RW | 0x29 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                    |
| 23    | RESERVED_23 | RO | 0x0  | 保留                                                                                                               |
| 22:16 | PD          | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                    |
| 15    | RESERVED_15 | RO | 0x0  | 保留                                                                                                               |
| 14:8  | ICHEN       | RW | 0x0  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                               |
| 7:6   | STRENGTH    | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                                 |
| 5     | DEGLITCH    | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                                           |
| 4     | LPBK        | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                         |
| 3     | RESERVED_3  | RO | 0x0  | 保留                                                                                                               |
| 2:0   | OCHSEL      | RW | 0x1  | 输出通道以及上拉和下拉控制选择<br>0: GPIO16<br>1: ANA_IN16<br>3: UART2_TXD<br>4: SPI0_MOSI<br>5: CAN0_TXD<br>7: ECAP0 APWM 模式输出 |

## 4.4.2.17 GPIO17 引脚控制寄存器（GPIO17）

表 4-39: GPIO17 引脚控制寄存器（GPIO17）位段定义

| GPIO17 (GPIO17 Pin Control Register)                            |               |               |           |               |    |             |    |
|-----------------------------------------------------------------|---------------|---------------|-----------|---------------|----|-------------|----|
| Access: PINMUX->GPIO17    Offset: 0x0044    Default: 0x29000001 |               |               |           |               |    |             |    |
| 31<br>RESERVED                                                  | 30            | 29            | 28        | 27<br>PU      | 26 | 25          | 24 |
| 23<br>RESERVED                                                  | 22            | 21            | 20        | 19<br>PD      | 18 | 17          | 16 |
| 15<br>RESERVED                                                  | 14            | 13            | 12        | 11<br>ICHEN   | 10 | 9           | 8  |
| 7                                                               | 6<br>STRENGTH | 5<br>DEGLITCH | 4<br>LPBK | 3<br>RESERVED | 2  | 1<br>OCHSEL | 0  |

表 4-40: GPIO17 引脚控制寄存器（GPIO17）位段描述

| 位段    | 位段名         | 属性 | 复位值  | 描述                                                                                                               |
|-------|-------------|----|------|------------------------------------------------------------------------------------------------------------------|
| 31    | RESERVED_31 | RO | 0x0  | 保留                                                                                                               |
| 30:24 | PU          | RW | 0x29 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                    |
| 23    | RESERVED_23 | RO | 0x0  | 保留                                                                                                               |
| 22:16 | PD          | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                    |
| 15    | RESERVED_15 | RO | 0x0  | 保留                                                                                                               |
| 14:8  | ICHEN       | RW | 0x0  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                               |
| 7:6   | STRENGTH    | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                                 |
| 5     | DEGLITCH    | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                                           |
| 4     | LPBK        | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                         |
| 3     | RESERVED_3  | RO | 0x0  | 保留                                                                                                               |
| 2:0   | OCHSEL      | RW | 0x1  | 输出通道以及上拉和下拉控制选择<br>0: GPIO17<br>1: ANA_IN17<br>3: UART2_RXD<br>4: SPI0_MISO<br>5: CAN0_RXD<br>7: ECAP1 APWM 模式输出 |

## 4.4.2.18 GPIO18 引脚控制寄存器（GPIO18）

表 4-41: GPIO18 引脚控制寄存器（GPIO18）位段定义

| GPIO18 (GPIO18 Pin Control Register)                                |    |               |           |               |    |             |    |
|---------------------------------------------------------------------|----|---------------|-----------|---------------|----|-------------|----|
| Access: PINMUX->GPIO18      Offset: 0x0048      Default: 0x29000001 |    |               |           |               |    |             |    |
| 31<br>RESERVED                                                      | 30 | 29            | 28        | 27<br>PU      | 26 | 25          | 24 |
| 23<br>RESERVED                                                      | 22 | 21            | 20        | 19<br>PD      | 18 | 17          | 16 |
| 15<br>RESERVED                                                      | 14 | 13            | 12        | 11<br>ICHEN   | 10 | 9           | 8  |
| 7<br>STRENGTH                                                       | 6  | 5<br>DEGLITCH | 4<br>LPBK | 3<br>RESERVED | 2  | 1<br>OCHSEL | 0  |

表 4-42: GPIO18 引脚控制寄存器（GPIO18）位段描述

| 位段    | 位段名         | 属性 | 复位值  | 描述                                                                                                              |
|-------|-------------|----|------|-----------------------------------------------------------------------------------------------------------------|
| 31    | RESERVED_31 | RO | 0x0  | 保留                                                                                                              |
| 30:24 | PU          | RW | 0x29 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                   |
| 23    | RESERVED_23 | RO | 0x0  | 保留                                                                                                              |
| 22:16 | PD          | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                   |
| 15    | RESERVED_15 | RO | 0x0  | 保留                                                                                                              |
| 14:8  | ICHEN       | RW | 0x0  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                              |
| 7:6   | STRENGTH    | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                                |
| 5     | DEGLITCH    | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                                          |
| 4     | LPBK        | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                        |
| 3     | RESERVED_3  | RO | 0x0  | 保留                                                                                                              |
| 2:0   | OCHSEL      | RW | 0x1  | 输出通道以及上拉和下拉控制选择<br>0: GPIO18<br>1: ANA_IN18<br>3: I2C0_SDA<br>4: SPI0_SFRM<br>5: CAN1_TXD<br>7: ECAP2 APWM 模式输出 |

## 4.4.2.19 GPIO19 引脚控制寄存器（GPIO19）

表 4-43: GPIO19 引脚控制寄存器（GPIO19）位段定义

| GPIO19 (GPIO19 Pin Control Register)                            |               |               |           |               |    |    |             |
|-----------------------------------------------------------------|---------------|---------------|-----------|---------------|----|----|-------------|
| Access: PINMUX->GPIO19    Offset: 0x004C    Default: 0x29000001 |               |               |           |               |    |    |             |
| 31<br>RESERVED                                                  | 30            | 29            | 28        | 27<br>PU      | 26 | 25 | 24          |
| 23<br>RESERVED                                                  | 22            | 21            | 20        | 19<br>PD      | 18 | 17 | 16          |
| 15<br>RESERVED                                                  | 14            | 13            | 12        | 11<br>ICHEN   | 10 | 9  | 8           |
| 7                                                               | 6<br>STRENGTH | 5<br>DEGLITCH | 4<br>LPBK | 3<br>RESERVED | 2  | 1  | 0<br>OCHSEL |

表 4-44: GPIO19 引脚控制寄存器（GPIO19）位段描述

| 位段    | 位段名         | 属性 | 复位值  | 描述                                                                                                              |
|-------|-------------|----|------|-----------------------------------------------------------------------------------------------------------------|
| 31    | RESERVED_31 | RO | 0x0  | 保留                                                                                                              |
| 30:24 | PU          | RW | 0x29 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                   |
| 23    | RESERVED_23 | RO | 0x0  | 保留                                                                                                              |
| 22:16 | PD          | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                   |
| 15    | RESERVED_15 | RO | 0x0  | 保留                                                                                                              |
| 14:8  | ICHEN       | RW | 0x0  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                              |
| 7:6   | STRENGTH    | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                                |
| 5     | DEGLITCH    | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                                          |
| 4     | LPBK        | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                        |
| 3     | RESERVED_3  | RO | 0x0  | 保留                                                                                                              |
| 2:0   | OCHSEL      | RW | 0x1  | 输出通道以及上拉和下拉控制选择<br>0: GPIO19<br>1: ANA_IN19<br>3: I2CO_SCL<br>4: SPI0_SCLK<br>5: CAN1_RXD<br>7: ECAP3 APWM 模式输出 |

#### 4.4.2.20 GPIO20 引脚控制寄存器（GPIO20）

表 4-45: GPIO20 引脚控制寄存器（GPIO20）位段定义

| GPIO20 (GPIO20 Pin Control Register)                                |               |               |           |               |    |             |    |
|---------------------------------------------------------------------|---------------|---------------|-----------|---------------|----|-------------|----|
| Access: PINMUX->GPIO20      Offset: 0x0050      Default: 0x09000001 |               |               |           |               |    |             |    |
| 31<br>RESERVED                                                      | 30            | 29            | 28        | 27<br>PU      | 26 | 25          | 24 |
| 23<br>RESERVED                                                      | 22            | 21            | 20        | 19<br>PD      | 18 | 17          | 16 |
| 15<br>RESERVED                                                      | 14            | 13            | 12        | 11<br>ICHEN   | 10 | 9           | 8  |
| 7                                                                   | 6<br>STRENGTH | 5<br>DEGLITCH | 4<br>LPBK | 3<br>RESERVED | 2  | 1<br>OCHSEL | 0  |

表 4-46: GPIO20 引脚控制寄存器（GPIO20）位段描述

| 位段    | 位段名         | 属性 | 复位值 | 描述                                                                                                              |
|-------|-------------|----|-----|-----------------------------------------------------------------------------------------------------------------|
| 31    | RESERVED_31 | RO | 0x0 | 保留                                                                                                              |
| 30:24 | PU          | RW | 0x9 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                   |
| 23    | RESERVED_23 | RO | 0x0 | 保留                                                                                                              |
| 22:16 | PD          | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                   |
| 15    | RESERVED_15 | RO | 0x0 | 保留                                                                                                              |
| 14:8  | ICHEN       | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                              |
| 7:6   | STRENGTH    | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                                |
| 5     | DEGLITCH    | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                                                                                          |
| 4     | LPBK        | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                        |
| 3     | RESERVED_3  | RO | 0x0 | 保留                                                                                                              |
| 2:0   | OCHSEL      | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO20<br>1: ANA_IN20<br>3: UART3_TXD<br>4: SPI1_MOSI<br>5: EQEP0_A<br>7: ECAP4 APWM 模式输出 |



## 4.4.2.21 GPIO21 引脚控制寄存器（GPIO21）

表 4-47: GPIO21 引脚控制寄存器（GPIO21）位段定义

| GPIO21 (GPIO21 Pin Control Register)                            |    |               |           |               |    |             |    |
|-----------------------------------------------------------------|----|---------------|-----------|---------------|----|-------------|----|
| Access: PINMUX->GPIO21    Offset: 0x0054    Default: 0x09000001 |    |               |           |               |    |             |    |
| 31<br>RESERVED                                                  | 30 | 29            | 28        | 27<br>PU      | 26 | 25          | 24 |
| 23<br>RESERVED                                                  | 22 | 21            | 20        | 19<br>PD      | 18 | 17          | 16 |
| 15<br>RESERVED                                                  | 14 | 13            | 12        | 11<br>ICHEN   | 10 | 9           | 8  |
| 7<br>STRENGTH                                                   | 6  | 5<br>DEGLITCH | 4<br>LPBK | 3<br>RESERVED | 2  | 1<br>OCHSEL | 0  |

表 4-48: GPIO21 引脚控制寄存器（GPIO21）位段描述

| 位段    | 位段名         | 属性 | 复位值 | 描述                                                                                                              |
|-------|-------------|----|-----|-----------------------------------------------------------------------------------------------------------------|
| 31    | RESERVED_31 | RO | 0x0 | 保留                                                                                                              |
| 30:24 | PU          | RW | 0x9 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                   |
| 23    | RESERVED_23 | RO | 0x0 | 保留                                                                                                              |
| 22:16 | PD          | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                   |
| 15    | RESERVED_15 | RO | 0x0 | 保留                                                                                                              |
| 14:8  | ICHEN       | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                              |
| 7:6   | STRENGTH    | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                                |
| 5     | DEGLITCH    | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                                                                                          |
| 4     | LPBK        | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                        |
| 3     | RESERVED_3  | RO | 0x0 | 保留                                                                                                              |
| 2:0   | OCHSEL      | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO21<br>1: ANA_IN21<br>3: UART3_RXD<br>4: SPI1_MISO<br>5: EQEP0_B<br>7: ECAP5 APWM 模式输出 |

#### 4.4.2.22 GPIO22 引脚控制寄存器（GPIO22）

表 4-49: GPIO22 引脚控制寄存器（GPIO22）位段定义

| GPIO22 (GPIO22 Pin Control Register)                                |               |               |           |               |    |             |    |
|---------------------------------------------------------------------|---------------|---------------|-----------|---------------|----|-------------|----|
| Access: PINMUX->GPIO22      Offset: 0x0058      Default: 0x09000001 |               |               |           |               |    |             |    |
| 31<br>RESERVED                                                      | 30            | 29            | 28        | 27<br>PU      | 26 | 25          | 24 |
| 23<br>RESERVED                                                      | 22            | 21            | 20        | 19<br>PD      | 18 | 17          | 16 |
| 15<br>RESERVED                                                      | 14            | 13            | 12        | 11<br>ICHEN   | 10 | 9           | 8  |
| 7                                                                   | 6<br>STRENGTH | 5<br>DEGLITCH | 4<br>LPBK | 3<br>RESERVED | 2  | 1<br>OCHSEL | 0  |

表 4-50: GPIO22 引脚控制寄存器（GPIO22）位段描述

| 位段    | 位段名         | 属性 | 复位值 | 描述                                                                                                             |
|-------|-------------|----|-----|----------------------------------------------------------------------------------------------------------------|
| 31    | RESERVED_31 | RO | 0x0 | 保留                                                                                                             |
| 30:24 | PU          | RW | 0x9 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                  |
| 23    | RESERVED_23 | RO | 0x0 | 保留                                                                                                             |
| 22:16 | PD          | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                  |
| 15    | RESERVED_15 | RO | 0x0 | 保留                                                                                                             |
| 14:8  | ICHEN       | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                             |
| 7:6   | STRENGTH    | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                               |
| 5     | DEGLITCH    | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                                                                                         |
| 4     | LPBK        | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                       |
| 3     | RESERVED_3  | RO | 0x0 | 保留                                                                                                             |
| 2:0   | OCHSEL      | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO22<br>1: ANA_IN22<br>3: I2C1_SDA<br>4: SPI1_SFRM<br>5: EQEP0_Z<br>7: ECAP6 APWM 模式输出 |

## 4.4.2.23 GPIO23 引脚控制寄存器（GPIO23）

表 4-51: GPIO23 引脚控制寄存器（GPIO23）位段定义

| GPIO23 (GPIO23 Pin Control Register)                                |    |               |           |               |    |             |    |
|---------------------------------------------------------------------|----|---------------|-----------|---------------|----|-------------|----|
| Access: PINMUX->GPIO23      Offset: 0x005C      Default: 0x09000001 |    |               |           |               |    |             |    |
| 31<br>RESERVED                                                      | 30 | 29            | 28        | 27<br>PU      | 26 | 25          | 24 |
| 23<br>RESERVED                                                      | 22 | 21            | 20        | 19<br>PD      | 18 | 17          | 16 |
| 15<br>RESERVED                                                      | 14 | 13            | 12        | 11<br>ICHEN   | 10 | 9           | 8  |
| 7<br>STRENGTH                                                       | 6  | 5<br>DEGLITCH | 4<br>LPBK | 3<br>RESERVED | 2  | 1<br>OCHSEL | 0  |

表 4-52: GPIO23 引脚控制寄存器（GPIO23）位段描述

| 位段    | 位段名         | 属性 | 复位值 | 描述                                                                                                             |
|-------|-------------|----|-----|----------------------------------------------------------------------------------------------------------------|
| 31    | RESERVED_31 | RO | 0x0 | 保留                                                                                                             |
| 30:24 | PU          | RW | 0x9 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                  |
| 23    | RESERVED_23 | RO | 0x0 | 保留                                                                                                             |
| 22:16 | PD          | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                  |
| 15    | RESERVED_15 | RO | 0x0 | 保留                                                                                                             |
| 14:8  | ICHEN       | RW | 0x0 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                             |
| 7:6   | STRENGTH    | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                               |
| 5     | DEGLITCH    | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                                                                                         |
| 4     | LPBK        | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                       |
| 3     | RESERVED_3  | RO | 0x0 | 保留                                                                                                             |
| 2:0   | OCHSEL      | RW | 0x1 | 输出通道以及上拉和下拉控制选择<br>0: GPIO23<br>1: ANA_IN23<br>3: I2C1_SCL<br>4: SPI1_SCLK<br>5: EQEP0_S<br>7: ECAP7 APWM 模式输出 |

#### 4.4.2.24 GPIO24 引脚控制寄存器（GPIO24）

表 4-53: GPIO24 引脚控制寄存器（GPIO24）位段定义

| GPIO24 (GPIO24 Pin Control Register)                            |    |          |       |          |        |    |
|-----------------------------------------------------------------|----|----------|-------|----------|--------|----|
| Access: PINMUX->GPIO24    Offset: 0x0060    Default: 0x19000100 |    |          |       |          |        |    |
| 31                                                              | 30 | 29       | 28    | 27       | 26     | 25 |
| RESERVED                                                        |    |          | PU    |          |        |    |
| 23                                                              | 22 | 21       | 20    | 19       | 18     | 17 |
| RESERVED                                                        |    |          | PD    |          |        |    |
| 15                                                              | 14 | 13       | 12    | 11       | 10     | 9  |
| RESERVED                                                        |    |          | ICHEN |          |        |    |
| 7                                                               | 6  | 5        | 4     | 3        | 2      | 1  |
| STRENGTH                                                        |    | DEGLITCH | LPBK  | RESERVED | OCHSEL |    |
|                                                                 |    |          |       |          | 0      |    |

表 4-54: GPIO24 引脚控制寄存器（GPIO24）位段描述

| 位段    | 位段名            | 属性 | 复位值  | 描述                                                                                        |
|-------|----------------|----|------|-------------------------------------------------------------------------------------------|
| 31:29 | RESERVED_31_29 | RO | 0x0  | 保留                                                                                        |
| 28:24 | PU             | RW | 0x19 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                             |
| 23:21 | RESERVED_23_21 | RO | 0x0  | 保留                                                                                        |
| 20:16 | PD             | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                             |
| 15:13 | RESERVED_15_13 | RO | 0x0  | 保留                                                                                        |
| 12:8  | ICHEN          | RW | 0x1  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                        |
| 7:6   | STRENGTH       | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                          |
| 5     | DEGLITCH       | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                    |
| 4     | LPBK           | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                  |
| 3     | RESERVED_3     | RO | 0x0  | 保留                                                                                        |
| 2:0   | OCHSEL         | RW | 0x0  | 输出通道以及上拉和下拉控制选择<br>0: GPIO24<br>1: XIN<br>4: I2C2_SDA<br>5: COMP 输出监测 2<br>6: SYNC 输出监测 0 |

## 4.4.2.25 GPIO25 引脚控制寄存器 (GPIO25)

表 4-55: GPIO25 引脚控制寄存器 (GPIO25) 位段定义

| GPIO25 (GPIO25 Pin Control Register) |    |                |       |                     |        |    |    |    |
|--------------------------------------|----|----------------|-------|---------------------|--------|----|----|----|
| Access: PINMUX->GPIO25               |    | Offset: 0x0064 |       | Default: 0x19000100 |        |    |    |    |
| 31                                   | 30 | 29             | 28    |                     | 27     | 26 | 25 | 24 |
| RESERVED                             |    |                | PU    |                     |        |    |    |    |
| 23                                   | 22 | 21             | 20    |                     | 19     | 18 | 17 | 16 |
| RESERVED                             |    |                | PD    |                     |        |    |    |    |
| 15                                   | 14 | 13             | 12    |                     | 11     | 10 | 9  | 8  |
| RESERVED                             |    |                | ICHEN |                     |        |    |    |    |
| 7                                    | 6  | 5              | 4     | 3                   | 2      | 1  | 0  |    |
| STRENGTH                             |    | DEGLITCH       | LPBK  | RESERVED            | OCHSEL |    |    |    |

表 4-56: GPIO25 引脚控制寄存器 (GPIO25) 位段描述

| 位段    | 位段名            | 属性 | 复位值  | 描述                                                                      |
|-------|----------------|----|------|-------------------------------------------------------------------------|
| 31:29 | RESERVED_31_29 | RO | 0x0  | 保留                                                                      |
| 28:24 | PU             | RW | 0x19 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                           |
| 23:21 | RESERVED_23_21 | RO | 0x0  | 保留                                                                      |
| 20:16 | PD             | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                           |
| 15:13 | RESERVED_15_13 | RO | 0x0  | 保留                                                                      |
| 12:8  | ICHEN          | RW | 0x1  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                      |
| 7:6   | STRENGTH       | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                        |
| 5     | DEGLITCH       | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                  |
| 4     | LPBK           | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                |
| 3     | RESERVED_3     | RO | 0x0  | 保留                                                                      |
| 2:0   | OCHSEL         | RW | 0x0  | 输出通道以及上拉和下拉控制选择<br>0: GPIO25<br>1: XIO<br>4: I2C2_SCL<br>6: SYNC 输出监测 1 |

#### 4.4.2.26 GPIO36 引脚控制寄存器（GPIO36）

表 4-57: GPIO36 引脚控制寄存器（GPIO36）位段定义

| GPIO36 (GPIO36 Pin Control Register) |    |          |                |          |       |                     |    |  |
|--------------------------------------|----|----------|----------------|----------|-------|---------------------|----|--|
| Access: PINMUX->GPIO36               |    |          | Offset: 0x0090 |          |       | Default: 0x00000100 |    |  |
| 31                                   | 30 | 29       | 28             | 27       | 26    | 25                  | 24 |  |
| RESERVED                             |    |          |                |          | PU    |                     |    |  |
| 23                                   | 22 | 21       | 20             | 19       | 18    | 17                  | 16 |  |
| RESERVED                             |    |          |                |          | PD    |                     |    |  |
| 15                                   | 14 | 13       | 12             | 11       | 10    | 9                   | 8  |  |
| RESERVED                             |    |          |                |          | ICHEN |                     |    |  |
| 7                                    | 6  | 5        | 4              | 3        | 2     | 1                   | 0  |  |
| STRENGTH                             |    | DEGLITCH | LPBK           | RESERVED |       | OCHSEL              |    |  |

表 4-58: GPIO36 引脚控制寄存器（GPIO36）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                               |
| 26:24 | PU             | RW | 0x0 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                    |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                               |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                    |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                               |
| 10:8  | ICHEN          | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入               |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                           |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入         |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                               |
| 1:0   | OCHSEL         | RW | 0x0 | 输出通道以及上拉和下拉控制选择<br>0: GPIO36<br>1: PWM0A         |



## 4.4.2.27 GPIO37 引脚控制寄存器（GPIO37）

表 4-59: GPIO37 引脚控制寄存器（GPIO37）位段定义

| GPIO37 (GPIO37 Pin Control Register) |    |          |      |                |       |                     |    |
|--------------------------------------|----|----------|------|----------------|-------|---------------------|----|
| Access: PINMUX->GPIO37               |    |          |      | Offset: 0x0094 |       | Default: 0x00000100 |    |
| 31                                   | 30 | 29       | 28   | 27             | 26    | 25                  | 24 |
| RESERVED                             |    |          |      | PU             |       |                     |    |
| 23                                   | 22 | 21       | 20   | 19             | 18    | 17                  | 16 |
| RESERVED                             |    |          |      | PD             |       |                     |    |
| 15                                   | 14 | 13       | 12   | 11             | 10    | 9                   | 8  |
| RESERVED                             |    |          |      |                | ICHEN |                     |    |
| 7                                    | 6  | 5        | 4    | 3              | 2     | 1                   | 0  |
| STRENGTH                             |    | DEGLITCH | LPBK | RESERVED       |       | OCHSEL              |    |

表 4-60: GPIO37 引脚控制寄存器（GPIO37）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                   |
|-------|----------------|----|-----|------------------------------------------------------|
| 31:28 | RESERVED_31_28 | RO | 0x0 | 保留                                                   |
| 27:24 | PU             | RW | 0x0 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                        |
| 23:20 | RESERVED_23_20 | RO | 0x0 | 保留                                                   |
| 19:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                        |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                   |
| 10:8  | ICHEN          | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                   |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA     |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                               |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入             |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                   |
| 1:0   | OCHSEL         | RW | 0x0 | 输出通道以及上拉和下拉控制选择<br>0: GPIO37<br>1: PWM0B<br>3: PWM1A |

#### 4.4.2.28 GPIO38 引脚控制寄存器（GPIO38）

表 4-61: GPIO38 引脚控制寄存器（GPIO38）位段定义

| GPIO38 (GPIO38 Pin Control Register) |    |          |      |                |       |                     |    |
|--------------------------------------|----|----------|------|----------------|-------|---------------------|----|
| Access: PINMUX->GPIO38               |    |          |      | Offset: 0x0098 |       | Default: 0x00000100 |    |
| 31                                   | 30 | 29       | 28   | 27             | 26    | 25                  | 24 |
| RESERVED                             |    |          |      | PU             |       |                     |    |
| 23                                   | 22 | 21       | 20   | 19             | 18    | 17                  | 16 |
| RESERVED                             |    |          |      | PD             |       |                     |    |
| 15                                   | 14 | 13       | 12   | 11             | 10    | 9                   | 8  |
| RESERVED                             |    |          |      |                | ICHEN |                     |    |
| 7                                    | 6  | 5        | 4    | 3              | 2     | 1                   | 0  |
| STRENGTH                             |    | DEGLITCH | LPBK | RESERVED       |       | OCHSEL              |    |

表 4-62: GPIO38 引脚控制寄存器（GPIO38）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                   |
|-------|----------------|----|-----|------------------------------------------------------|
| 31:28 | RESERVED_31_28 | RO | 0x0 | 保留                                                   |
| 27:24 | PU             | RW | 0x0 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                        |
| 23:20 | RESERVED_23_20 | RO | 0x0 | 保留                                                   |
| 19:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                        |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                   |
| 10:8  | ICHEN          | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                   |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA     |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                               |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入             |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                   |
| 1:0   | OCHSEL         | RW | 0x0 | 输出通道以及上拉和下拉控制选择<br>0: GPIO38<br>1: PWM1A<br>3: PWM2A |

## 4.4.2.29 GPIO39 引脚控制寄存器 (GPIO39)

表 4-63: GPIO39 引脚控制寄存器 (GPIO39) 位段定义

| GPIO39 (GPIO39 Pin Control Register) |    |          |      |                |       |                     |    |
|--------------------------------------|----|----------|------|----------------|-------|---------------------|----|
| Access: PINMUX->GPIO39               |    |          |      | Offset: 0x009C |       | Default: 0x00000100 |    |
| 31                                   | 30 | 29       | 28   | 27             | 26    | 25                  | 24 |
| RESERVED                             |    |          |      | PU             |       |                     |    |
| 23                                   | 22 | 21       | 20   | 19             | 18    | 17                  | 16 |
| RESERVED                             |    |          |      | PD             |       |                     |    |
| 15                                   | 14 | 13       | 12   | 11             | 10    | 9                   | 8  |
| RESERVED                             |    |          |      |                | ICHEN |                     |    |
| 7                                    | 6  | 5        | 4    | 3              | 2     | 1                   | 0  |
| STRENGTH                             |    | DEGLITCH | LPBK | RESERVED       |       | OCHSEL              |    |

表 4-64: GPIO39 引脚控制寄存器 (GPIO39) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                   |
|-------|----------------|----|-----|------------------------------------------------------|
| 31:28 | RESERVED_31_28 | RO | 0x0 | 保留                                                   |
| 27:24 | PU             | RW | 0x0 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                        |
| 23:20 | RESERVED_23_20 | RO | 0x0 | 保留                                                   |
| 19:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                        |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                   |
| 10:8  | ICHEN          | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                   |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA     |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                               |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入             |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                   |
| 1:0   | OCHSEL         | RW | 0x0 | 输出通道以及上拉和下拉控制选择<br>0: GPIO39<br>1: PWM1B<br>3: PWM0B |

#### 4.4.2.30 GPIO40 引脚控制寄存器（GPIO40）

表 4-65: GPIO40 引脚控制寄存器（GPIO40）位段定义

| GPIO40 (GPIO40 Pin Control Register) |    |          |      |                |       |                     |    |
|--------------------------------------|----|----------|------|----------------|-------|---------------------|----|
| Access: PINMUX->GPIO40               |    |          |      | Offset: 0x00A0 |       | Default: 0x00000100 |    |
| 31                                   | 30 | 29       | 28   | 27             | 26    | 25                  | 24 |
| RESERVED                             |    |          |      | PU             |       |                     |    |
| 23                                   | 22 | 21       | 20   | 19             | 18    | 17                  | 16 |
| RESERVED                             |    |          |      | PD             |       |                     |    |
| 15                                   | 14 | 13       | 12   | 11             | 10    | 9                   | 8  |
| RESERVED                             |    |          |      |                | ICHEN |                     |    |
| 7                                    | 6  | 5        | 4    | 3              | 2     | 1                   | 0  |
| STRENGTH                             |    | DEGLITCH | LPBK | RESERVED       |       | OCHSEL              |    |

表 4-66: GPIO40 引脚控制寄存器（GPIO40）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                   |
|-------|----------------|----|-----|------------------------------------------------------|
| 31:28 | RESERVED_31_28 | RO | 0x0 | 保留                                                   |
| 27:24 | PU             | RW | 0x0 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                        |
| 23:20 | RESERVED_23_20 | RO | 0x0 | 保留                                                   |
| 19:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                        |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                   |
| 10:8  | ICHEN          | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                   |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA     |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                               |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入             |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                   |
| 1:0   | OCHSEL         | RW | 0x0 | 输出通道以及上拉和下拉控制选择<br>0: GPIO40<br>1: PWM2A<br>3: PWM1B |

## 4.4.2.31 GPIO41 引脚控制寄存器（GPIO41）

表 4-67: GPIO41 引脚控制寄存器（GPIO41）位段定义

| GPIO41 (GPIO41 Pin Control Register) |    |          |                |          |       |                     |    |  |
|--------------------------------------|----|----------|----------------|----------|-------|---------------------|----|--|
| Access: PINMUX->GPIO41               |    |          | Offset: 0x00A4 |          |       | Default: 0x00000100 |    |  |
| 31                                   | 30 | 29       | 28             | 27       | 26    | 25                  | 24 |  |
| RESERVED                             |    |          |                |          | PU    |                     |    |  |
| 23                                   | 22 | 21       | 20             | 19       | 18    | 17                  | 16 |  |
| RESERVED                             |    |          |                |          | PD    |                     |    |  |
| 15                                   | 14 | 13       | 12             | 11       | 10    | 9                   | 8  |  |
| RESERVED                             |    |          |                |          | ICHEN |                     |    |  |
| 7                                    | 6  | 5        | 4              | 3        | 2     | 1                   | 0  |  |
| STRENGTH                             |    | DEGLITCH | LPBK           | RESERVED |       | OCHSEL              |    |  |

表 4-68: GPIO41 引脚控制寄存器（GPIO41）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                               |
| 26:24 | PU             | RW | 0x0 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                    |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                               |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                    |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                               |
| 10:8  | ICHEN          | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入               |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                           |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入         |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                               |
| 1:0   | OCHSEL         | RW | 0x0 | 输出通道以及上拉和下拉控制选择<br>0: GPIO41<br>1: PWM2B         |

#### 4.4.2.32 GPIO46 引脚控制寄存器（GPIO46）

表 4-69: GPIO46 引脚控制寄存器（GPIO46）位段定义

| GPIO46 (GPIO46 Pin Control Register) |    |          |                |          |       |                     |    |  |
|--------------------------------------|----|----------|----------------|----------|-------|---------------------|----|--|
| Access: PINMUX->GPIO46               |    |          | Offset: 0x00B8 |          |       | Default: 0x00000100 |    |  |
| 31                                   | 30 | 29       | 28             | 27       | 26    | 25                  | 24 |  |
| RESERVED                             |    |          |                |          | PU    |                     |    |  |
| 23                                   | 22 | 21       | 20             | 19       | 18    | 17                  | 16 |  |
| RESERVED                             |    |          |                |          | PD    |                     |    |  |
| 15                                   | 14 | 13       | 12             | 11       | 10    | 9                   | 8  |  |
| RESERVED                             |    |          |                |          | ICHEN |                     |    |  |
| 7                                    | 6  | 5        | 4              | 3        | 2     | 1                   | 0  |  |
| STRENGTH                             |    | DEGLITCH | LPBK           | RESERVED |       | OCHSEL              |    |  |

表 4-70: GPIO46 引脚控制寄存器（GPIO46）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                               |
| 26:24 | PU             | RW | 0x0 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                    |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                               |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                    |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                               |
| 10:8  | ICHEN          | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入               |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                           |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入         |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                               |
| 1:0   | OCHSEL         | RW | 0x0 | 输出通道以及上拉和下拉控制选择<br>0: GPIO46<br>1: PWM3A         |



## 4.4.2.33 GPIO47 引脚控制寄存器（GPIO47）

表 4-71: GPIO47 引脚控制寄存器（GPIO47）位段定义

| GPIO47 (GPIO47 Pin Control Register) |    |          |      |                |       |                     |    |
|--------------------------------------|----|----------|------|----------------|-------|---------------------|----|
| Access: PINMUX->GPIO47               |    |          |      | Offset: 0x00BC |       | Default: 0x00000100 |    |
| 31                                   | 30 | 29       | 28   | 27             | 26    | 25                  | 24 |
| RESERVED                             |    |          |      | PU             |       |                     |    |
| 23                                   | 22 | 21       | 20   | 19             | 18    | 17                  | 16 |
| RESERVED                             |    |          |      | PD             |       |                     |    |
| 15                                   | 14 | 13       | 12   | 11             | 10    | 9                   | 8  |
| RESERVED                             |    |          |      |                | ICHEN |                     |    |
| 7                                    | 6  | 5        | 4    | 3              | 2     | 1                   | 0  |
| STRENGTH                             |    | DEGLITCH | LPBK | RESERVED       |       | OCHSEL              |    |

表 4-72: GPIO47 引脚控制寄存器（GPIO47）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                   |
|-------|----------------|----|-----|------------------------------------------------------|
| 31:28 | RESERVED_31_28 | RO | 0x0 | 保留                                                   |
| 27:24 | PU             | RW | 0x0 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                        |
| 23:20 | RESERVED_23_20 | RO | 0x0 | 保留                                                   |
| 19:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                        |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                   |
| 10:8  | ICHEN          | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                   |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA     |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                               |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入             |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                   |
| 1:0   | OCHSEL         | RW | 0x0 | 输出通道以及上拉和下拉控制选择<br>0: GPIO47<br>1: PWM3B<br>3: PWM4A |

#### 4.4.2.34 GPIO48 引脚控制寄存器（GPIO48）

表 4-73: GPIO48 引脚控制寄存器（GPIO48）位段定义

| GPIO48 (GPIO48 Pin Control Register) |    |          |      |                |       |                     |    |
|--------------------------------------|----|----------|------|----------------|-------|---------------------|----|
| Access: PINMUX->GPIO48               |    |          |      | Offset: 0x00C0 |       | Default: 0x00000100 |    |
| 31                                   | 30 | 29       | 28   | 27             | 26    | 25                  | 24 |
| RESERVED                             |    |          |      | PU             |       |                     |    |
| 23                                   | 22 | 21       | 20   | 19             | 18    | 17                  | 16 |
| RESERVED                             |    |          |      | PD             |       |                     |    |
| 15                                   | 14 | 13       | 12   | 11             | 10    | 9                   | 8  |
| RESERVED                             |    |          |      |                | ICHEN |                     |    |
| 7                                    | 6  | 5        | 4    | 3              | 2     | 1                   | 0  |
| STRENGTH                             |    | DEGLITCH | LPBK | RESERVED       |       | OCHSEL              |    |

表 4-74: GPIO48 引脚控制寄存器（GPIO48）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                   |
|-------|----------------|----|-----|------------------------------------------------------|
| 31:28 | RESERVED_31_28 | RO | 0x0 | 保留                                                   |
| 27:24 | PU             | RW | 0x0 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                        |
| 23:20 | RESERVED_23_20 | RO | 0x0 | 保留                                                   |
| 19:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                        |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                   |
| 10:8  | ICHEN          | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                   |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA     |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                               |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入             |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                   |
| 1:0   | OCHSEL         | RW | 0x0 | 输出通道以及上拉和下拉控制选择<br>0: GPIO48<br>1: PWM4A<br>3: PWM5A |

## 4.4.2.35 GPIO49 引脚控制寄存器 (GPIO49)

表 4-75: GPIO49 引脚控制寄存器 (GPIO49) 位段定义

| GPIO49 (GPIO49 Pin Control Register) |    |          |      |                |       |                     |    |
|--------------------------------------|----|----------|------|----------------|-------|---------------------|----|
| Access: PINMUX->GPIO49               |    |          |      | Offset: 0x00C4 |       | Default: 0x00000100 |    |
| 31                                   | 30 | 29       | 28   | 27             | 26    | 25                  | 24 |
| RESERVED                             |    |          |      | PU             |       |                     |    |
| 23                                   | 22 | 21       | 20   | 19             | 18    | 17                  | 16 |
| RESERVED                             |    |          |      | PD             |       |                     |    |
| 15                                   | 14 | 13       | 12   | 11             | 10    | 9                   | 8  |
| RESERVED                             |    |          |      |                | ICHEN |                     |    |
| 7                                    | 6  | 5        | 4    | 3              | 2     | 1                   | 0  |
| STRENGTH                             |    | DEGLITCH | LPBK | RESERVED       |       | OCHSEL              |    |

表 4-76: GPIO49 引脚控制寄存器 (GPIO49) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                   |
|-------|----------------|----|-----|------------------------------------------------------|
| 31:28 | RESERVED_31_28 | RO | 0x0 | 保留                                                   |
| 27:24 | PU             | RW | 0x0 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                        |
| 23:20 | RESERVED_23_20 | RO | 0x0 | 保留                                                   |
| 19:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                        |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                   |
| 10:8  | ICHEN          | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                   |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA     |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                               |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入             |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                   |
| 1:0   | OCHSEL         | RW | 0x0 | 输出通道以及上拉和下拉控制选择<br>0: GPIO49<br>1: PWM4B<br>3: PWM3B |

#### 4.4.2.36 GPIO50 引脚控制寄存器（GPIO50）

表 4-77: GPIO50 引脚控制寄存器（GPIO50）位段定义

| GPIO50 (GPIO50 Pin Control Register) |    |          |      |                |       |                     |    |
|--------------------------------------|----|----------|------|----------------|-------|---------------------|----|
| Access: PINMUX->GPIO50               |    |          |      | Offset: 0x00C8 |       | Default: 0x00000100 |    |
| 31                                   | 30 | 29       | 28   | 27             | 26    | 25                  | 24 |
| RESERVED                             |    |          |      | PU             |       |                     |    |
| 23                                   | 22 | 21       | 20   | 19             | 18    | 17                  | 16 |
| RESERVED                             |    |          |      | PD             |       |                     |    |
| 15                                   | 14 | 13       | 12   | 11             | 10    | 9                   | 8  |
| RESERVED                             |    |          |      |                | ICHEN |                     |    |
| 7                                    | 6  | 5        | 4    | 3              | 2     | 1                   | 0  |
| STRENGTH                             |    | DEGLITCH | LPBK | RESERVED       |       | OCHSEL              |    |

表 4-78: GPIO50 引脚控制寄存器（GPIO50）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                   |
|-------|----------------|----|-----|------------------------------------------------------|
| 31:28 | RESERVED_31_28 | RO | 0x0 | 保留                                                   |
| 27:24 | PU             | RW | 0x0 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                        |
| 23:20 | RESERVED_23_20 | RO | 0x0 | 保留                                                   |
| 19:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                        |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                   |
| 10:8  | ICHEN          | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                   |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA     |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                               |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入             |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                   |
| 1:0   | OCHSEL         | RW | 0x0 | 输出通道以及上拉和下拉控制选择<br>0: GPIO50<br>1: PWM5A<br>3: PWM4B |

## 4.4.2.37 GPIO51 引脚控制寄存器（GPIO51）

表 4-79: GPIO51 引脚控制寄存器（GPIO51）位段定义

| GPIO51 (GPIO51 Pin Control Register) |    |          |                |          |       |                     |    |  |
|--------------------------------------|----|----------|----------------|----------|-------|---------------------|----|--|
| Access: PINMUX->GPIO51               |    |          | Offset: 0x00CC |          |       | Default: 0x00000100 |    |  |
| 31                                   | 30 | 29       | 28             | 27       | 26    | 25                  | 24 |  |
| RESERVED                             |    |          |                |          | PU    |                     |    |  |
| 23                                   | 22 | 21       | 20             | 19       | 18    | 17                  | 16 |  |
| RESERVED                             |    |          |                |          | PD    |                     |    |  |
| 15                                   | 14 | 13       | 12             | 11       | 10    | 9                   | 8  |  |
| RESERVED                             |    |          |                |          | ICHEN |                     |    |  |
| 7                                    | 6  | 5        | 4              | 3        | 2     | 1                   | 0  |  |
| STRENGTH                             |    | DEGLITCH | LPBK           | RESERVED |       | OCHSEL              |    |  |

表 4-80: GPIO51 引脚控制寄存器（GPIO51）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                               |
| 26:24 | PU             | RW | 0x0 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                    |
| 23:19 | RESERVED_23_19 | RO | 0x0 | 保留                                               |
| 18:16 | PD             | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                    |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                               |
| 10:8  | ICHEN          | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入               |
| 7:6   | STRENGTH       | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA |
| 5     | DEGLITCH       | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                           |
| 4     | LPBK           | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入         |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                               |
| 1:0   | OCHSEL         | RW | 0x0 | 输出通道以及上拉和下拉控制选择<br>0: GPIO51<br>1: PWM5B         |

#### 4.4.2.38 GPIO56 引脚控制寄存器（GPIO56）

表 4-81: GPIO56 引脚控制寄存器（GPIO56）位段定义

| GPIO56 (GPIO56 Pin Control Register) |    |                |      |                     |        |    |    |
|--------------------------------------|----|----------------|------|---------------------|--------|----|----|
| Access: PINMUX->GPIO56               |    | Offset: 0x00E0 |      | Default: 0x60000100 |        |    |    |
| 31                                   | 30 | 29             | 28   | 27                  | 26     | 25 | 24 |
| PU                                   |    |                |      |                     |        |    |    |
| 23                                   | 22 | 21             | 20   | 19                  | 18     | 17 | 16 |
| PD                                   |    |                |      |                     |        |    |    |
| 15                                   | 14 | 13             | 12   | 11                  | 10     | 9  | 8  |
| ICHEN                                |    |                |      |                     |        |    |    |
| 7                                    | 6  | 5              | 4    | 3                   | 2      | 1  | 0  |
| STRENGTH                             |    | DEGLITCH       | LPBK | RESERVED            | OCHSEL |    |    |

表 4-82: GPIO56 引脚控制寄存器（GPIO56）位段描述

| 位段    | 位段名        | 属性 | 复位值  | 描述                                                                                                   |
|-------|------------|----|------|------------------------------------------------------------------------------------------------------|
| 31:24 | PU         | RW | 0x60 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                        |
| 23:16 | PD         | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                        |
| 15:8  | ICHEN      | RW | 0x1  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                   |
| 7:6   | STRENGTH   | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                     |
| 5     | DEGLITCH   | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                               |
| 4     | LPBK       | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                             |
| 3     | RESERVED_3 | RO | 0x0  | 保留                                                                                                   |
| 2:0   | OCHSEL     | RW | 0x0  | 输出通道以及上拉和下拉控制选择<br>0: GPIO56<br>1: PWM6A<br>4: SPI2_MOSI<br>5: I2CO_SDA<br>6: CAN0_TXD<br>7: EQEP1_A |

## 4.4.2.39 GPIO57 引脚控制寄存器（GPIO57）

表 4-83: GPIO57 引脚控制寄存器（GPIO57）位段定义

| GPIO57 (GPIO57 Pin Control Register)                            |    |          |      |          |        |    |    |
|-----------------------------------------------------------------|----|----------|------|----------|--------|----|----|
| Access: PINMUX->GPIO57    Offset: 0x00E4    Default: 0x60000100 |    |          |      |          |        |    |    |
| 31                                                              | 30 | 29       | 28   | 27       | 26     | 25 | 24 |
| PU                                                              |    |          |      |          |        |    |    |
| 23                                                              | 22 | 21       | 20   | 19       | 18     | 17 | 16 |
| PD                                                              |    |          |      |          |        |    |    |
| 15                                                              | 14 | 13       | 12   | 11       | 10     | 9  | 8  |
| ICHEN                                                           |    |          |      |          |        |    |    |
| 7                                                               | 6  | 5        | 4    | 3        | 2      | 1  | 0  |
| STRENGTH                                                        |    | DEGLITCH | LPBK | RESERVED | OCHSEL |    |    |

表 4-84: GPIO57 引脚控制寄存器（GPIO57）位段描述

| 位段    | 位段名        | 属性 | 复位值  | 描述                                                                                                               |
|-------|------------|----|------|------------------------------------------------------------------------------------------------------------------|
| 31:24 | PU         | RW | 0x60 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                    |
| 23:16 | PD         | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                    |
| 15:8  | ICHEN      | RW | 0x1  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                               |
| 7:6   | STRENGTH   | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                                 |
| 5     | DEGLITCH   | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                                           |
| 4     | LPBK       | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                         |
| 3     | RESERVED_3 | RO | 0x0  | 保留                                                                                                               |
| 2:0   | OCHSEL     | RW | 0x0  | 输出通道以及上拉和下拉控制选择<br>0: GPIO57<br>1: PWM6B<br>3: PWM7A<br>4: SPI2_MISO<br>5: I2C0_SCL<br>6: CAN0_RXD<br>7: EQEP1_B |



## 4.4.2.40 GPIO58 引脚控制寄存器 (GPIO58)

表 4-85: GPIO58 引脚控制寄存器 (GPIO58) 位段定义

| GPIO58 (GPIO58 Pin Control Register) |    |                |      |                     |        |    |    |
|--------------------------------------|----|----------------|------|---------------------|--------|----|----|
| Access: PINMUX->GPIO58               |    | Offset: 0x00E8 |      | Default: 0x60000100 |        |    |    |
| 31                                   | 30 | 29             | 28   | 27                  | 26     | 25 | 24 |
| PU                                   |    |                |      |                     |        |    |    |
| 23                                   | 22 | 21             | 20   | 19                  | 18     | 17 | 16 |
| PD                                   |    |                |      |                     |        |    |    |
| 15                                   | 14 | 13             | 12   | 11                  | 10     | 9  | 8  |
| ICHEN                                |    |                |      |                     |        |    |    |
| 7                                    | 6  | 5              | 4    | 3                   | 2      | 1  | 0  |
| STRENGTH                             |    | DEGLITCH       | LPBK | RESERVED            | OCHSEL |    |    |

表 4-86: GPIO58 引脚控制寄存器 (GPIO58) 位段描述

| 位段    | 位段名        | 属性 | 复位值  | 描述                                                                                                   |
|-------|------------|----|------|------------------------------------------------------------------------------------------------------|
| 31:24 | PU         | RW | 0x60 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                        |
| 23:16 | PD         | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                        |
| 15:8  | ICHEN      | RW | 0x1  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                   |
| 7:6   | STRENGTH   | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                     |
| 5     | DEGLITCH   | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                               |
| 4     | LPBK       | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                             |
| 3     | RESERVED_3 | RO | 0x0  | 保留                                                                                                   |
| 2:0   | OCHSEL     | RW | 0x0  | 输出通道以及上拉和下拉控制选择<br>0: GPIO58<br>1: PWM7A<br>4: SPI2_SFRM<br>5: I2C1_SDA<br>6: CAN1_TXD<br>7: EQEP1_Z |

## 4.4.2.41 GPIO59 引脚控制寄存器 (GPIO59)

表 4-87: GPIO59 引脚控制寄存器 (GPIO59) 位段定义

| GPIO59 (GPIO59 Pin Control Register) |    |                |      |                     |        |    |    |
|--------------------------------------|----|----------------|------|---------------------|--------|----|----|
| Access: PINMUX->GPIO59               |    | Offset: 0x00EC |      | Default: 0x60000100 |        |    |    |
| 31                                   | 30 | 29             | 28   | 27                  | 26     | 25 | 24 |
| PU                                   |    |                |      |                     |        |    |    |
| 23                                   | 22 | 21             | 20   | 19                  | 18     | 17 | 16 |
| PD                                   |    |                |      |                     |        |    |    |
| 15                                   | 14 | 13             | 12   | 11                  | 10     | 9  | 8  |
| ICHEN                                |    |                |      |                     |        |    |    |
| 7                                    | 6  | 5              | 4    | 3                   | 2      | 1  | 0  |
| STRENGTH                             |    | DEGLITCH       | LPBK | RESERVED            | OCHSEL |    |    |

表 4-88: GPIO59 引脚控制寄存器 (GPIO59) 位段描述

| 位段    | 位段名        | 属性 | 复位值  | 描述                                                                                                               |
|-------|------------|----|------|------------------------------------------------------------------------------------------------------------------|
| 31:24 | PU         | RW | 0x60 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                    |
| 23:16 | PD         | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                    |
| 15:8  | ICHEN      | RW | 0x1  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                               |
| 7:6   | STRENGTH   | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                                 |
| 5     | DEGLITCH   | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                                           |
| 4     | LPBK       | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                         |
| 3     | RESERVED_3 | RO | 0x0  | 保留                                                                                                               |
| 2:0   | OCHSEL     | RW | 0x0  | 输出通道以及上拉和下拉控制选择<br>0: GPIO59<br>1: PWM7B<br>3: PWM6B<br>4: SPI2_SCLK<br>5: I2C1_SCL<br>6: CAN1_RXD<br>7: EQEP1_S |

#### 4.4.2.42 GPIO62 引脚控制寄存器（GPIO62）

表 4-89: GPIO62 引脚控制寄存器（GPIO62）位段定义

|                                                                 |    |          |      |          |        |    |    |
|-----------------------------------------------------------------|----|----------|------|----------|--------|----|----|
| GPIO62 (GPIO62 Pin Control Register)                            |    |          |      |          |        |    |    |
| Access: PINMUX->GPIO62    Offset: 0x00F8    Default: 0x4B000100 |    |          |      |          |        |    |    |
| 31                                                              | 30 | 29       | 28   | 27       | 26     | 25 | 24 |
| PU                                                              |    |          |      |          |        |    |    |
| 23                                                              | 22 | 21       | 20   | 19       | 18     | 17 | 16 |
| PD                                                              |    |          |      |          |        |    |    |
| 15                                                              | 14 | 13       | 12   | 11       | 10     | 9  | 8  |
| ICHEN                                                           |    |          |      |          |        |    |    |
| 7                                                               | 6  | 5        | 4    | 3        | 2      | 1  | 0  |
| STRENGTH                                                        |    | DEGLITCH | LPBK | RESERVED | OCHSEL |    |    |

表 4-90: GPIO62 引脚控制寄存器（GPIO62）位段描述

| 位段    | 位段名        | 属性 | 复位值  | 描述                                                                                           |
|-------|------------|----|------|----------------------------------------------------------------------------------------------|
| 31:24 | PU         | RW | 0x4B | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                |
| 23:16 | PD         | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                |
| 15:8  | ICHEN      | RW | 0x1  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                           |
| 7:6   | STRENGTH   | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                             |
| 5     | DEGLITCH   | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                       |
| 4     | LPBK       | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                     |
| 3     | RESERVED_3 | RO | 0x0  | 保留                                                                                           |
| 2:0   | OCHSEL     | RW | 0x0  | 输出通道以及上拉和下拉控制选择<br>0: GPIO62<br>1: UART0_TXD<br>3: CAN0_TXD<br>4: SYNC 输出监测 2<br>6: I2CO_SDA |

## 4.4.2.43 GPIO63 引脚控制寄存器（GPIO63）

表 4-91: GPIO63 引脚控制寄存器（GPIO63）位段定义

| GPIO63 (GPIO63 Pin Control Register) |    |                |      |                     |        |    |    |
|--------------------------------------|----|----------------|------|---------------------|--------|----|----|
| Access: PINMUX->GPIO63               |    | Offset: 0x00FC |      | Default: 0x4B000100 |        |    |    |
| 31                                   | 30 | 29             | 28   | 27                  | 26     | 25 | 24 |
| PU                                   |    |                |      |                     |        |    |    |
| 23                                   | 22 | 21             | 20   | 19                  | 18     | 17 | 16 |
| PD                                   |    |                |      |                     |        |    |    |
| 15                                   | 14 | 13             | 12   | 11                  | 10     | 9  | 8  |
| ICHEN                                |    |                |      |                     |        |    |    |
| 7                                    | 6  | 5              | 4    | 3                   | 2      | 1  | 0  |
| STRENGTH                             |    | DEGLITCH       | LPBK | RESERVED            | OCHSEL |    |    |

表 4-92: GPIO63 引脚控制寄存器（GPIO63）位段描述

| 位段    | 位段名        | 属性 | 复位值  | 描述                                                                                           |
|-------|------------|----|------|----------------------------------------------------------------------------------------------|
| 31:24 | PU         | RW | 0x4B | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                |
| 23:16 | PD         | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                |
| 15:8  | ICHEN      | RW | 0x1  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                           |
| 7:6   | STRENGTH   | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                             |
| 5     | DEGLITCH   | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                       |
| 4     | LPBK       | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                     |
| 3     | RESERVED_3 | RO | 0x0  | 保留                                                                                           |
| 2:0   | OCHSEL     | RW | 0x0  | 输出通道以及上拉和下拉控制选择<br>0: GPIO63<br>1: UART0_RXD<br>3: CAN0_RXD<br>4: SYNC 输出监测 3<br>6: I2CO_SCL |

## 4.4.2.44 GPIO77 引脚控制寄存器 (GPIO77)

表 4-93: GPIO77 引脚控制寄存器 (GPIO77) 位段定义

| GPIO77 (GPIO77 Pin Control Register)                            |    |          |      |          |        |    |    |
|-----------------------------------------------------------------|----|----------|------|----------|--------|----|----|
| Access: PINMUX->GPIO77    Offset: 0x0134    Default: 0xEB000100 |    |          |      |          |        |    |    |
| 31                                                              | 30 | 29       | 28   | 27       | 26     | 25 | 24 |
| PU                                                              |    |          |      |          |        |    |    |
| 23                                                              | 22 | 21       | 20   | 19       | 18     | 17 | 16 |
| PD                                                              |    |          |      |          |        |    |    |
| 15                                                              | 14 | 13       | 12   | 11       | 10     | 9  | 8  |
| ICHEN                                                           |    |          |      |          |        |    |    |
| 7                                                               | 6  | 5        | 4    | 3        | 2      | 1  | 0  |
| STRENGTH                                                        |    | DEGLITCH | LPBK | RESERVED | OCHSEL |    |    |

表 4-94: GPIO77 引脚控制寄存器 (GPIO77) 位段描述

| 位段    | 位段名        | 属性 | 复位值  | 描述                                                                                                          |
|-------|------------|----|------|-------------------------------------------------------------------------------------------------------------|
| 31:24 | PU         | RW | 0xEB | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                               |
| 23:16 | PD         | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                               |
| 15:8  | ICHEN      | RW | 0x1  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                          |
| 7:6   | STRENGTH   | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                            |
| 5     | DEGLITCH   | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                                      |
| 4     | LPBK       | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                    |
| 3     | RESERVED_3 | RO | 0x0  | 保留                                                                                                          |
| 2:0   | OCHSEL     | RW | 0x0  | 输出通道以及上拉和下拉控制选择<br>0: GPIO77<br>1: UART1_RXD<br>3: CAN0_RXD<br>4: SYNC 输出监测 5<br>5: CAN1_RXD<br>6: I2C1_SCL |

## 4.4.2.45 GPIO78 引脚控制寄存器（GPIO78）

表 4-95: GPIO78 引脚控制寄存器（GPIO78）位段定义

| GPIO78 (GPIO78 Pin Control Register) |    |                |      |                     |        |    |    |
|--------------------------------------|----|----------------|------|---------------------|--------|----|----|
| Access: PINMUX->GPIO78               |    | Offset: 0x0138 |      | Default: 0x6B000100 |        |    |    |
| 31                                   | 30 | 29             | 28   | 27                  | 26     | 25 | 24 |
| PU                                   |    |                |      |                     |        |    |    |
| 23                                   | 22 | 21             | 20   | 19                  | 18     | 17 | 16 |
| PD                                   |    |                |      |                     |        |    |    |
| 15                                   | 14 | 13             | 12   | 11                  | 10     | 9  | 8  |
| ICHEN                                |    |                |      |                     |        |    |    |
| 7                                    | 6  | 5              | 4    | 3                   | 2      | 1  | 0  |
| STRENGTH                             |    | DEGLITCH       | LPBK | RESERVED            | OCHSEL |    |    |

表 4-96: GPIO78 引脚控制寄存器（GPIO78）位段描述

| 位段    | 位段名        | 属性 | 复位值  | 描述                                                                                                                                                                         |
|-------|------------|----|------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:24 | PU         | RW | 0x6B | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                                                                              |
| 23:16 | PD         | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                                                                              |
| 15:8  | ICHEN      | RW | 0x1  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                                                                                         |
| 7:6   | STRENGTH   | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                                                                                           |
| 5     | DEGLITCH   | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                                                                                                     |
| 4     | LPBK       | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                                                                                   |
| 3     | RESERVED_3 | RO | 0x0  | 保留                                                                                                                                                                         |
| 2:0   | OCHSEL     | RW | 0x0  | 输出通道以及上拉和下拉控制选择<br>当 TRSTn 引脚为高时，取决于用户使用何种调试接口，本位段可能被忽略，详见表 4-4。<br>0: GPIO78<br>1: UART1_TXD<br>3: CAN0_TXD<br>4: COMP 输出监测 4<br>5: CAN1_TXD<br>6: I2C1_SDA<br>7: EQEP0_A |

## 4.4.2.46 GPIO79 引脚控制寄存器（GPIO79）

表 4-97: GPIO79 引脚控制寄存器（GPIO79）位段定义

| GPIO79 (GPIO79 Pin Control Register) |    |                |      |                     |        |    |    |
|--------------------------------------|----|----------------|------|---------------------|--------|----|----|
| Access: PINMUX->GPIO79               |    | Offset: 0x013C |      | Default: 0x6B000100 |        |    |    |
| 31                                   | 30 | 29             | 28   | 27                  | 26     | 25 | 24 |
| PU                                   |    |                |      |                     |        |    |    |
| 23                                   | 22 | 21             | 20   | 19                  | 18     | 17 | 16 |
| PD                                   |    |                |      |                     |        |    |    |
| 15                                   | 14 | 13             | 12   | 11                  | 10     | 9  | 8  |
| ICHEN                                |    |                |      |                     |        |    |    |
| 7                                    | 6  | 5              | 4    | 3                   | 2      | 1  | 0  |
| STRENGTH                             |    | DEGLITCH       | LPBK | RESERVED            | OCHSEL |    |    |

表 4-98: GPIO79 引脚控制寄存器（GPIO79）位段描述

| 位段    | 位段名        | 属性 | 复位值  | 描述                                                                                                                                                        |
|-------|------------|----|------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:24 | PU         | RW | 0x6B | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                                                             |
| 23:16 | PD         | RW | 0x0  | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                                                             |
| 15:8  | ICHEN      | RW | 0x1  | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                                                                        |
| 7:6   | STRENGTH   | RW | 0x0  | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                                                                          |
| 5     | DEGLITCH   | RW | 0x0  | 输入消抖<br>0: 关闭<br>1: 使能                                                                                                                                    |
| 4     | LPBK       | RW | 0x0  | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                                                                  |
| 3     | RESERVED_3 | RO | 0x0  | 保留                                                                                                                                                        |
| 2:0   | OCHSEL     | RW | 0x0  | 输出通道以及上拉和下拉控制选择。<br>当 TRSTn 引脚为高时，取决于用户使用何种调试接口，本位段可能被忽略，详见表 4-4。<br>0: GPIO79<br>1: UART1_RXD<br>3: CAN0_RXD<br>5: CAN1_RXD<br>6: I2C1_SCL<br>7: EQEP0_B |



## 4.4.2.47 GPIO80 引脚控制寄存器 (GPIO80)

表 4-99: GPIO80 引脚控制寄存器 (GPIO80) 位段定义

| GPIO80 (GPIO80 Pin Control Register) |    |                |      |                     |        |    |    |
|--------------------------------------|----|----------------|------|---------------------|--------|----|----|
| Access: PINMUX->GPIO80               |    | Offset: 0x0140 |      | Default: 0x01000100 |        |    |    |
| 31                                   | 30 | 29             | 28   | 27                  | 26     | 25 | 24 |
| PU                                   |    |                |      |                     |        |    |    |
| 23                                   | 22 | 21             | 20   | 19                  | 18     | 17 | 16 |
| PD                                   |    |                |      |                     |        |    |    |
| 15                                   | 14 | 13             | 12   | 11                  | 10     | 9  | 8  |
| ICHEN                                |    |                |      |                     |        |    |    |
| 7                                    | 6  | 5              | 4    | 3                   | 2      | 1  | 0  |
| STRENGTH                             |    | DEGLITCH       | LPBK | RESERVED            | OCHSEL |    |    |

表 4-100: GPIO80 引脚控制寄存器 (GPIO80) 位段描述

| 位段    | 位段名        | 属性 | 复位值 | 描述                                                                                                                                                                       |
|-------|------------|----|-----|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:24 | PU         | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                                                                            |
| 23:16 | PD         | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                                                                            |
| 15:8  | ICHEN      | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                                                                                       |
| 7:6   | STRENGTH   | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                                                                                         |
| 5     | DEGLITCH   | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                                                                                                                                                   |
| 4     | LPBK       | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                                                                                 |
| 3     | RESERVED_3 | RO | 0x0 | 保留                                                                                                                                                                       |
| 2:0   | OCHSEL     | RW | 0x0 | 输出通道以及上拉和下拉控制选择。<br>当 TRSTn 引脚为高时，忽略此位段。GPIO80 被强制用于调试接口，详见表 4-4。<br>0: GPIO80<br>1: PWM SOCA 输出监测<br>3: PWM SOCB 输出监测<br>4: COMP 输出监测 6<br>6: SYNC 输出监测 4<br>7: EQEP0_Z |

#### 4.4.2.48 GPIO81 引脚控制寄存器（GPIO81）

表 4-101: GPIO81 引脚控制寄存器（GPIO81）位段定义

| GPIO81 (GPIO81 Pin Control Register) |    |                |      |                     |        |    |    |
|--------------------------------------|----|----------------|------|---------------------|--------|----|----|
| Access: PINMUX->GPIO81               |    | Offset: 0x0144 |      | Default: 0x01000100 |        |    |    |
| 31                                   | 30 | 29             | 28   | 27                  | 26     | 25 | 24 |
| PU                                   |    |                |      |                     |        |    |    |
| 23                                   | 22 | 21             | 20   | 19                  | 18     | 17 | 16 |
| PD                                   |    |                |      |                     |        |    |    |
| 15                                   | 14 | 13             | 12   | 11                  | 10     | 9  | 8  |
| ICHEN                                |    |                |      |                     |        |    |    |
| 7                                    | 6  | 5              | 4    | 3                   | 2      | 1  | 0  |
| STRENGTH                             |    | DEGLITCH       | LPBK | RESERVED            | OCHSEL |    |    |

表 4-102: GPIO81 引脚控制寄存器（GPIO81）位段描述

| 位段    | 位段名        | 属性 | 复位值 | 描述                                                                                                                                                                                              |
|-------|------------|----|-----|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:24 | PU         | RW | 0x1 | 上拉使能<br>若 PU[n]=1 则使能通道 n 的上拉                                                                                                                                                                   |
| 23:16 | PD         | RW | 0x0 | 下拉使能<br>若 PD[n]=1 则使能通道 n 的下拉                                                                                                                                                                   |
| 15:8  | ICHEN      | RW | 0x1 | 输入通道使能<br>若 ICHEN[n]=1 则使能通道 n 的输入                                                                                                                                                              |
| 7:6   | STRENGTH   | RW | 0x0 | 输出驱动力<br>0: 5mA<br>1: 10mA<br>2: 15mA<br>3: 20mA                                                                                                                                                |
| 5     | DEGLITCH   | RW | 0x0 | 输入消抖<br>0: 关闭<br>1: 使能                                                                                                                                                                          |
| 4     | LPBK       | RW | 0x0 | 直接将输出环回到输入通道<br>0: 输出到引脚<br>1: 输出直接环回到输入                                                                                                                                                        |
| 3     | RESERVED_3 | RO | 0x0 | 保留                                                                                                                                                                                              |
| 2:0   | OCHSEL     | RW | 0x0 | 输出通道以及上拉和下拉控制选择。<br>当 TRSTn 引脚为高时，忽略此位段。GPIO81 被强制用于调试接口，详见表 4-4。<br>0: GPIO81<br>1: PWM SOCC 输出监测<br>3: PWM SOC 输出监测，它是 PWM_SOCAO, PWM_SOCBO 和 PWM_SOCCO 的逻辑或<br>6: SYNCO 输出监测 5<br>7: EQEPO_S |

## 4.4.2.49 比较器输出监测控制寄存器 (COMPMONCTL)

表 4-103: 比较器输出监测控制寄存器 (COMPMONCTL) 位段定义

| COMPMONCTL (Comparator Output Monitor Control Register)             |    |    |    |      |    |    |    |
|---------------------------------------------------------------------|----|----|----|------|----|----|----|
| Access: PINMUX->COMPMONCTL    Offset: 0x0148    Default: 0x00000000 |    |    |    |      |    |    |    |
| 31                                                                  | 30 | 29 | 28 | 27   | 26 | 25 | 24 |
| RESERVED                                                            |    |    |    | SRC6 |    |    |    |
| 23                                                                  | 22 | 21 | 20 | 19   | 18 | 17 | 16 |
| RESERVED                                                            |    |    |    | SRC4 |    |    |    |
| 15                                                                  | 14 | 13 | 12 | 11   | 10 | 9  | 8  |
| RESERVED                                                            |    |    |    | SRC2 |    |    |    |
| 7                                                                   | 6  | 5  | 4  | 3    | 2  | 1  | 0  |
| RESERVED                                                            |    |    |    | SRC0 |    |    |    |

表 4-104: 比较器输出监测控制寄存器 (COMPMONCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                                                                                                   |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:28 | RESERVED_31_28 | RW | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                   |
| 27:24 | SRC6           | RW | 0x0 | 比较输出监测 6 信号源选择<br>0: COMP0L 比较器输出<br>1: COMP0H 比较器输出<br>2: COMP1L 比较器输出<br>3: COMP1H 比较器输出<br>4: COMP2L 比较器输出<br>5: COMP2H 比较器输出<br>6: COMP3L 比较器输出<br>7: COMP3H 比较器输出<br>8: COMP4L 比较器输出<br>9: COMP4H 比较器输出<br>10: COMP5L 比较器输出<br>11: COMP5H 比较器输出<br>12: COMP6L 比较器输出<br>13: COMP6H 比较器输出<br>14: COMP7L 比较器输出<br>15: COMP7H 比较器输出 |
| 23:20 | RESERVED_23_20 | RW | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                   |
| 19:16 | SRC4           | RW | 0x0 | 比较输出监测 4 信号源选择<br>0: COMP0L 比较器输出<br>1: COMP0H 比较器输出<br>2: COMP1L 比较器输出<br>3: COMP1H 比较器输出<br>4: COMP2L 比较器输出<br>5: COMP2H 比较器输出<br>6: COMP3L 比较器输出<br>7: COMP3H 比较器输出<br>8: COMP4L 比较器输出                                                                                                                                            |

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                                                                                                   |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|       |                |    |     | 9: COMP4H 比较器输出<br>10: COMP5L 比较器输出<br>11: COMP5H 比较器输出<br>12: COMP6L 比较器输出<br>13: COMP6H 比较器输出<br>14: COMP7L 比较器输出<br>15: COMP7H 比较器输出                                                                                                                                                                                              |
| 15:12 | RESERVED_15_12 | RW | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                   |
| 11:8  | SRC2           | RW | 0x0 | 比较输出监测 2 信号源选择<br>0: COMP0L 比较器输出<br>1: COMP0H 比较器输出<br>2: COMP1L 比较器输出<br>3: COMP1H 比较器输出<br>4: COMP2L 比较器输出<br>5: COMP2H 比较器输出<br>6: COMP3L 比较器输出<br>7: COMP3H 比较器输出<br>8: COMP4L 比较器输出<br>9: COMP4H 比较器输出<br>10: COMP5L 比较器输出<br>11: COMP5H 比较器输出<br>12: COMP6L 比较器输出<br>13: COMP6H 比较器输出<br>14: COMP7L 比较器输出<br>15: COMP7H 比较器输出 |
| 7:4   | RESERVED_7_4   | RW | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                   |
| 3:0   | SRC0           | RW | 0x0 | 比较输出监测 0 信号源选择<br>0: COMP0L 比较器输出<br>1: COMP0H 比较器输出<br>2: COMP1L 比较器输出<br>3: COMP1H 比较器输出<br>4: COMP2L 比较器输出<br>5: COMP2H 比较器输出<br>6: COMP3L 比较器输出<br>7: COMP3H 比较器输出<br>8: COMP4L 比较器输出<br>9: COMP4H 比较器输出<br>10: COMP5L 比较器输出<br>11: COMP5H 比较器输出<br>12: COMP6L 比较器输出<br>13: COMP6H 比较器输出<br>14: COMP7L 比较器输出<br>15: COMP7H 比较器输出 |

## 4.4.2.50 同步输出监测控制寄存器 (SYNCMONCTL)

表 4-105: 同步输出监测控制寄存器 (SYNCMONCTL) 位段定义

| SYNCMONCTL (SYNC Output Monitor Control Register) |    |    |    |                |    |                     |    |
|---------------------------------------------------|----|----|----|----------------|----|---------------------|----|
| Access: PINMUX->SYNCMONCTL                        |    |    |    | Offset: 0x014C |    | Default: 0x00000000 |    |
| 31                                                | 30 | 29 | 28 | 27             | 26 | 25                  | 24 |
| RESERVED                                          |    |    |    |                |    |                     |    |
| 23                                                | 22 | 21 | 20 | 19             | 18 | 17                  | 16 |
| SRC5                                              |    |    |    | SRC4           |    |                     |    |
| 15                                                | 14 | 13 | 12 | 11             | 10 | 9                   | 8  |
| SRC3                                              |    |    |    | SRC2           |    |                     |    |
| 7                                                 | 6  | 5  | 4  | 3              | 2  | 1                   | 0  |
| SRC1                                              |    |    |    | SRC0           |    |                     |    |

表 4-106: 同步输出监测控制寄存器 (SYNCMONCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                                                                                                                                                         |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:24 | RESERVED_31_24 | RO | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                                                                         |
| 23:20 | SRC5           | RW | 0x0 | SYNC 输出监测 5 信号源选择<br>0: ECAP0 SYNC 输出监测<br>1: ECAP1 SYNC 输出监测<br>2: ECAP2 SYNC 输出监测<br>3: ECAP3 SYNC 输出监测<br>4: ECAP4 SYNC 输出监测<br>5: ECAP5 SYNC 输出监测<br>6: ECAP6 SYNC 输出监测<br>7: ECAP7 SYNC 输出监测<br>8: EQEP0 SYNC 输出监测<br>9: EQEP1 SYNC 输出监测<br>10: TIMER0 SYNC 输出监测<br>11: TIMER1 SYNC 输出监测<br>12: TIMER2 SYNC 输出监测<br>13: TIMER3 SYNC 输出监测<br>14: TIMER4 SYNC 输出监测<br>15: PWM SYNC 输出监测 |
| 19:16 | SRC4           | RW | 0x0 | SYNC 输出监测 4 信号源选择<br>0: ECAP0 SYNC 输出监测<br>1: ECAP1 SYNC 输出监测<br>2: ECAP2 SYNC 输出监测<br>3: ECAP3 SYNC 输出监测<br>4: ECAP4 SYNC 输出监测<br>5: ECAP5 SYNC 输出监测<br>6: ECAP6 SYNC 输出监测<br>7: ECAP7 SYNC 输出监测<br>8: EQEP0 SYNC 输出监测<br>9: EQEP1 SYNC 输出监测                                                                                                                                              |

| 位段    | 位段名  | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                                                                                                                                                         |
|-------|------|----|-----|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|       |      |    |     | 10: TIMER0 SYNC 输出监测<br>11: TIMER1 SYNC 输出监测<br>12: TIMER2 SYNC 输出监测<br>13: TIMER3 SYNC 输出监测<br>14: TIMER4 SYNC 输出监测<br>15: PWM SYNC 输出监测                                                                                                                                                                                                                                                  |
| 15:12 | SRC3 | RW | 0x0 | SYNC 输出监测 3 信号源选择<br>0: ECAP0 SYNC 输出监测<br>1: ECAP1 SYNC 输出监测<br>2: ECAP2 SYNC 输出监测<br>3: ECAP3 SYNC 输出监测<br>4: ECAP4 SYNC 输出监测<br>5: ECAP5 SYNC 输出监测<br>6: ECAP6 SYNC 输出监测<br>7: ECAP7 SYNC 输出监测<br>8: EQEP0 SYNC 输出监测<br>9: EQEP1 SYNC 输出监测<br>10: TIMER0 SYNC 输出监测<br>11: TIMER1 SYNC 输出监测<br>12: TIMER2 SYNC 输出监测<br>13: TIMER3 SYNC 输出监测<br>14: TIMER4 SYNC 输出监测<br>15: PWM SYNC 输出监测 |
| 11:8  | SRC2 | RW | 0x0 | SYNC 输出监测 2 信号源选择<br>0: ECAP0 SYNC 输出监测<br>1: ECAP1 SYNC 输出监测<br>2: ECAP2 SYNC 输出监测<br>3: ECAP3 SYNC 输出监测<br>4: ECAP4 SYNC 输出监测<br>5: ECAP5 SYNC 输出监测<br>6: ECAP6 SYNC 输出监测<br>7: ECAP7 SYNC 输出监测<br>8: EQEP0 SYNC 输出监测<br>9: EQEP1 SYNC 输出监测<br>10: TIMER0 SYNC 输出监测<br>11: TIMER1 SYNC 输出监测<br>12: TIMER2 SYNC 输出监测<br>13: TIMER3 SYNC 输出监测<br>14: TIMER4 SYNC 输出监测<br>15: PWM SYNC 输出监测 |
| 7:4   | SRC1 | RW | 0x0 | SYNC 输出监测 1 信号源选择<br>0: ECAP0 SYNC 输出监测<br>1: ECAP1 SYNC 输出监测                                                                                                                                                                                                                                                                                                                              |

| 位段  | 位段名  | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                                                                                                                                                         |
|-----|------|----|-----|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |      |    |     | 2: ECAP2 SYNC 输出监测<br>3: ECAP3 SYNC 输出监测<br>4: ECAP4 SYNC 输出监测<br>5: ECAP5 SYNC 输出监测<br>6: ECAP6 SYNC 输出监测<br>7: ECAP7 SYNC 输出监测<br>8: EQEP0 SYNC 输出监测<br>9: EQEP1 SYNC 输出监测<br>10: TIMER0 SYNC 输出监测<br>11: TIMER1 SYNC 输出监测<br>12: TIMER2 SYNC 输出监测<br>13: TIMER3 SYNC 输出监测<br>14: TIMER4 SYNC 输出监测<br>15: PWM SYNC 输出监测                                                                  |
| 3:0 | SRC0 | RW | 0x0 | SYNC 输出监测 0 信号源选择<br>0: ECAP0 SYNC 输出监测<br>1: ECAP1 SYNC 输出监测<br>2: ECAP2 SYNC 输出监测<br>3: ECAP3 SYNC 输出监测<br>4: ECAP4 SYNC 输出监测<br>5: ECAP5 SYNC 输出监测<br>6: ECAP6 SYNC 输出监测<br>7: ECAP7 SYNC 输出监测<br>8: EQEP0 SYNC 输出监测<br>9: EQEP1 SYNC 输出监测<br>10: TIMER0 SYNC 输出监测<br>11: TIMER1 SYNC 输出监测<br>12: TIMER2 SYNC 输出监测<br>13: TIMER3 SYNC 输出监测<br>14: TIMER4 SYNC 输出监测<br>15: PWM SYNC 输出监测 |

#### 4.4.2.51 PINMUX 模块写使能寄存器 (PINMUXREGKEY)

表 4-107: PINMUX 模块写使能寄存器 (PINMUXREGKEY) 位段定义

| PINMUXREGKEY (PINMUX Register Write-Allow Key Register)               |    |    |    |    |    |    |    |
|-----------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: PINMUX->PINMUXREGKEY    Offset: 0x0150    Default: 0x1ACCE551 |    |    |    |    |    |    |    |
| 31                                                                    | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                                   |    |    |    |    |    |    |    |
| 23                                                                    | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                                   |    |    |    |    |    |    |    |
| 15                                                                    | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                                   |    |    |    |    |    |    |    |
| 7                                                                     | 6  | 5  | 4  | 3  | 2  | 1  | 0  |



|     |
|-----|
| KEY |
|-----|

表 4-108: PINMUX 模块写使能寄存器 (PINMUXREGKEY) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                              |
|------|-----|----|------------|---------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 PINMUX 寄存器 |

### 4.4.3 GPIO 寄存器列表

表 4-109: GPIO 模块基地址

| 外设模块 | 基地址         |
|------|-------------|
| GPIO | 0x4000 1200 |

表 4-110: GPIO 寄存器列表

| 寄存器                        | 偏移地址   | 描述                             | 复位值        |
|----------------------------|--------|--------------------------------|------------|
| <a href="#">GPLR*</a>      | 0x0000 | GPIO 端口 n ([0:2]) 引脚电平寄存器      | 0x00000000 |
| <a href="#">GSLR*</a>      | 0x0010 | GPIO 端口 n ([0:2]) 按位输出置高寄存器    | 0x00000000 |
| <a href="#">GCLR*</a>      | 0x0020 | GPIO 端口 n ([0:2]) 按位输出置低寄存器    | 0x00000000 |
| <a href="#">GPDR*</a>      | 0x0030 | GPIO 端口 n ([0:2]) 引脚方向控制寄存器    | 0x00000000 |
| <a href="#">GSDR*</a>      | 0x0040 | GPIO 端口 n ([0:2]) 按位设置输出方向寄存器  | 0x00000000 |
| <a href="#">GCDR*</a>      | 0x0050 | GPIO 端口 n ([0:2]) 按位设置输入方向寄存器  | 0x00000000 |
| <a href="#">GRER*</a>      | 0x0060 | GPIO 端口 n ([0:2]) 上升沿检测使能寄存器   | 0x00000000 |
| <a href="#">GSRE*</a>      | 0x0070 | GPIO 端口 n ([0:2]) 上升沿检测按位使能寄存器 | 0x00000000 |
| <a href="#">GCRE*</a>      | 0x0080 | GPIO 端口 n ([0:2]) 上升沿检测按位关闭寄存器 | 0x00000000 |
| <a href="#">GFER*</a>      | 0x0090 | GPIO 端口 n ([0:2]) 下降沿检测使能寄存器   | 0x00000000 |
| <a href="#">GSFE*</a>      | 0x00A0 | GPIO 端口 n ([0:2]) 下降沿检测按位使能寄存器 | 0x00000000 |
| <a href="#">GCFE*</a>      | 0x00B0 | GPIO 端口 n ([0:2]) 下降沿检测按位关闭寄存器 | 0x00000000 |
| <a href="#">GRERAWIF</a>   | 0x00C0 | GPIO 端口 n ([0:2]) 上升沿事件标志寄存器   | 0x00000000 |
| <a href="#">GFERAWIF</a>   | 0x00D0 | GPIO 端口 n ([0:2]) 下降沿事件标志寄存器   | 0x00000000 |
| <a href="#">GREIF</a>      | 0x00E0 | GPIO 端口 n ([0:2]) 上升沿中断标志寄存器   | 0x00000000 |
| <a href="#">GFEIF</a>      | 0x00F0 | GPIO 端口 n ([0:2]) 下降沿中断标志寄存器   | 0x00000000 |
| <a href="#">GREIE*</a>     | 0x0100 | GPIO 端口 n ([0:2]) 上升沿中断使能寄存器   | 0x00000000 |
| <a href="#">GFEIE*</a>     | 0x0110 | GPIO 端口 n ([0:2]) 下降沿中断使能寄存器   | 0x00000000 |
| <a href="#">GREIC</a>      | 0x0120 | GPIO 端口 n ([0:2]) 上升沿中断清除寄存器   | 0x00000000 |
| <a href="#">GFEIC</a>      | 0x0130 | GPIO 端口 n ([0:2]) 下降沿中断清除寄存器   | 0x00000000 |
| <a href="#">GREIFRC*</a>   | 0x0140 | GPIO 端口 n ([0:2]) 上升沿事件强制寄存器   | 0x00000000 |
| <a href="#">GFEIFRC*</a>   | 0x0150 | GPIO 端口 n ([0:2]) 下降沿事件强制寄存器   | 0x00000000 |
| <a href="#">GLDE*</a>      | 0x0160 | GPIO 端口 n ([0:2]) 电平检测使能寄存器    | 0x00000000 |
| <a href="#">GSLDE*</a>     | 0x0170 | GPIO 端口 n ([0:2]) 电平检测按位使能寄存器  | 0x00000000 |
| <a href="#">GCLDE*</a>     | 0x0180 | GPIO 端口 n ([0:2]) 电平检测按位关闭寄存器  | 0x00000000 |
| <a href="#">GLPOL*</a>     | 0x0190 | GPIO 端口 n ([0:2]) 电平检测极性控制寄存器  | 0x00000000 |
| <a href="#">GLRAWIF</a>    | 0x01A0 | GPIO 端口 n ([0:2]) 电平事件标志寄存器    | 0x00000000 |
| <a href="#">GLIF</a>       | 0x01B0 | GPIO 端口 n ([0:2]) 电平中断标志寄存器    | 0x00000000 |
| <a href="#">GLIE*</a>      | 0x01C0 | GPIO 端口 n ([0:2]) 电平中断使能寄存器    | 0x00000000 |
| <a href="#">GLIC</a>       | 0x01D0 | GPIO 端口 n ([0:2]) 电平中断清除寄存器    | 0x00000000 |
| <a href="#">GLIFRC*</a>    | 0x01E0 | GPIO 端口 n ([0:2]) 电平事件强制寄存器    | 0x00000000 |
| <a href="#">GGRAWIF</a>    | 0x01F0 | GPIO 全局事件标志寄存器                 | 0x00000000 |
| <a href="#">GGIF</a>       | 0x01F4 | GPIO 全局中断标志寄存器                 | 0x00000000 |
| <a href="#">GGIC</a>       | 0x01F8 | GPIO 全局中断清除寄存器                 | 0x00000000 |
| <a href="#">GPIOREGKEY</a> | 0x01FC | GPIO 模块写使能寄存器                  | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 GPIOREGKEY=0x1ACCE551 时才可以改写。

## 4.4.4 GPIO 寄存器

### 4.4.4.1 GPIO 端口 n ([0:2])引脚电平寄存器 (GPLR)

表 4-111: GPIO 端口 n ([0:2])引脚电平寄存器 (GPLR) 位段定义

| GPLR (GPIO Port n ([0:2]) Pin Level Register) |    |                |    |                     |    |    |    |
|-----------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GPLR[n]                         |    | Offset: 0x0000 |    | Default: 0x00000000 |    |    |    |
| 31                                            | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                           |    |                |    |                     |    |    |    |
| 23                                            | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                           |    |                |    |                     |    |    |    |
| 15                                            | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                           |    |                |    |                     |    |    |    |
| 7                                             | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                           |    |                |    |                     |    |    |    |

表 4-112: GPIO 端口 n ([0:2])引脚电平寄存器 (GPLR) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                             |
|------|-----|----|-----|--------------------------------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | GPIO 各引脚电平<br>0: 写 0 设置对应引脚输出低, 读 0 表示当前电平为低<br>1: 写 1 设置对应引脚输出高, 读 1 表示当前电平为高 |

### 4.4.4.2 GPIO 端口 n ([0:2])按位输出置高寄存器 (GSLR)

表 4-113: GPIO 端口 n ([0:2])按位输出置高寄存器 (GSLR) 位段定义

| GSLR (GPIO Port n ([0:2]) Output Level Bitwise Set Register) |    |                |    |                     |    |    |    |
|--------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GSLR[n]                                        |    | Offset: 0x0010 |    | Default: 0x00000000 |    |    |    |
| 31                                                           | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                          |    |                |    |                     |    |    |    |
| 23                                                           | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                          |    |                |    |                     |    |    |    |
| 15                                                           | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                          |    |                |    |                     |    |    |    |
| 7                                                            | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                          |    |                |    |                     |    |    |    |

表 4-114: GPIO 端口 n ([0:2])按位输出置高寄存器 (GSLR) 位段描述

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                             |
|------|-----|-----|-----|----------------------------------------------------------------|
| 31:0 | VAL | W1S | 0x0 | 设置 GPIO 各引脚输出高<br>0: 写 0 无效, 读总是 0<br>1: 写 1 设置对应引脚输出高, 位段自动清零 |

## 4.4.4.3 GPIO 端口 n ([0:2])按位输出置低寄存器 (GCLR)

表 4-115: GPIO 端口 n ([0:2])按位输出置低寄存器 (GCLR) 位段定义

| GCLR (GPIO Port n ([0:2]) Output Level Bitwise Clear Register) |    |                |    |                     |    |    |    |
|----------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GCLR[n]                                          |    | Offset: 0x0020 |    | Default: 0x00000000 |    |    |    |
| 31                                                             | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                            |    |                |    |                     |    |    |    |
| 23                                                             | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                            |    |                |    |                     |    |    |    |
| 15                                                             | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                            |    |                |    |                     |    |    |    |
| 7                                                              | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                            |    |                |    |                     |    |    |    |

表 4-116: GPIO 端口 n ([0:2])按位输出置低寄存器 (GCLR) 位段描述

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                             |
|------|-----|-----|-----|----------------------------------------------------------------|
| 31:0 | VAL | W1C | 0x0 | 设置 GPIO 各引脚输出低<br>0: 写 0 无效, 读总是 0<br>1: 写 1 设置对应引脚输出低, 位段自动清零 |

## 4.4.4.4 GPIO 端口 n ([0:2])引脚方向寄存器 (GPDR)

表 4-117: GPIO 端口 n ([0:2])引脚方向寄存器 (GPDR) 位段定义

| GPDR (GPIO Port n ([0:2]) Pin Direction Register) |    |                |    |                     |    |    |    |
|---------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GPDR[n]                             |    | Offset: 0x0030 |    | Default: 0x00000000 |    |    |    |
| 31                                                | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                               |    |                |    |                     |    |    |    |
| 23                                                | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                               |    |                |    |                     |    |    |    |
| 15                                                | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                               |    |                |    |                     |    |    |    |
| 7                                                 | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                               |    |                |    |                     |    |    |    |

表 4-118: GPIO 端口 n ([0:2])引脚方向寄存器 (GPDR) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                |
|------|-----|----|-----|---------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 设置 GPIO 各引脚方向<br>0: 设置对应引脚为输入方向<br>1: 设置对应引脚为输出方向 |

#### 4.4.4.5 GPIO 端口 n ([0:2])按位设置输出方向寄存器 (GSDR)

表 4-119: GPIO 端口 n ([0:2])按位设置输出方向寄存器 (GSDR) 位段定义

| GSDR (GPIO Port n ([0:2]) Pin Direction Bitwise Set Register) |    |                |    |                     |    |    |    |
|---------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GSDR[n]                                         |    | Offset: 0x0040 |    | Default: 0x00000000 |    |    |    |
| 31                                                            | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                           |    |                |    |                     |    |    |    |
| 23                                                            | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                           |    |                |    |                     |    |    |    |
| 15                                                            | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                           |    |                |    |                     |    |    |    |
| 7                                                             | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                           |    |                |    |                     |    |    |    |

表 4-120: GPIO 端口 n ([0:2])按位设置输出方向寄存器 (GSDR) 位段描述

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                            |
|------|-----|-----|-----|-------------------------------------------------------------------------------|
| 31:0 | VAL | W1S | 0x0 | 设置 GPIO 各引脚为输出 (GPDR[n]位段置 1)<br>0: 写 0 无效, 读总是 0<br>1: 写 1 设置对应引脚为输出, 位段自动清零 |

#### 4.4.4.6 GPIO 端口 n ([0:2])按位设置输入方向寄存器 (GCDR)

表 4-121: GPIO 端口 n ([0:2])按位设置输入方向寄存器 (GCDR) 位段定义

| GCDR (GPIO Port n ([0:2]) Pin Direction Bitwise Clear Register) |    |                |    |                     |    |    |    |
|-----------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GCDR[n]                                           |    | Offset: 0x0050 |    | Default: 0x00000000 |    |    |    |
| 31                                                              | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                             |    |                |    |                     |    |    |    |
| 23                                                              | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                             |    |                |    |                     |    |    |    |
| 15                                                              | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                             |    |                |    |                     |    |    |    |
| 7                                                               | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                             |    |                |    |                     |    |    |    |

表 4-122: GPIO 端口 n ([0:2])按位设置输入方向寄存器 (GCDR) 位段描述

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                            |
|------|-----|-----|-----|-------------------------------------------------------------------------------|
| 31:0 | VAL | W1C | 0x0 | 设置 GPIO 各引脚为输入 (GPDR[n]位段置 0)<br>0: 写 0 无效, 读总是 0<br>1: 写 1 设置对应引脚为输入, 位段自动清零 |

## 4.4.4.7 GPIO 端口 n ([0:2])上升沿检测使能寄存器 (GRER)

表 4-123: GPIO 端口 n ([0:2])上升沿检测使能寄存器 (GRER) 位段定义

| GRER (GPIO Port n ([0:2]) Rising Edge Detect Enable Register) |    |                |    |                     |    |    |    |
|---------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GRER[n]                                         |    | Offset: 0x0060 |    | Default: 0x00000000 |    |    |    |
| 31                                                            | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                           |    |                |    |                     |    |    |    |
| 23                                                            | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                           |    |                |    |                     |    |    |    |
| 15                                                            | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                           |    |                |    |                     |    |    |    |
| 7                                                             | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                           |    |                |    |                     |    |    |    |

表 4-124: GPIO 端口 n ([0:2])上升沿检测使能寄存器 (GRER) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                   |
|------|-----|----|-----|------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 使能 GPIO 各引脚上升沿检测<br>0: 关闭对应引脚上升沿检测<br>1: 使能对应引脚上升沿检测 |

## 4.4.4.8 GPIO 端口 n ([0:2])上升沿检测按位使能寄存器 (GSRE)

表 4-125: GPIO 端口 n ([0:2])上升沿检测按位使能寄存器 (GSRE) 位段定义

| GSRE (GPIO Port n ([0:2]) Rising Edge Detect Bitwise Enable Register) |    |                |    |                     |    |    |    |
|-----------------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GSRE[n]                                                 |    | Offset: 0x0070 |    | Default: 0x00000000 |    |    |    |
| 31                                                                    | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                                   |    |                |    |                     |    |    |    |
| 23                                                                    | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                                   |    |                |    |                     |    |    |    |
| 15                                                                    | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                                   |    |                |    |                     |    |    |    |
| 7                                                                     | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                                   |    |                |    |                     |    |    |    |

表 4-126: GPIO 端口 n ([0:2])上升沿检测按位使能寄存器 (GSRE) 位段描述

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                               |
|------|-----|-----|-----|----------------------------------------------------------------------------------|
| 31:0 | VAL | W1S | 0x0 | 按位使能 GPIO 上升沿检测 (GRER[n]位段置 1)<br>0: 写 0 无效, 读总是 0<br>1: 写 1 使能对应引脚上升沿检测, 位段自动清零 |

## 4.4.4.9 GPIO 端口 n ([0:2])上升沿检测按位关闭寄存器 (GCRE)

表 4-127: GPIO 端口 n ([0:2])上升沿检测按位关闭寄存器 (GCRE) 位段定义

| GCRE (GPIO Port n ([0:2]) Rising Edge Detect Bitwise Disable Register) |    |                |    |                     |    |    |    |
|------------------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GCRE[n]                                                  |    | Offset: 0x0080 |    | Default: 0x00000000 |    |    |    |
| 31                                                                     | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                                    |    |                |    |                     |    |    |    |
| 23                                                                     | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                                    |    |                |    |                     |    |    |    |
| 15                                                                     | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                                    |    |                |    |                     |    |    |    |
| 7                                                                      | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                                    |    |                |    |                     |    |    |    |

表 4-128: GPIO 端口 n ([0:2])上升沿检测按位关闭寄存器 (GCRE) 位段描述

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                               |
|------|-----|-----|-----|----------------------------------------------------------------------------------|
| 31:0 | VAL | W1C | 0x0 | 按位关闭 GPIO 上升沿检测 (GRER[n]位段置 0)<br>0: 写 0 无效, 读总是 0<br>1: 写 1 关闭对应引脚上升沿检测, 位段自动清零 |

## 4.4.4.10 GPIO 端口 n ([0:2])下降沿检测使能寄存器 (GFER)

表 4-129: GPIO 端口 n ([0:2])下降沿检测使能寄存器 (GFER) 位段定义

| GFER (GPIO Port n ([0:2]) Falling Edge Detect Enable Register) |    |                |    |                     |    |    |    |
|----------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GFER[n]                                          |    | Offset: 0x0090 |    | Default: 0x00000000 |    |    |    |
| 31                                                             | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                            |    |                |    |                     |    |    |    |
| 23                                                             | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                            |    |                |    |                     |    |    |    |
| 15                                                             | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                            |    |                |    |                     |    |    |    |
| 7                                                              | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                            |    |                |    |                     |    |    |    |

表 4-130: GPIO 端口 n ([0:2])下降沿检测使能寄存器 (GFER) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                   |
|------|-----|----|-----|------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 使能 GPIO 各引脚下降沿检测<br>0: 关闭对应引脚下降沿检测<br>1: 使能对应引脚下降沿检测 |



**4.4.4.11 GPIO 端口 n ([0:2])下降沿检测按位使能寄存器 (GSFE)****表 4-131: GPIO 端口 n ([0:2])下降沿检测按位使能寄存器 (GSFE) 位段定义**

| GSFE (GPIO Port n ([0:2]) Falling Edge Detect Bitwise Enable Register) |    |                |    |                     |    |    |    |
|------------------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GSFE[n]                                                  |    | Offset: 0x00A0 |    | Default: 0x00000000 |    |    |    |
| 31                                                                     | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                                    |    |                |    |                     |    |    |    |
| 23                                                                     | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                                    |    |                |    |                     |    |    |    |
| 15                                                                     | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                                    |    |                |    |                     |    |    |    |
| 7                                                                      | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                                    |    |                |    |                     |    |    |    |

**表 4-132: GPIO 端口 n ([0:2])下降沿检测按位使能寄存器 (GSFE) 位段描述**

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                               |
|------|-----|-----|-----|----------------------------------------------------------------------------------|
| 31:0 | VAL | W1S | 0x0 | 按位使能 GPIO 下降沿检测 (GFER[n]位段置 1)<br>0: 写 0 无效, 读总是 0<br>1: 写 1 使能对应引脚下降沿检测, 位段自动清零 |

**4.4.4.12 GPIO 端口 n ([0:2])下降沿检测按位关闭寄存器 (GCFE)****表 4-133: GPIO 端口 n ([0:2])下降沿检测按位关闭寄存器 (GCFE) 位段定义**

| GCFE (GPIO Port n ([0:2]) Falling Edge Detect Bitwise Disable Register) |    |                |    |                     |    |    |    |
|-------------------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GCFE[n]                                                   |    | Offset: 0x00B0 |    | Default: 0x00000000 |    |    |    |
| 31                                                                      | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                                     |    |                |    |                     |    |    |    |
| 23                                                                      | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                                     |    |                |    |                     |    |    |    |
| 15                                                                      | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                                     |    |                |    |                     |    |    |    |
| 7                                                                       | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                                     |    |                |    |                     |    |    |    |

**表 4-134: GPIO 端口 n ([0:2])下降沿检测按位关闭寄存器 (GCFE) 位段描述**

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                               |
|------|-----|-----|-----|----------------------------------------------------------------------------------|
| 31:0 | VAL | W1C | 0x0 | 按位关闭 GPIO 下降沿检测 (GFER[n]位段置 0)<br>0: 写 0 无效, 读总是 0<br>1: 写 1 关闭对应引脚下降沿检测, 位段自动清零 |

#### 4.4.4.13 GPIO 端口 n ([0:2])上升沿事件标志寄存器 (GRERAWIF)

表 4-135: GPIO 端口 n ([0:2])上升沿事件标志寄存器 (GRERAWIF) 位段定义

| GRERAWIF (GPIO Port n ([0:2]) Rising Edge Event Flag Register)     |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: GPIO->GRERAWIF[n]    Offset: 0x00C0    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                                |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                                |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                |    |    |    |    |    |    |    |

表 4-136: GPIO 端口 n ([0:2])上升沿事件标志寄存器 (GRERAWIF) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                  |
|------|-----|----|-----|---------------------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 锁存的 GPIO 上升沿事件标志<br>0: GPIO 对应引脚上未检测到上升沿事件<br>1: GPIO 对应引脚上检测到上升沿事件 |

#### 4.4.4.14 GPIO 端口 n ([0:2])下降沿事件标志寄存器 (GFERAWIF)

表 4-137: GPIO 端口 n ([0:2])下降沿事件标志寄存器 (GFERAWIF) 位段定义

| GFERAWIF (GPIO Port n ([0:2]) Falling Edge Event Flag Register )   |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: GPIO->GFERAWIF[n]    Offset: 0x00D0    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                                |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                                |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                |    |    |    |    |    |    |    |

表 4-138: GPIO 端口 n ([0:2])下降沿事件标志寄存器 (GFERAWIF) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                  |
|------|-----|----|-----|---------------------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 锁存的 GPIO 下降沿事件标志<br>0: GPIO 对应引脚上未检测到下降沿事件<br>1: GPIO 对应引脚上检测到下降沿事件 |

## 4.4.4.15 GPIO 端口 n ([0:2])上升沿中断标志寄存器 (GREIF)

表 4-139: GPIO 端口 n ([0:2])上升沿中断标志寄存器 (GREIF) 位段定义

| GREIF (GPIO Port n ([0:2]) Rising Edge Triggered Interrupt Flag Register) |    |                |    |                     |    |    |    |
|---------------------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GREIF[n]                                                    |    | Offset: 0x00E0 |    | Default: 0x00000000 |    |    |    |
| 31                                                                        | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                                       |    |                |    |                     |    |    |    |
| 23                                                                        | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                                       |    |                |    |                     |    |    |    |
| 15                                                                        | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                                       |    |                |    |                     |    |    |    |
| 7                                                                         | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                                       |    |                |    |                     |    |    |    |

表 4-140: GPIO 端口 n ([0:2])上升沿中断标志寄存器 (GREIF) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                |
|------|-----|----|-----|-------------------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 锁存的 GPIO 上升沿中断标志<br>0: GPIO 对应引脚不曾触发上升沿中断<br>1: GPIO 对应引脚曾触发上升沿中断 |

## 4.4.4.16 GPIO 端口 n ([0:2])下降沿中断标志寄存器 (GFEIF)

表 4-141: GPIO 端口 n ([0:2])下降沿中断标志寄存器 (GFEIF) 位段定义

| GFEIF (GPIO Port n ([0:2]) Falling Edge Triggered Interrupt Flag Register) |    |                |    |                     |    |    |    |
|----------------------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GFEIF[n]                                                     |    | Offset: 0x00F0 |    | Default: 0x00000000 |    |    |    |
| 31                                                                         | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                                        |    |                |    |                     |    |    |    |
| 23                                                                         | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                                        |    |                |    |                     |    |    |    |
| 15                                                                         | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                                        |    |                |    |                     |    |    |    |
| 7                                                                          | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                                        |    |                |    |                     |    |    |    |

表 4-142: GPIO 端口 n ([0:2])下降沿中断标志寄存器 (GFEIF) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                |
|------|-----|----|-----|-------------------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 锁存的 GPIO 下降沿中断标志<br>0: GPIO 对应引脚不曾触发下降沿中断<br>1: GPIO 对应引脚曾触发下降沿中断 |

#### 4.4.4.17 GPIO 端口 n ([0:2])上升沿中断使能寄存器 (GREIE)

表 4-143: GPIO 端口 n ([0:2])上升沿中断使能寄存器 (GREIE) 位段定义

| GREIE (GPIO Port n ([0:2]) Rising Edge Triggered Interrupt Enable Register) |    |                |    |                     |    |    |    |
|-----------------------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GREIE[n]                                                      |    | Offset: 0x0100 |    | Default: 0x00000000 |    |    |    |
| 31                                                                          | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                                         |    |                |    |                     |    |    |    |
| 23                                                                          | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                                         |    |                |    |                     |    |    |    |
| 15                                                                          | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                                         |    |                |    |                     |    |    |    |
| 7                                                                           | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                                         |    |                |    |                     |    |    |    |

表 4-144: GPIO 端口 n ([0:2])上升沿中断使能寄存器 (GREIE) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                      |
|------|-----|----|-----|---------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | GPIO 各引脚上升沿中断使能<br>0: 关闭对应引脚上升沿触发中断<br>1: 使能对应引脚上升沿触发中断 |

#### 4.4.4.18 GPIO 端口 n ([0:2])下降沿中断使能寄存器 (GFEIE)

表 4-145: GPIO 端口 n ([0:2])下降沿中断使能寄存器 (GFEIE) 位段定义

| GFEIE (GPIO Port n ([0:2]) Falling Edge Triggered Interrupt Enable Register) |    |                |    |                     |    |    |    |
|------------------------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GFEIE[n]                                                       |    | Offset: 0x0110 |    | Default: 0x00000000 |    |    |    |
| 31                                                                           | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                                          |    |                |    |                     |    |    |    |
| 23                                                                           | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                                          |    |                |    |                     |    |    |    |
| 15                                                                           | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                                          |    |                |    |                     |    |    |    |
| 7                                                                            | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                                          |    |                |    |                     |    |    |    |

表 4-146: GPIO 端口 n ([0:2])下降沿中断使能寄存器 (GFEIE) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                      |
|------|-----|----|-----|---------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | GPIO 各引脚下降沿中断使能<br>0: 关闭对应引脚下降沿触发中断<br>1: 使能对应引脚下降沿触发中断 |

## 4.4.4.19 GPIO 端口 n ([0:2])上升沿中断清除寄存器 (GREIC)

表 4-147: GPIO 端口 n ([0:2])上升沿中断清除寄存器 (GREIC) 位段定义

| GREIC (GPIO Port n ([0:2]) Rising Edge Triggered Interrupt Clear Register) |    |                |    |                     |    |    |    |
|----------------------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GREIC[n]                                                     |    | Offset: 0x0120 |    | Default: 0x00000000 |    |    |    |
| 31                                                                         | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                                        |    |                |    |                     |    |    |    |
| 23                                                                         | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                                        |    |                |    |                     |    |    |    |
| 15                                                                         | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                                        |    |                |    |                     |    |    |    |
| 7                                                                          | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                                        |    |                |    |                     |    |    |    |

表 4-148: GPIO 端口 n ([0:2])上升沿中断清除寄存器 (GREIC) 位段描述

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                                              |
|------|-----|-----|-----|-------------------------------------------------------------------------------------------------|
| 31:0 | VAL | W1C | 0x0 | 清除锁存的 GPIO 各引脚上升沿事件和中断标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的 GRERAWIF[n]和 GREIF[n]位段<br>本位段自动清零 |

## 4.4.4.20 GPIO 端口 n ([0:2])下降沿中断清除寄存器 (GFEIC)

表 4-149: GPIO 端口 n ([0:2])下降沿中断清除寄存器 (GFEIC) 位段定义

| GFEIC (GPIO Port n ([0:2]) Falling Edge Triggered Interrupt Clear Register) |    |                |    |                     |    |    |    |
|-----------------------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GFEIC[n]                                                      |    | Offset: 0x0130 |    | Default: 0x00000000 |    |    |    |
| 31                                                                          | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                                         |    |                |    |                     |    |    |    |
| 23                                                                          | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                                         |    |                |    |                     |    |    |    |
| 15                                                                          | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                                         |    |                |    |                     |    |    |    |
| 7                                                                           | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                                         |    |                |    |                     |    |    |    |

表 4-150: GPIO 端口 n ([0:2])下降沿中断清除寄存器 (GFEIC) 位段描述

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                                              |
|------|-----|-----|-----|-------------------------------------------------------------------------------------------------|
| 31:0 | VAL | W1C | 0x0 | 清除锁存的 GPIO 各引脚下降沿事件和中断标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的 GFERAWIF[n]和 GFEIF[n]位段<br>本位段自动清零 |

**4.4.4.21 GPIO 端口 n ([0:2])上升沿事件强制寄存器 (GREIFRC)****表 4-151: GPIO 端口 n ([0:2])上升沿事件强制寄存器 (GREIFRC) 位段定义**

| GREIFRC (GPIO Port n ([0:2]) Rising Edge Event Force Register)    |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: GPIO->GREIFRC[n]    Offset: 0x0140    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                               |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                               |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                               |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                               |    |    |    |    |    |    |    |

**表 4-152: GPIO 端口 n ([0:2])上升沿事件强制寄存器 (GREIFRC) 位段描述**

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                 |
|------|-----|-----|-----|--------------------------------------------------------------------|
| 31:0 | VAL | W1S | 0x0 | 强制 GPIO 各引脚上升沿事件<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制对应引脚上升沿事件, 位段自动清零 |

**4.4.4.22 GPIO 端口 n ([0:2])下降沿事件强制寄存器 (GFEIFRC)****表 4-153: GPIO 端口 n ([0:2])下降沿事件强制寄存器 (GFEIFRC) 位段定义**

| GFEIFRC (GPIO Port n ([0:2]) Falling Edge Event Force Register)   |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: GPIO->GFEIFRC[n]    Offset: 0x0150    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                               |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                               |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                               |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                               |    |    |    |    |    |    |    |

**表 4-154: GPIO 端口 n ([0:2])下降沿事件强制寄存器 (GFEIFRC) 位段描述**

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                 |
|------|-----|-----|-----|--------------------------------------------------------------------|
| 31:0 | VAL | W1S | 0x0 | 强制 GPIO 各引脚下降沿事件<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制对应引脚下降沿事件, 位段自动清零 |

## 4.4.4.23 GPIO 端口 n ([0:2])电平检测使能寄存器 (GLDE)

表 4-155: GPIO 端口 n ([0:2])电平检测使能寄存器 (GLDE) 位段定义

| GLDE (GPIO Port n ([0:2]) Level Detect Enable Register) |    |                |    |                     |    |    |    |
|---------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GLDE[n]                                   |    | Offset: 0x0160 |    | Default: 0x00000000 |    |    |    |
| 31                                                      | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                     |    |                |    |                     |    |    |    |
| 23                                                      | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                     |    |                |    |                     |    |    |    |
| 15                                                      | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                     |    |                |    |                     |    |    |    |
| 7                                                       | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                     |    |                |    |                     |    |    |    |

表 4-156: GPIO 端口 n ([0:2])电平检测使能寄存器 (GLDE) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                 |
|------|-----|----|-----|----------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | GPIO 各引脚电平检测使能<br>0: 关闭对应引脚的电平检测<br>1: 使能对应引脚的电平检测 |

## 4.4.4.24 GPIO 端口 n ([0:2])电平检测按位使能寄存器 (GSLDE)

表 4-157: GPIO 端口 n ([0:2])电平检测按位使能寄存器 (GSLDE) 位段定义

| GSLDE (GPIO Port n ([0:2]) Level Detect Bitwise Enable Register) |    |                |    |                     |    |    |    |
|------------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GSLDE[n]                                           |    | Offset: 0x0170 |    | Default: 0x00000000 |    |    |    |
| 31                                                               | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                              |    |                |    |                     |    |    |    |
| 23                                                               | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                              |    |                |    |                     |    |    |    |
| 15                                                               | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                              |    |                |    |                     |    |    |    |
| 7                                                                | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                              |    |                |    |                     |    |    |    |

表 4-158: GPIO 端口 n ([0:2])电平检测按位使能寄存器 (GSLDE) 位段描述

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                        |
|------|-----|-----|-----|---------------------------------------------------------------------------|
| 31:0 | VAL | W1S | 0x0 | 按位使能各引脚电平检测 (GLDE[n]置 1)<br>0: 写 0 无效, 读总是 0<br>1: 写 1 使能对应引脚电平检测, 位段自动清零 |



#### 4.4.4.25 GPIO 端口 n ([0:2])电平检测按位关闭寄存器 (GCLDE)

表 4-159: GPIO 端口 n ([0:2])电平检测按位关闭寄存器 (GCLDE) 位段定义

|                                                                   |    |                |    |                     |    |    |    |
|-------------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| GCLDE (GPIO Port n ([0:2]) Level Detect Bitwise Disable Register) |    |                |    |                     |    |    |    |
| Access: GPIO->GCLDE[n]                                            |    | Offset: 0x0180 |    | Default: 0x00000000 |    |    |    |
| 31                                                                | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                               |    |                |    |                     |    |    |    |
| 23                                                                | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                               |    |                |    |                     |    |    |    |
| 15                                                                | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                               |    |                |    |                     |    |    |    |
| 7                                                                 | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                               |    |                |    |                     |    |    |    |

表 4-160: GPIO 端口 n ([0:2])电平检测按位关闭寄存器 (GCLDE) 位段描述

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                        |
|------|-----|-----|-----|---------------------------------------------------------------------------|
| 31:0 | VAL | W1C | 0x0 | 按位关闭各引脚电平检测 (GLDE[n]置 0)<br>0: 写 0 无效, 读总是 0<br>1: 写 1 关闭对应引脚电平检测, 位段自动清零 |

#### 4.4.4.26 GPIO 端口 n ([0:2])电平检测极性寄存器 (GLPOL)

表 4-161: GPIO 端口 n ([0:2])电平检测极性寄存器 (GLPOL) 位段定义

|                                                            |    |                |    |                     |    |    |    |
|------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| GLPOL (GPIO Port n ([0:2]) Level Detect Polarity Register) |    |                |    |                     |    |    |    |
| Access: GPIO->GLPOL[n]                                     |    | Offset: 0x0190 |    | Default: 0x00000000 |    |    |    |
| 31                                                         | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                        |    |                |    |                     |    |    |    |
| 23                                                         | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                        |    |                |    |                     |    |    |    |
| 15                                                         | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                        |    |                |    |                     |    |    |    |
| 7                                                          | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                        |    |                |    |                     |    |    |    |

表 4-162: GPIO 端口 n ([0:2])电平检测极性寄存器 (GLPOL) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                             |
|------|-----|----|-----|------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | GPIO 各引脚电平检测极性<br>0: 检测到低为有效电平<br>1: 检测到高为有效电平 |

## 4.4.4.27 GPIO 端口 n ([0:2])电平事件标志寄存器 (GLRAWIF)

表 4-163: GPIO 端口 n ([0:2])电平事件标志寄存器 (GLRAWIF) 位段定义

| GLRAWIF (GPIO Port n ([0:2]) Level Event Flag Register)           |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: GPIO->GLRAWIF[n]    Offset: 0x01A0    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                               |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                               |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                               |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                               |    |    |    |    |    |    |    |

表 4-164: GPIO 端口 n ([0:2])电平事件标志寄存器 (GLRAWIF) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                            |
|------|-----|----|-----|---------------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 锁存的 GPIO 各引脚电平事件标志<br>0: 对应的引脚上未检测到指定的电平<br>1: 对应的引脚上检测到指定的电平 |

## 4.4.4.28 GPIO 端口 n ([0:2])电平中断标志寄存器 (GLIF)

表 4-165: GPIO 端口 n ([0:2])电平中断标志寄存器 (GLIF) 位段定义

| GLIF (GPIO Port n ([0:2]) Level-Triggered Interrupt Flag Register) |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: GPIO->GLIF[n]    Offset: 0x01B0    Default: 0x00000000     |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                                |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                                |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                |    |    |    |    |    |    |    |

表 4-166: GPIO 端口 n ([0:2])电平中断标志寄存器 (GLIF) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                          |
|------|-----|----|-----|-------------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 锁存的 GPIO 各引脚电平中断标志<br>0: 对应的引脚上不曾触发电平中断<br>1: 对应的引脚上曾触发电平中断 |

#### 4.4.4.29 GPIO 端口 n ([0:2])电平中断使能寄存器 (GLIE)

表 4-167: GPIO 端口 n ([0:2])电平中断使能寄存器 (GLIE) 位段定义

| GLIE (GPIO Port n ([0:2]) Level-Triggered Interrupt Enable Register) |    |    |    |    |    |    |    |
|----------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: GPIO->GLIE[n] Offset: 0x01C0 Default: 0x00000000             |    |    |    |    |    |    |    |
| 31                                                                   | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                                  |    |    |    |    |    |    |    |
| 23                                                                   | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                                  |    |    |    |    |    |    |    |
| 15                                                                   | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                  |    |    |    |    |    |    |    |
| 7                                                                    | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                  |    |    |    |    |    |    |    |

表 4-168: GPIO 端口 n ([0:2])电平中断使能寄存器 (GLIE) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                   |
|------|-----|----|-----|------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | GPIO 各引脚电平中断使能<br>0: 关闭对应引脚触发电平中断<br>1: 使能对应引脚触发电平中断 |

#### 4.4.4.30 GPIO 端口 n ([0:2])电平中断清除寄存器 (GLIC)

表 4-169: GPIO 端口 n ([0:2])电平中断清除寄存器 (GLIC) 位段定义

| GLIC (GPIO Port n ([0:2]) Level-Triggered Interrupt Clear Register) |    |    |    |    |    |    |    |
|---------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: GPIO->GLIC[n] Offset: 0x01D0 Default: 0x00000000            |    |    |    |    |    |    |    |
| 31                                                                  | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                                 |    |    |    |    |    |    |    |
| 23                                                                  | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                                 |    |    |    |    |    |    |    |
| 15                                                                  | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                 |    |    |    |    |    |    |    |
| 7                                                                   | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                 |    |    |    |    |    |    |    |

表 4-170: GPIO 端口 n ([0:2])电平中断清除寄存器 (GLIC) 位段描述

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                                                           |
|------|-----|-----|-----|----------------------------------------------------------------------------------------------|
| 31:0 | VAL | W1C | 0x0 | 清除锁存的 GPIO 各引脚电平事件和中断标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的 GLRAWIF[n]和 GLIF[n]位段<br>本位段自动清零 |

**4.4.4.31 GPIO 端口 n ([0:2])电平事件强制寄存器 (GLIFRC)****表 4-171: GPIO 端口 n ([0:2])电平事件强制寄存器 (GLIFRC) 位段定义**

| GLIFRC (GPIO Port n ([0:2]) Level-Triggered Event Force Register ) |    |                |    |                     |    |    |    |
|--------------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: GPIO->GLIFRC[n]                                            |    | Offset: 0x01E0 |    | Default: 0x00000000 |    |    |    |
| 31                                                                 | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                                |    |                |    |                     |    |    |    |
| 23                                                                 | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                                |    |                |    |                     |    |    |    |
| 15                                                                 | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                                |    |                |    |                     |    |    |    |
| 7                                                                  | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                                |    |                |    |                     |    |    |    |

**表 4-172: GPIO 端口 n ([0:2])电平事件强制寄存器 (GLIFRC) 位段描述**

| 位段   | 位段名 | 属性  | 复位值 | 描述                                                               |
|------|-----|-----|-----|------------------------------------------------------------------|
| 31:0 | VAL | W1S | 0x0 | 强制 GPIO 各引脚电平事件<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制对应引脚电平事件, 位段自动清零 |

#### 4.4.4.32 GPIO 全局事件标志（GGRAWIF）

表 4-173: GPIO 全局事件标志（GGRAWIF）位段定义

| GGRAWIF (GPIO Global Event Flag Register) |    |    |    |                |        |                     |        |
|-------------------------------------------|----|----|----|----------------|--------|---------------------|--------|
| Access: GPIO->GGRAWIF                     |    |    |    | Offset: 0x01F0 |        | Default: 0x00000000 |        |
| 31                                        | 30 | 29 | 28 | 27             | 26     | 25                  | 24     |
| RESERVED                                  |    |    |    |                | FEDGE2 | FEDGE1              | FEDGE0 |
| 23                                        | 22 | 21 | 20 | 19             | 18     | 17                  | 16     |
| RESERVED                                  |    |    |    |                | REDGE2 | REDGE1              | REDGE0 |
| 15                                        | 14 | 13 | 12 | 11             | 10     | 9                   | 8      |
| RESERVED                                  |    |    |    |                | EDGE2  | EDGE1               | EDGE0  |
| 7                                         | 6  | 5  | 4  | 3              | 2      | 1                   | 0      |
| RESERVED                                  |    |    |    |                | LEVEL2 | LEVEL1              | LEVEL0 |

表 4-174: GPIO 全局事件标志寄存器（GGRAWIF）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                |
|-------|----------------|----|-----|---------------------------------------------------------------------------------------------------|
| 31:28 | RESERVED_31_27 | RO | 0x0 | 保留                                                                                                |
| 26    | FEDGE2         | RO | 0x0 | GPIO 端口 2 下降沿事件标志<br>本位段是 GFERAWIF[2]所有位的逻辑或<br>0: GPIO 端口 2 上未检测到下降沿事件<br>1: GPIO 端口 2 上检测到下降沿事件 |
| 25    | FEDGE1         | RO | 0x0 | GPIO 端口 1 下降沿事件标志<br>本位段是 GFERAWIF[1]所有位的逻辑或<br>0: GPIO 端口 1 上未检测到下降沿事件<br>1: GPIO 端口 1 上检测到下降沿事件 |
| 24    | FEDGE0         | RO | 0x0 | GPIO 端口 0 下降沿事件标志<br>本位段是 GFERAWIF[0]所有位的逻辑或<br>0: GPIO 端口 0 上未检测到下降沿事件<br>1: GPIO 端口 0 上检测到下降沿事件 |
| 23:20 | RESERVED_23_19 | RO | 0x0 | 保留                                                                                                |
| 18    | REDGE2         | RO | 0x0 | GPIO 端口 2 上升沿事件标志<br>本位段是 GRERAWIF[2]所有位的逻辑或<br>0: GPIO 端口 2 上未检测到上升沿事件<br>1: GPIO 端口 2 上检测到上升沿事件 |
| 17    | REDGE1         | RO | 0x0 | GPIO 端口 1 上升沿事件标志<br>本位段是 GRERAWIF[1]所有位的逻辑或<br>0: GPIO 端口 1 上未检测到上升沿事件<br>1: GPIO 端口 1 上检测到上升沿事件 |
| 16    | REDGE0         | RO | 0x0 | GPIO 端口 0 上升沿事件标志<br>本位段是 GRERAWIF[0]所有位的逻辑或<br>0: GPIO 端口 0 上未检测到上升沿事件<br>1: GPIO 端口 0 上检测到上升沿事件 |

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                          |
|-------|----------------|----|-----|-------------------------------------------------------------------------------------------------------------|
| 15:12 | RESERVED_15_11 | RO | 0x0 | 保留                                                                                                          |
| 10    | EDGE2          | RO | 0x0 | GPIO 端口 2 边沿事件标志<br>本位段是 GRERAWIF[2]和 GFERAWIF[2]所有位的逻辑或<br>0: GPIO 端口 2 上未检测到边沿事件<br>1: GPIO 端口 2 上检测到边沿事件 |
| 9     | EDGE1          | RO | 0x0 | GPIO 端口 1 边沿事件标志<br>本位段是 GRERAWIF[1]和 GFERAWIF[1]所有位的逻辑或<br>0: GPIO 端口 1 上未检测到边沿事件<br>1: GPIO 端口 1 上检测到边沿事件 |
| 8     | EDGE0          | RO | 0x0 | GPIO 端口 0 边沿事件标志<br>本位段是 GRERAWIF[0]和 GFERAWIF[0]所有位的逻辑或<br>0: GPIO 端口 0 上未检测到边沿事件<br>1: GPIO 端口 0 上检测到边沿事件 |
| 7:4   | RESERVED_7_3   | RO | 0x0 | 保留                                                                                                          |
| 2     | LEVEL2         | RO | 0x0 | GPIO 端口 2 电平事件标志<br>本位段是 GLRAWIF[2]所有位的逻辑或<br>0: GPIO 端口 2 上未检测到电平事件<br>1: GPIO 端口 2 上检测到电平事件               |
| 1     | LEVEL1         | RO | 0x0 | GPIO 端口 1 电平事件标志<br>本位段是 GLRAWIF[1]所有位的逻辑或<br>0: GPIO 端口 1 上未检测到电平事件<br>1: GPIO 端口 1 上检测到电平事件               |
| 0     | LEVEL0         | RO | 0x0 | GPIO 端口 0 电平事件标志<br>本位段是 GLRAWIF[0]所有位的逻辑或<br>0: GPIO 端口 0 上未检测到电平事件<br>1: GPIO 端口 0 上检测到电平事件               |

#### 4.4.4.33 GPIO 全局中断标志寄存器（GGIF）

表 4-175: GPIO 全局中断标志寄存器（GGIF）位段定义

|                                                             |    |    |    |    |        |        |        |
|-------------------------------------------------------------|----|----|----|----|--------|--------|--------|
| GGIF (GPIO Global Interrupt Flag Register)                  |    |    |    |    |        |        |        |
| Access: GPIO->GGIF    Offset: 0x01F4    Default: 0x00000000 |    |    |    |    |        |        |        |
| 31                                                          | 30 | 29 | 28 | 27 | 26     | 25     | 24     |
| RESERVED                                                    |    |    |    |    |        |        |        |
| 23                                                          | 22 | 21 | 20 | 19 | 18     | 17     | 16     |
| RESERVED                                                    |    |    |    |    |        |        |        |
| 15                                                          | 14 | 13 | 12 | 11 | 10     | 9      | 8      |
| RESERVED                                                    |    |    |    |    | EDGE2  | EDGE1  | EDGE0  |
| 7                                                           | 6  | 5  | 4  | 3  | 2      | 1      | 0      |
| RESERVED                                                    |    |    |    |    | LEVEL2 | LEVEL1 | LEVEL0 |

表 4-176: GPIO 全局中断标志寄存器（GGIF）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                |
|-------|----------------|----|-----|---------------------------------------------------------------------------------------------------|
| 31:12 | RESERVED_31_11 | RO | 0x0 | 保留                                                                                                |
| 10    | EDGE2          | RO | 0x0 | GPIO 端口 2 边沿中断标志，本位段被清除前，端口上新的边沿事件将无法触发中断<br>0: GPIO 端口 2 上无任何引脚触发边沿中断<br>1: GPIO 端口 2 上有引脚触发边沿中断 |
| 9     | EDGE1          | RO | 0x0 | GPIO 端口 1 边沿中断标志，本位段被清除前，端口上新的边沿事件将无法触发中断<br>0: GPIO 端口 1 上无任何引脚触发边沿中断<br>1: GPIO 端口 1 上有引脚触发边沿中断 |
| 8     | EDGE0          | RO | 0x0 | GPIO 端口 0 边沿中断标志，本位段被清除前，端口上新的边沿事件将无法触发中断<br>0: GPIO 端口 0 上无任何引脚触发边沿中断<br>1: GPIO 端口 0 上有引脚触发边沿中断 |
| 7:3   | RESERVED_7_3   | RO | 0x0 | 保留                                                                                                |
| 2     | LEVEL2         | RO | 0x0 | GPIO 端口 2 电平中断标志，本位段被清除前，端口上新的电平事件将无法触发中断<br>0: GPIO 端口 2 上无任何引脚触发电平中断<br>1: GPIO 端口 2 上有引脚触发电平中断 |
| 1     | LEVEL1         | RO | 0x0 | GPIO 端口 1 电平中断标志，本位段被清除前，端口上新的电平事件将无法触发中断<br>0: GPIO 端口 1 上无任何引脚触发电平中断<br>1: GPIO 端口 1 上有引脚触发电平中断 |
| 0     | LEVEL0         | RO | 0x0 | GPIO 端口 0 电平中断标志，本位段被清除前，端口上新的电平事件将无法触发中断<br>0: GPIO 端口 0 上无任何引脚触发电平中断<br>1: GPIO 端口 0 上有引脚触发电平中断 |



## 4.4.4.34 GPIO 全局中断清除寄存器（GGIC）

表 4-177: GPIO 全局中断清除寄存器（GGIC）位段定义

|                                                             |    |    |    |    |        |        |        |
|-------------------------------------------------------------|----|----|----|----|--------|--------|--------|
| GGIC (GPIO Global Interrupt Clear Register)                 |    |    |    |    |        |        |        |
| Access: GPIO->GGIC    Offset: 0x01F8    Default: 0x00000000 |    |    |    |    |        |        |        |
| 31                                                          | 30 | 29 | 28 | 27 | 26     | 25     | 24     |
| RESERVED                                                    |    |    |    |    |        |        |        |
| 23                                                          | 22 | 21 | 20 | 19 | 18     | 17     | 16     |
| RESERVED                                                    |    |    |    |    |        |        |        |
| 15                                                          | 14 | 13 | 12 | 11 | 10     | 9      | 8      |
| RESERVED                                                    |    |    |    |    | EDGE2  | EDGE1  | EDGE0  |
| 7                                                           | 6  | 5  | 4  | 3  | 2      | 1      | 0      |
| RESERVED                                                    |    |    |    |    | LEVEL2 | LEVEL1 | LEVEL0 |

表 4-178: GPIO 全局中断清除（GGIC）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                           |
|-------|----------------|-----|-----|--------------------------------------------------------------|
| 31:12 | RESERVED_31_11 | RO  | 0x0 | 保留                                                           |
| 10    | EDGE2          | W1C | 0x0 | GPIO 端口 2 边沿中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除中断标志，本位段自动清零 |
| 9     | EDGE1          | W1C | 0x0 | GPIO 端口 1 边沿中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除中断标志，本位段自动清零 |
| 8     | EDGE0          | W1C | 0x0 | GPIO 端口 0 边沿中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除中断标志，本位段自动清零 |
| 7:4   | RESERVED_7_4   | RO  | 0x0 | 保留                                                           |
| 2     | LEVEL2         | W1C | 0x0 | GPIO 端口 2 电平中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除中断标志，本位段自动清零 |
| 1     | LEVEL1         | W1C | 0x0 | GPIO 端口 1 电平中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除中断标志，本位段自动清零 |
| 0     | LEVEL0         | W1C | 0x0 | GPIO 端口 0 电平中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除中断标志，本位段自动清零 |

#### 4.4.4.35 GPIO 模块写使能寄存器（GPIOREGKEY）

表 4-179: GPIO 模块写使能寄存器（GPIOREGKEY）位段定义

|                                                                   |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| GPIOREGKEY (GPIO Register Write-Allow Key Register)               |    |    |    |    |    |    |    |
| Access: GPIO->GPIOREGKEY    Offset: 0x01FC    Default: 0x1ACCE551 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                               |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                               |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                               |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| KEY                                                               |    |    |    |    |    |    |    |

表 4-180: GPIO 模块写使能寄存器（GPIOREGKEY）位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                            |
|------|-----|----|------------|-------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 GPIO 寄存器 |

## 5 中断和事件

### 5.1 嵌套向量中断控制器（NVIC）

嵌套向量中断控制器（NVIC）是 ARM® Cortex-M4F 内核的组成部分。NVIC 和 CPU 内核接口紧密配合，可以实现低延迟的中断处理和晚到中断的高效处理。

#### 5.1.1 NVIC 特性

NVIC 包括下列特性：

- 具有多达 107 个中断向量（不包括 Cortex-M4F 的 16 个中断）；
- 16 个可编程优先级（使用了 4 位中断优先级）；优先级的数值越大，中断的优先级越低，因此优先级 0 是最高的中断优先级；
- 实现系统异常和外设中断的控制；
- 支持中断末尾连锁（tail-chaining）和晚到处理；
- 支持中断惰性堆栈（lazy-stacking）；
- 支持不可屏蔽中断（NMI）。

#### 5.1.2 中断和异常向量

当一个异常事件发生并被 Cortex-M4F 处理时，处理器需要知道异常处理函数的确切起始地址。因此，采用了中断向量表的机制。中断向量表是位于系统储存器的一个由 32 位数据组成的数组，每一个 32 位数据代表一个异常处理函数的起始地址，根据异常向量号乘以 4 来排列。中断向量表的位置由 NVIC 中一个叫做 VTOR（地址 0xE000ED08）的可编程寄存器控制。在复位后，VTOR 的值被复位为 0；因此，在复位后，中断向量表的位置在地址 0。SPC1185 的中断向量表如表 5-1 所示。

表 5-1：SPC1185 中断向量表

| 异常号 | CMSIS 中断号 | 略缩语           | 优先级     | 描述               | 偏移地址        |
|-----|-----------|---------------|---------|------------------|-------------|
| –   | –         | MSP           | –       | 初始化主堆栈指针         | 0x0000 0000 |
| 1   | –         | Reset         | -3, 最高级 | 复位               | 0x0000 0004 |
| 2   | -14       | NMI           | -2      | 不可屏蔽中断           | 0x0000 0008 |
| 3   | -13       | Hard Fault    | -1      | 所有类型的故障          | 0x0000 000C |
| 4   | -12       | MemManage     | 可配置     | 存储器管理故障          | 0x0000 0010 |
| 5   | -11       | Bus Fault     | 可配置     | 总线系统故障           | 0x0000 0014 |
| 6   | -10       | Usage Fault   | 可配置     | 用法故障             | 0x0000 0018 |
| 7   | –         | –             | –       | 保留               | 0x0000 001C |
| 8   | –         | –             | –       | 保留               | 0x0000 0020 |
| 9   | –         | –             | –       | 保留               | 0x0000 0024 |
| 10  | –         | –             | –       | 保留               | 0x0000 0028 |
| 11  | -5        | SVCall        | 可配置     | 通过 SVC 指令调用的系统服务 | 0x0000 002C |
| 12  | -4        | Debug Monitor | 可配置     | 调试监视器            | 0x0000 0030 |
| 13  | –         | –             | –       | 保留               | 0x0000 0034 |

| 异常号 | CMSIS<br>中断号 | 略缩语          | 优先级 | 描述               | 偏移地址        |
|-----|--------------|--------------|-----|------------------|-------------|
| 14  | -2           | PendSV       | 可配置 | 可挂起的系统服务         | 0x0000 0038 |
| 15  | -1           | SysTick      | 可配置 | 系统节拍定时器中断        | 0x0000 003C |
| 16  | 0            | WDT1         | 可配置 | 看门狗定时器 1 中断      | 0x0000 0040 |
| 17  | 1            | GPIOP0_LEVEL | 可配置 | GPIO 端口 0 电平触发中断 | 0x0000 0044 |
| 18  | 2            | GPIOP1_LEVEL | 可配置 | GPIO 端口 1 电平触发中断 | 0x0000 0048 |
| 19  | 3            | GPIOP2_LEVEL | 可配置 | GPIO 端口 2 电平触发中断 | 0x0000 004C |
| 20  | 4            | GPIOP0_EDGE  | 可配置 | GPIO 端口 0 边沿触发中断 | 0x0000 0050 |
| 21  | 5            | GPIOP1_EDGE  | 可配置 | GPIO 端口 1 边沿触发中断 | 0x0000 0054 |
| 22  | 6            | GPIOP2_EDGE  | 可配置 | GPIO 端口 2 边沿触发中断 | 0x0000 0058 |
| 23  | 7            | UART0        | 可配置 | UART0 中断         | 0x0000 005C |
| 24  | 8            | UART1        | 可配置 | UART1 中断         | 0x0000 0060 |
| 25  | 9            | UART2        | 可配置 | UART2 中断         | 0x0000 0064 |
| 26  | 10           | UART3        | 可配置 | UART3 中断         | 0x0000 0068 |
| 27  | 11           | UART4        | 可配置 | UART4 中断         | 0x0000 006C |
| 28  | —            | —            | —   | 保留               | 0x0000 0070 |
| 29  | —            | —            | —   | 保留               | 0x0000 0074 |
| 30  | —            | —            | —   | 保留               | 0x0000 0078 |
| 31  | 15           | SPI0         | 可配置 | SPI0 中断          | 0x0000 007C |
| 32  | 16           | SPI1         | 可配置 | SPI1 中断          | 0x0000 0080 |
| 33  | 17           | SPI2         | 可配置 | SPI2 中断          | 0x0000 0084 |
| 34  | 18           | I2C0         | 可配置 | I2C0 中断          | 0x0000 0088 |
| 35  | 19           | I2C1         | 可配置 | I2C1 中断          | 0x0000 008C |
| 36  | 20           | I2C2         | 可配置 | I2C2 中断          | 0x0000 0090 |
| 37  | —            | —            | —   | 保留               | 0x0000 0094 |
| 38  | 22           | QSPI         | 可配置 | QSPI 中断          | 0x0000 0098 |
| 39  | 23           | CAN0MBG0     | 可配置 | CAN0 信箱组 0 中断    | 0x0000 009C |
| 40  | 24           | CAN0MBG1     | 可配置 | CAN0 信箱组 1 中断    | 0x0000 00A0 |
| 41  | 25           | CAN0MBG2     | 可配置 | CAN0 信箱组 2 中断    | 0x0000 00A4 |
| 42  | 26           | CAN0MBG3     | 可配置 | CAN0 信箱组 3 中断    | 0x0000 00A8 |
| 43  | 27           | CAN0MBG4     | 可配置 | CAN0 信箱组 4 中断    | 0x0000 00AC |
| 44  | 28           | CAN0MBG5     | 可配置 | CAN0 信箱组 5 中断    | 0x0000 00B0 |
| 45  | 29           | CAN0MBG6     | 可配置 | CAN0 信箱组 6 中断    | 0x0000 00B4 |
| 46  | 30           | CAN0MBG7     | 可配置 | CAN0 信箱组 7 中断    | 0x0000 00B8 |
| 47  | 31           | CAN0MISC     | 可配置 | CAN0 杂项中断        | 0x0000 00BC |
| 48  | 32           | CAN1MBG0     | 可配置 | CAN1 信箱组 0 中断    | 0x0000 00C0 |
| 49  | 33           | CAN1MBG1     | 可配置 | CAN1 信箱组 1 中断    | 0x0000 00C4 |
| 50  | 34           | CAN1MBG2     | 可配置 | CAN1 信箱组 2 中断    | 0x0000 00C8 |
| 51  | 35           | CAN1MBG3     | 可配置 | CAN1 信箱组 3 中断    | 0x0000 00CC |
| 52  | 36           | CAN1MBG4     | 可配置 | CAN1 信箱组 4 中断    | 0x0000 00D0 |
| 53  | 37           | CAN1MBG5     | 可配置 | CAN1 信箱组 5 中断    | 0x0000 00D4 |
| 54  | 38           | CAN1MBG6     | 可配置 | CAN1 信箱组 6 中断    | 0x0000 00D8 |
| 55  | 39           | CAN1MBG7     | 可配置 | CAN1 信箱组 7 中断    | 0x0000 00DC |

| 异常号 | CMSIS<br>中断号 | 略缩语      | 优先级 | 描述               | 偏移地址        |
|-----|--------------|----------|-----|------------------|-------------|
| 56  | 40           | CAN1MISC | 可配置 | CAN1 杂项中断        | 0x0000 00E0 |
| 57  | —            | —        | —   | 保留               | 0x0000 00E4 |
| 58  | —            | —        | —   | 保留               | 0x0000 00E8 |
| 59  | 43           | ADC0CH0  | 可配置 | ADC0 通道 0 转换完成中断 | 0x0000 00EC |
| 60  | 44           | ADC0CH1  | 可配置 | ADC0 通道 1 转换完成中断 | 0x0000 00F0 |
| 61  | 45           | ADC0CH2  | 可配置 | ADC0 通道 2 转换完成中断 | 0x0000 00F4 |
| 62  | 46           | ADC0CH3  | 可配置 | ADC0 通道 3 转换完成中断 | 0x0000 00F8 |
| 63  | 47           | ADC0CH4  | 可配置 | ADC0 通道 4 转换完成中断 | 0x0000 00FC |
| 64  | 48           | ADC0CH5  | 可配置 | ADC0 通道 5 转换完成中断 | 0x0000 0100 |
| 65  | 49           | ADC0CH6  | 可配置 | ADC0 通道 6 转换完成中断 | 0x0000 0104 |
| 66  | 50           | ADC0CH7  | 可配置 | ADC0 通道 7 转换完成中断 | 0x0000 0108 |
| 67  | 51           | ADC0PPU0 | 可配置 | ADC0 后处理单元 0 中断  | 0x0000 010C |
| 68  | 52           | ADC0PPU1 | 可配置 | ADC0 后处理单元 1 中断  | 0x0000 0110 |
| 69  | 53           | ADC0PPU2 | 可配置 | ADC0 后处理单元 2 中断  | 0x0000 0114 |
| 70  | 54           | ADC0PPU3 | 可配置 | ADC0 后处理单元 3 中断  | 0x0000 0118 |
| 71  | 55           | ADC1CH0  | 可配置 | ADC1 通道 0 转换完成中断 | 0x0000 011C |
| 72  | 56           | ADC1CH1  | 可配置 | ADC1 通道 1 转换完成中断 | 0x0000 0120 |
| 73  | 57           | ADC1CH2  | 可配置 | ADC1 通道 2 转换完成中断 | 0x0000 0124 |
| 74  | 58           | ADC1CH3  | 可配置 | ADC1 通道 3 转换完成中断 | 0x0000 0128 |
| 75  | 59           | ADC1CH4  | 可配置 | ADC1 通道 4 转换完成中断 | 0x0000 012C |
| 76  | 60           | ADC1CH5  | 可配置 | ADC1 通道 5 转换完成中断 | 0x0000 0130 |
| 77  | 61           | ADC1CH6  | 可配置 | ADC1 通道 6 转换完成中断 | 0x0000 0134 |
| 78  | 62           | ADC1CH7  | 可配置 | ADC1 通道 7 转换完成中断 | 0x0000 0138 |
| 79  | 63           | ADC1PPU0 | 可配置 | ADC1 后处理单元 0 中断  | 0x0000 013C |
| 80  | 64           | ADC1PPU1 | 可配置 | ADC1 后处理单元 1 中断  | 0x0000 0140 |
| 81  | 65           | ADC1PPU2 | 可配置 | ADC1 后处理单元 2 中断  | 0x0000 0144 |
| 82  | 66           | ADC1PPU3 | 可配置 | ADC1 后处理单元 3 中断  | 0x0000 0148 |
| 83  | 67           | ADC2CH0  | 可配置 | ADC2 通道 0 转换完成中断 | 0x0000 014C |
| 84  | 68           | ADC2CH1  | 可配置 | ADC2 通道 1 转换完成中断 | 0x0000 0150 |
| 85  | 69           | ADC2CH2  | 可配置 | ADC2 通道 2 转换完成中断 | 0x0000 0154 |
| 86  | 70           | ADC2CH3  | 可配置 | ADC2 通道 3 转换完成中断 | 0x0000 0158 |
| 87  | 71           | ADC2CH4  | 可配置 | ADC2 通道 4 转换完成中断 | 0x0000 015C |
| 88  | 72           | ADC2CH5  | 可配置 | ADC2 通道 5 转换完成中断 | 0x0000 0160 |
| 89  | 73           | ADC2CH6  | 可配置 | ADC2 通道 6 转换完成中断 | 0x0000 0164 |
| 90  | 74           | ADC2CH7  | 可配置 | ADC2 通道 7 转换完成中断 | 0x0000 0168 |
| 91  | 75           | ADC2PPU0 | 可配置 | ADC2 后处理单元 0 中断  | 0x0000 016C |
| 92  | 76           | ADC2PPU1 | 可配置 | ADC2 后处理单元 1 中断  | 0x0000 0170 |
| 93  | 77           | ADC2PPU2 | 可配置 | ADC2 后处理单元 2 中断  | 0x0000 0174 |
| 94  | 78           | ADC2PPU3 | 可配置 | ADC2 后处理单元 3 中断  | 0x0000 0178 |
| 95  | 79           | PWM0TZ   | 可配置 | PWM0 封锁中断        | 0x0000 017C |
| 96  | 80           | PWM1TZ   | 可配置 | PWM1 封锁中断        | 0x0000 0180 |
| 97  | 81           | PWM2TZ   | 可配置 | PWM2 封锁中断        | 0x0000 0184 |

| 异常号 | CMSIS<br>中断号 | 略缩语    | 优先级 | 描述         | 偏移地址        |
|-----|--------------|--------|-----|------------|-------------|
| 98  | 82           | PWM3TZ | 可配置 | PWM3 封锁中断  | 0x0000 0188 |
| 99  | 83           | PWM4TZ | 可配置 | PWM4 封锁中断  | 0x0000 018C |
| 100 | 84           | PWM5TZ | 可配置 | PWM5 封锁中断  | 0x0000 0190 |
| 101 | 85           | PWM6TZ | 可配置 | PWM6 封锁中断  | 0x0000 0194 |
| 102 | 86           | PWM7TZ | 可配置 | PWM7 封锁中断  | 0x0000 0198 |
| 103 | —            | —      | —   | 保留         | 0x0000 019C |
| 104 | —            | —      | —   | 保留         | 0x0000 01A0 |
| 105 | —            | —      | —   | 保留         | 0x0000 01A4 |
| 106 | —            | —      | —   | 保留         | 0x0000 01A8 |
| 107 | 91           | PWM0   | 可配置 | PWM0 中断    | 0x0000 01AC |
| 108 | 92           | PWM1   | 可配置 | PWM1 中断    | 0x0000 01B0 |
| 109 | 93           | PWM2   | 可配置 | PWM2 中断    | 0x0000 01B4 |
| 110 | 94           | PWM3   | 可配置 | PWM3 中断    | 0x0000 01B8 |
| 111 | 95           | PWM4   | 可配置 | PWM4 中断    | 0x0000 01BC |
| 112 | 96           | PWM5   | 可配置 | PWM5 中断    | 0x0000 01C0 |
| 113 | 97           | PWM6   | 可配置 | PWM6 中断    | 0x0000 01C4 |
| 114 | 98           | PWM7   | 可配置 | PWM7 中断    | 0x0000 01C8 |
| 115 | —            | —      | —   | 保留         | 0x0000 01CC |
| 116 | —            | —      | —   | 保留         | 0x0000 01D0 |
| 117 | —            | —      | —   | 保留         | 0x0000 01D4 |
| 118 | —            | —      | —   | 保留         | 0x0000 01D8 |
| 119 | 103          | ECAP0  | 可配置 | ECAP0 中断   | 0x0000 01DC |
| 120 | 104          | ECAP1  | 可配置 | ECAP1 中断   | 0x0000 01E0 |
| 121 | 105          | ECAP2  | 可配置 | ECAP2 中断   | 0x0000 01E4 |
| 122 | 106          | ECAP3  | 可配置 | ECAP3 中断   | 0x0000 01E8 |
| 123 | 107          | ECAP4  | 可配置 | ECAP4 中断   | 0x0000 01EC |
| 124 | 108          | ECAP5  | 可配置 | ECAP5 中断   | 0x0000 01F0 |
| 125 | 109          | ECAP6  | 可配置 | ECAP6 中断   | 0x0000 01F4 |
| 126 | 110          | ECAP7  | 可配置 | ECAP7 中断   | 0x0000 01F8 |
| 127 | 111          | TIMER0 | 可配置 | 通用定时器 0 中断 | 0x0000 01FC |
| 128 | 112          | TIMER1 | 可配置 | 通用定时器 1 中断 | 0x0000 0200 |
| 129 | 113          | TIMER2 | 可配置 | 通用定时器 2 中断 | 0x0000 0204 |
| 130 | 114          | TIMER3 | 可配置 | 通用定时器 3 中断 | 0x0000 0208 |
| 131 | 115          | TIMER4 | 可配置 | 通用定时器 4 中断 | 0x0000 020C |
| 132 | 116          | TIMER5 | 可配置 | 通用定时器 5 中断 | 0x0000 0210 |
| 133 | —            | —      | —   | 保留         | 0x0000 0214 |
| 134 | —            | —      | —   | 保留         | 0x0000 0218 |
| 135 | —            | —      | —   | 保留         | 0x0000 021C |
| 136 | —            | —      | —   | 保留         | 0x0000 0220 |
| 137 | 121          | EQEP0  | 可配置 | EQEP0 中断   | 0x0000 0224 |
| 138 | 122          | EQEP1  | 可配置 | EQEP1 中断   | 0x0000 0228 |
| 139 | 123          | DMAC0  | 可配置 | DMAC0 中断   | 0x0000 022C |



| 异常号 | CMSIS<br>中断号 | 略缩语   | 优先级 | 描述       | 偏移地址        |
|-----|--------------|-------|-----|----------|-------------|
| 140 | 124          | DMAC1 | 可配置 | DMAC1 中断 | 0x0000 0230 |
| 141 | 125          | AES   | 可配置 | AES 中断   | 0x0000 0234 |
| 142 | 126          | CRC   | 可配置 | CRC 中断   | 0x0000 0238 |
| 143 | —            | —     | —   | 保留       | 0x0000 023C |

### 5.1.3 NVIC 中断配置

编号为 IRQn 的 NVIC 中断可以有如下配置操作：

- 通过 NVIC\_EnableIRQ(IRQn)函数使能；
- 通过 NVIC\_DisableIRQ(IRQn)函数关闭；
- 通过 NVIC\_GetPendingIRQ(IRQn)函数查询挂起状态；
- 通过 NVIC\_ClearPendingIRQ(IRQn)函数清除挂起状态；
- 通过 NVIC\_SetPendingIRQ(IRQn)函数产生软中断；
- 通过 NVIC\_SetPriority(IRQn, priority)函数设置中断的优先级；
  - priority 为 0 到 15 之间的数，值越小优先级越高
- 通过 NVIC\_GetPriority(IRQn)函数查询中断优先级

更多关于 NVIC 的配置，请参阅 ARM®相关的文档。

## 5.2 不可屏蔽中断（NMI）

SPC1185 可以通过 SYSTEM->NMIE 寄存器启用如下事件作为不可屏蔽中断的触发源。相关配置请参见表 24-21 到表 24-32。

- 电源事件
  - 3.3V 电压域（DVDD）欠压或过压
  - 1.2V 电压域（VCAP12）欠压或过压
- 时钟事件
  - PLL 失锁
  - 时钟检测器报告错误
- GPIO 引脚事件
  - 用户指定的某个 GPIO 引脚上出现指定的信号变化边沿
- 存储器 ECC 错误
  - ROM 读取时发生单比特错误
  - ROM 读取时发生多比特错误
  - FLASH 读取时发生单比特错误
  - FLASH 读取时发生多比特错误
  - RAM0 读取时发生单比特错误
  - RAM0 读取时发生多比特错误
  - RAM1 读取时发生单比特错误
  - RAM1 读取时发生多比特错误
- 看门狗定时器 0 超时



5.3 SysTick 定时器

Cortex-M4F 处理器包含了一个集成的系统定时器，叫做 SysTick。该定时器是一个 24 比特位宽的向下计数的计数器。一旦它计数到 0，计数器会从 RELOAD 寄存器中加载重装值。只有清除 SysTick 控制和状态寄存器的使能位，该定时器才会停止。

当 SysTick 定时器计数从 1 变为 0 的时候，SysTick 控制和状态寄存器的 COUNTFLAG 位位置 1。COUNTFLAG 位可以通过下面的任意一种方式清除：

- 通过处理器读取 SysTick 控制和状态寄存器；
- 通过向 SysTick 当前值寄存器中写入任意值以清除 SysTick 计数器值。

SysTick 计数器可以被用来产生固定间隔的 SysTick 中断。这对操作系统 OS、任务以及资源管理常常是必要的。TICKINT 位段置 1 可以使能 SysTick 中断的产生。

更多关于 SysTick 定时器的配置，请参阅 ARM®相关的文档。

5.4 外设中断源的管理

每个外设通常只有一个到 CPU 的中断信号，但可能有多个可以触发中断的事件。对于一个有 n 个中断事件的外设，通过如图 5-1 所示的寄存器管理（m 为模块名）：

- 中断使能控制寄存器（mIE）
  - EVT<sub>x</sub> 位段控制是否使能 EVT<sub>x</sub> 事件触发中断请求
- 中断事件标志寄存器（mRAWIF）
  - EVT<sub>x</sub> 位段记录 EVT<sub>x</sub> 事件是否发生
- 中断标志寄存器（mIF）
  - INT 位段记录是否已经有全局中断信号发送给 CPU
  - EVT<sub>x</sub> 位段记录 EVT<sub>x</sub> 事件中断请求是否已发生
- 中断清除寄存器（mIC）
  - 向 mIC.EVT<sub>x</sub> 写 1，可以清除 mRAWIF.EVT<sub>x</sub> 事件标志、mIF.EVT<sub>x</sub> 中断标志以及等待中的 EVT<sub>x</sub> 中断请求。
  - 向 mIC.INT 写 1，可以清除 mIF.INT 全局中断标志
  - 对于发送 FIFO 数据写请求和接收 FIFO 数据读请求事件，没有对应的 mIC 位段。只能通过对 FIFO 进行相应的读写直到 FIFO 内数据量满足阈值要求，才能清除标志位。
- 中断强制寄存器（mIFRC）
  - 往 EVT<sub>x</sub> 写 1 可以强制产生 EVT<sub>x</sub> 事件中断请求，便于软件调试。

图 5-1：外设中断相关的寄存器

|        |                    |                    |                  |                  |                  |
|--------|--------------------|--------------------|------------------|------------------|------------------|
| mIE    | EVT <sub>n-1</sub> | ...                | EVT <sub>1</sub> | EVT <sub>0</sub> |                  |
| mRAWIF | EVT <sub>n-1</sub> | ...                | EVT <sub>1</sub> | EVT <sub>0</sub> |                  |
| mIF    | INT                | EVT <sub>n-1</sub> | ...              | EVT <sub>1</sub> | EVT <sub>0</sub> |
| mIC    | INT                | EVT <sub>n-1</sub> | ...              | EVT <sub>1</sub> | EVT <sub>0</sub> |
| mIFRC  | EVT <sub>n-1</sub> | ...                | EVT <sub>1</sub> | EVT <sub>0</sub> |                  |

当 EVT<sub>x</sub> 中断事件发生时，

- mRAWIF.EVT<sub>x</sub> 位段置 1；
- 若 mIE.EVT<sub>x</sub>=0，则 mIF 寄存器不受影响，且不会产生中断请求，否则，
  - 若 mIF.EVT<sub>x</sub>=0，则 mIF.EVT<sub>x</sub> 置 1，且产生 EVT<sub>x</sub> 中断请求；
  - 若 mIF.EVT<sub>x</sub>=1，则 mIF.EVT<sub>x</sub> 保持 1，且不会产生 EVT<sub>x</sub> 中断请求，即该事件被丢弃。

当 EVT<sub>x</sub> 中断请求产生时，

- 若 mIF.INT=0，则 mIF.INT=1，且产生一个中断信号给 CPU；
- 若 mIF.INT=1，则 mIF.INT 保持 1，且不会产生中断信号给 CPU。EVT<sub>x</sub> 中断请求进入等待。此后，向 mIC.INT 写 1 清除 mIF.INT 时，
  - 若同时或先向 mIC.EVT<sub>x</sub> 写 1 清除 mIF.EVT<sub>x</sub>，则等待中的 EVT<sub>x</sub> 中断请求也会被清除，因此 mIF.INT 被清除后不会产生新的中断信号给 CPU，直至有新的中断请求产生；
  - 若不曾清除 mIF.EVT<sub>x</sub>，则 mIF.INT 被清除后，等待中的 EVT<sub>x</sub> 中断请求会触发 mIF.INT 立即又置 1，且产生一个中断信号给 CPU。

图 5-2：外设多事件中断示例

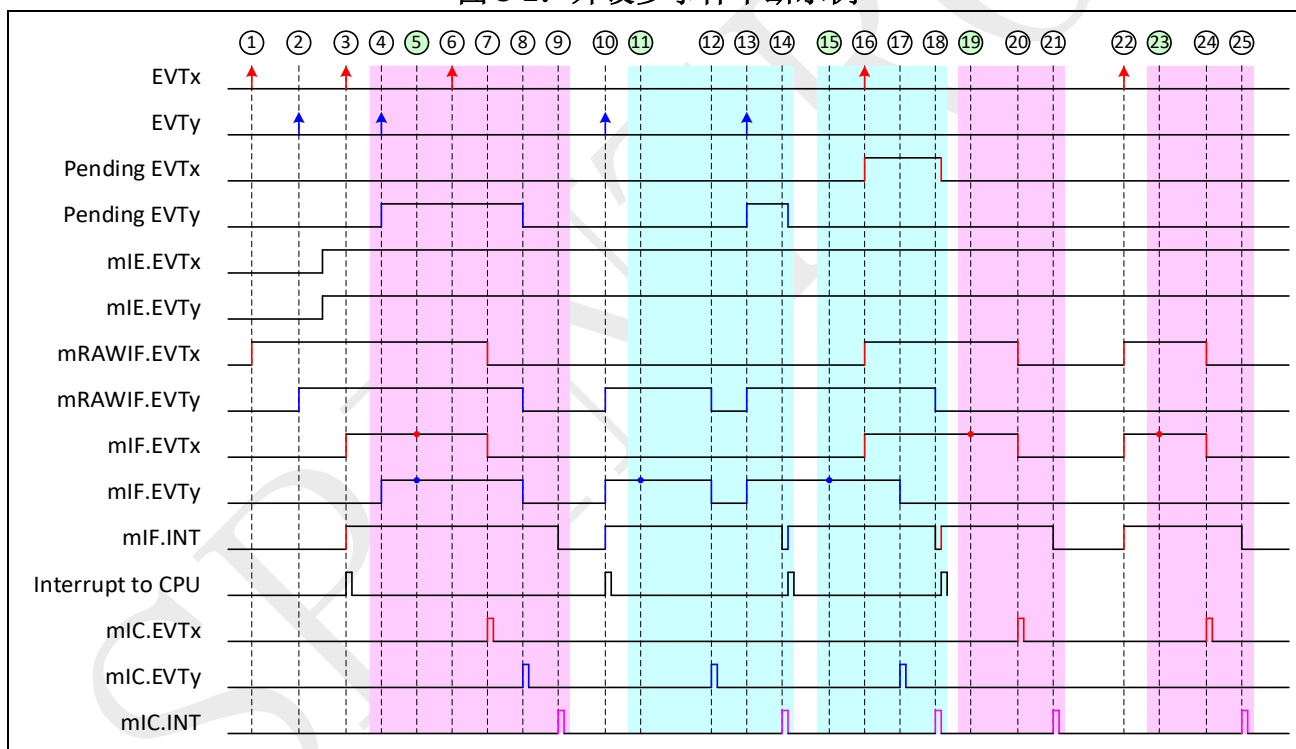


图 5-2 给了一个多事件源触发中断的例子，各标号处有如下行为：

1. EVT<sub>x</sub> 事件发生，由于 mIE.EVT<sub>x</sub>=0，因此只有 mRAWIF.EVT<sub>x</sub> 置 1，不会引发其他行为。
2. EVTy 事件发生，由于 mIE.EVT<sub>y</sub>=0，因此只有 mRAWIF.EVT<sub>y</sub> 置 1，不会引发其他行为。
3. EVT<sub>x</sub> 事件发生，由于 mIE.EVT<sub>x</sub>=1 且 mIF.EVT<sub>x</sub>=0，因此 mIF.EVT<sub>x</sub> 置 1 并产生中断请求。又因为 mIF.INT=0，所以该请求立刻得到相应，mIF.INT 置 1，并产生一个中断信号给 CPU。
4. EVT<sub>x</sub> 触发的中断服务程序刚开始执行不久，又发生了 EVTy 事件，由于 mIE.EVT<sub>y</sub>=1，且 mIF.EVT<sub>y</sub>=0，因此产生中断请求，mIF.EVT<sub>y</sub> 置 1。又因为 mIF.INT=1，所以该中断请求进入等待，不会产生新的中断信号给 CPU。
5. 中断服务程序执行到检查 mIF 寄存器位段这一步，看到 mIF.EVT<sub>x</sub> 和 mIF.EVT<sub>y</sub> 均为 1，因此

会对这两个事件都做相应的处理。

6. 期间又发生了一个 EVT<sub>x</sub> 事件，因为此时已经有 mIF.EVT<sub>x</sub>=1，所以该事件被丢弃。
7. 中断服务程序处理完 EVT<sub>x</sub> 事件后，向 mIC.EVT<sub>x</sub> 写 1，从而清除 mRAWIF.EVT<sub>x</sub> 和 mIF.EVT<sub>x</sub>。
8. 中断服务程序处理完 EVT<sub>y</sub> 事件后，向 mIC.EVT<sub>y</sub> 写 1，从而清除 mRAWIF.EVT<sub>y</sub>、mIF.EVT<sub>y</sub> 以及等待中的 EVT<sub>y</sub> 请求。
9. 中断服务程序的最后，向 mIC.INT 写 1。由于没有等待中的中断请求，因此 mIF.INT 被清除。
10. EVT<sub>y</sub> 事件发生，mRAWIF.EVT<sub>y</sub> 置 1。由于 mIE.EVT<sub>y</sub>=1 且 mIF.EVT<sub>y</sub>=0，因此 mIF.EVT<sub>y</sub> 置 1 并产生中断请求。又因为 mIF.INT=0，所以该请求立刻得到相应，mIF.INT 置 1，并产生一个中断信号给 CPU。
11. EVT<sub>y</sub> 触发的中断服务程序在开始处检查 mIF，只看到 mIF.EVT<sub>y</sub>=1，因此只会处理该事件。
12. 中断服务程序处理完 EVT<sub>y</sub> 事件后，向 mIC.EVT<sub>y</sub> 写 1，从而清除 mRAWIF.EVT<sub>y</sub> 和 mIF.EVT<sub>y</sub>。
13. 此时又发生了一个 EVT<sub>y</sub> 事件，mRAWIF.EVT<sub>y</sub> 置 1。由于 mIE.EVT<sub>y</sub>=1 且 mIF.EVT<sub>y</sub>=0，因此 mIF.EVT<sub>y</sub> 置 1 并产生中断请求。又因为 mIF.INT=1，所以该中断请求进入等待。
14. 中断服务程序的最后，向 mIC.INT 写 1。此时等待中的 EVT<sub>y</sub> 中断请求得到响应，mIF.INT 被清除后又立刻置 1，并产生一个中断信号给 CPU。
15. 新的中断服务程序在开始处检查 mIF，只看到 mIF.EVT<sub>y</sub>=1，因此只会处理该事件。
16. 期间又发生了一个 EVT<sub>x</sub> 事件，mRAWIF.EVT<sub>x</sub> 置 1。由于 mIE.EVT<sub>x</sub>=1 且 mIF.EVT<sub>x</sub>=0，因此 mIF.EVT<sub>x</sub> 置 1 并产生中断请求。又因为 mIF.INT=1，所以该中断请求进入等待。
17. 中断服务程序处理完 EVT<sub>y</sub> 事件后，向 mIC.EVT<sub>y</sub> 写 1，从而清除 mRAWIF.EVT<sub>y</sub> 和 mIF.EVT<sub>y</sub>。
18. 中断服务程序的最后，向 mIC.INT 写 1。此时等待中的 EVT<sub>x</sub> 中断请求得到响应，mIF.INT 被清除后又立刻置 1，并产生一个中断信号给 CPU。
19. 新的中断服务程序在开始处检查 mIF，只看到 mIF.EVT<sub>x</sub>=1，因此只会处理该事件。
20. 中断服务程序处理完 EVT<sub>x</sub> 事件后，向 mIC.EVT<sub>x</sub> 写 1，从而清除 mRAWIF.EVT<sub>x</sub> 和 mIF.EVT<sub>x</sub>。
21. 中断服务程序的最后，向 mIC.INT 写 1。由于没有等待中的中断请求，因此 mIF.INT 被清除。
22. EVT<sub>x</sub> 事件发生，mRAWIF.EVT<sub>x</sub> 置 1。由于 mIE.EVT<sub>x</sub>=1 且 mIF.EVT<sub>x</sub>=0，因此 mIF.EVT<sub>x</sub> 置 1 并产生中断请求。又因为 mIF.INT=0，所以该请求立刻得到相应，mIF.INT 置 1，并产生一个中断信号给 CPU。
23. 新的中断服务程序在开始处检查 mIF，只看到 mIF.EVT<sub>x</sub>=1，因此只会处理该事件。
24. 中断服务程序处理完 EVT<sub>x</sub> 事件后，向 mIC.EVT<sub>x</sub> 写 1，从而清除 mRAWIF.EVT<sub>x</sub> 和 mIF.EVT<sub>x</sub>。
25. 中断服务程序的最后，向 mIC.INT 写 1。由于没有等待中的中断请求，因此 mIF.INT 被清除。

上述机制使得各个事件所触发的中断请求，既不会丢失，也不会被多次响应和处理。仅当同一个事件发生得过于频繁，超出了 CPU 中断服务程序的处理速度，才会被丢弃。用户可以根据需要，通过不清除 mIF.EVT<sub>x</sub> 来阻止 EVT<sub>x</sub> 事件触发中断请求，或通过不清除 mIF.INT 来阻止产生中断信号给 CPU。

## 6 通用定时器 (TIMER)

### 6.1 概述

SPC1185 内置 6 个 32 位通用定时器，其特性如下：

- 基于专属时钟的 32 位递减计数器；
- 当计数到 0 时产生中断；
- 当计数到 0 时产生 ADCSOC 事件；
- 当计数到 0 时产生 PWMSYNCI 事件；
- 支持 4 种工作模式
  - 通用定时模式：周期性向下计数
  - 门控定时模式：由外部引脚电平使能计数
  - 事件计数模式：对外部引脚边沿事件向下计数
  - 事件捕获模式：记录周期性计时过程中外部引脚边沿事件发生时对应的时间戳

### 6.2 功能描述

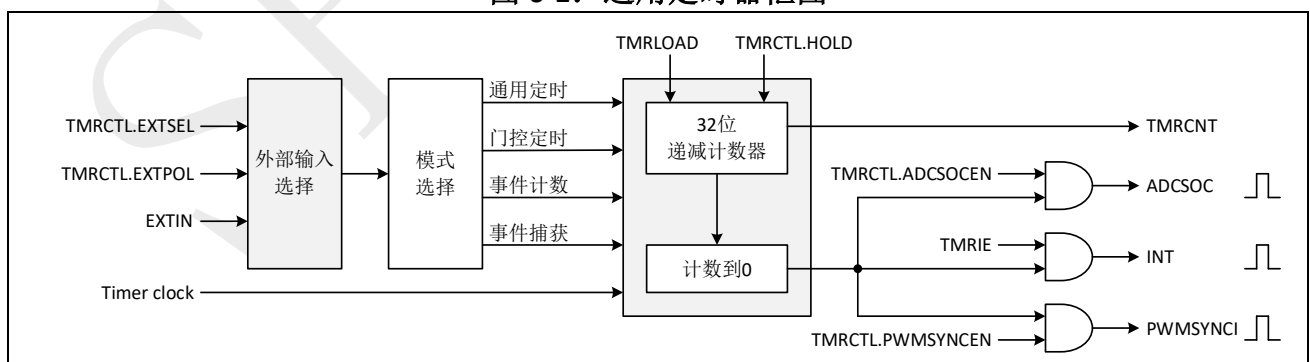
如图 6-1 所示，每一个通用定时器都基于一个 32 位的周期性向下计数器。当使能定时器之后，计数器加载 TMRLOAD 寄存器的值，并开始向下计数。当计数到 0 后，计数器从 TMRLOAD 寄存器的值重新开始向下计数，且有如下动作发生：

- 如果使能了定时器中断，将会有中断产生，并锁存中断标志直到被手动清除
- 如果 TMRCTL.ADCSOCEN 使能，将会产生一个 ADCSOC 事件
- 如果 TMRCTL.PWMSYNCEN 使能，将会产生一个 PWMSYNCI 事件

用于外部信号输入的 I/O 引脚及其有效的电平或者边沿可以通过 TMRCTL.EXTSEL 和 TMRCTL.EXTPOL 寄存器位段控制。详细信息请参见表 6-7 和表 6-8。

在系统复位之后，定时器默认为关闭状态。

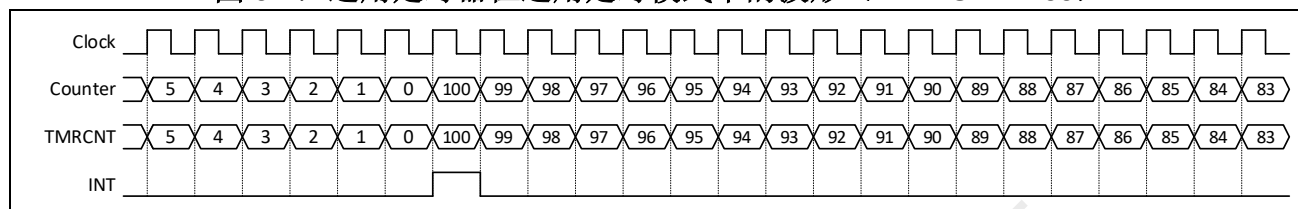
图 6-1：通用定时器框图



## 6.2.1 通用计时模式

如图 6-2 所示，该模式下 32 位计时器在模块时钟上升沿递减计数，计数到 0 时重新加载初值并继续计数。寄存器 TMRCNT 的回读值始终是实时的计数值。

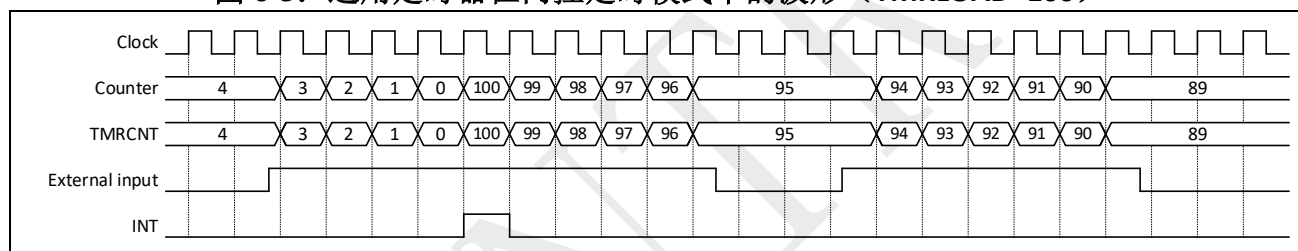
图 6-2：通用定时器在通用定时模式下的波形（TMRLOAD=100）



## 6.2.2 门控定时模式

如图 6-3 所示，该模式与通用定时模式类似，只是计数器仅在外围引脚输入有效电平时才计数。用于外部输入的 I/O 引脚及有效电平软件可配。寄存器 TMRCNT 的回读值始终是实时的计数值。

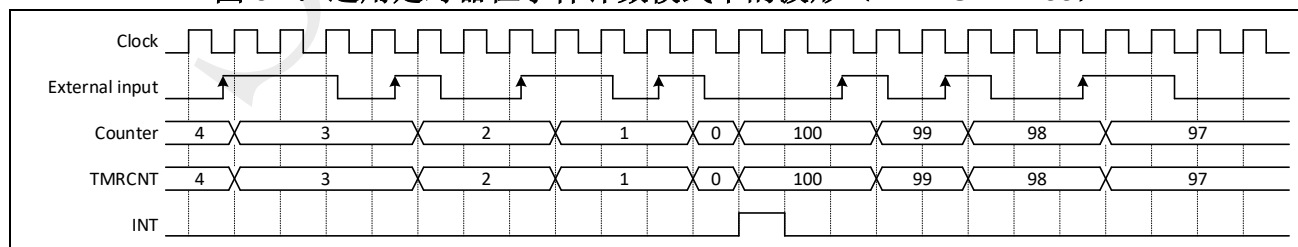
图 6-3：通用定时器在门控定时模式下的波形（TMRLOAD=100）



## 6.2.3 事件计数模式

如图 6-4 所示，该模式下计数器仅当在外部输入引脚上检测到一个有效边沿的时候才计数。当计数到 0 时，将自动加载初始值，为下一轮计数做准备。因此，每当外部输入引脚上累计检测到的有效边沿数等于 TMRLOAD 时，将产生一个中断。该模式可以帮助用户在某个引脚上检测预定数量的信号沿并通过中断告知。用于外部输入的 I/O 引脚及有效电平软件可配。寄存器 TMRCNT 的回读值始终是实时的计数值。为了能正确检测信号沿，外部输入信号的高低电平保持时间必须大于定时器模块的时钟周期。

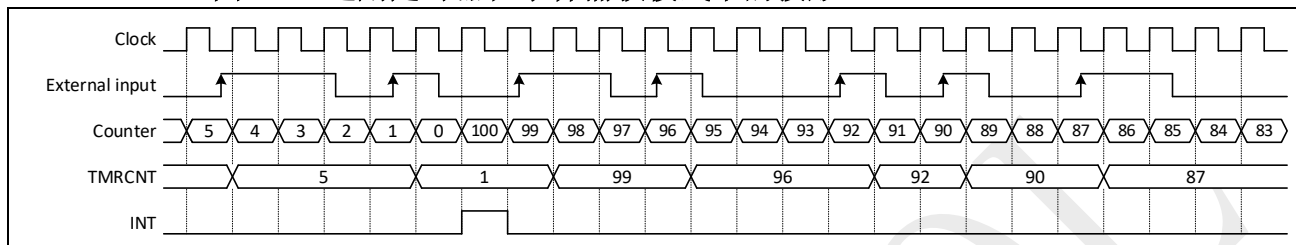
图 6-4：通用定时器在事件计数模式下的波形（TMRLOAD=100）



### 6.2.4 事件捕获模式

如图 6-5 所示，该模式下计数器的行为与通用定时模式完全相同。但是，TMRCNT 寄存器的回读值并非实时的计数值，而是检测到外部输入有效边沿时锁存的计数值。用于外部输入的 I/O 引脚及有效电平软件可配。为了能正确检测信号沿，外部输入信号的高低电平保持时间必须大于定时器模块的时钟周期。

图 6-5：通用定时器在事件捕获模式下的波形（TMRLOAD=100）



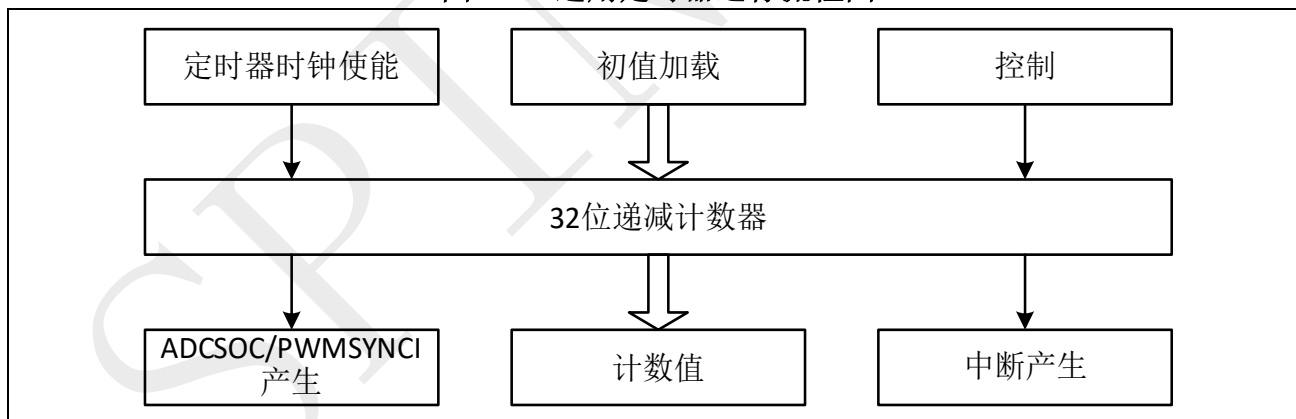
### 6.3 初始化流程

应当遵照下面的流程来启动定时器：

- 关闭定时器，并清除定时器中断；
- 配置定时器加载值寄存器（TMRLOAD）；
- 配置定时器控制寄存器（TMRCTL）；
- 使能定时器开始计数。

定时器运行运行流程框图如图 6-6 所示。

图 6-6：通用定时器运行流程图





## 6.4 寄存器

### 6.4.1 TIMER 寄存器列表

表 6-1: TIMER 模块基地址

| 外设模块   | 基地址         |
|--------|-------------|
| TIMER0 | 0x4000 1400 |
| TIMER1 | 0x4000 1420 |
| TIMER2 | 0x4000 1440 |
| TIMER3 | 0x4000 1460 |
| TIMER4 | 0x4000 1480 |
| TIMER5 | 0x4000 14A0 |

表 6-2: TIMER 寄存器列表

| 寄存器                       | 偏移地址 | 描述             | 复位值        |
|---------------------------|------|----------------|------------|
| <a href="#">TMRLOAD</a> * | 0x00 | 定时器加载值寄存器      | 0x00000000 |
| <a href="#">TMRCNT</a> *  | 0x04 | 定时器计数值寄存器      | 0x00000000 |
| <a href="#">TMRCTL</a> *  | 0x08 | 定时器控制寄存器       | 0x00000000 |
| <a href="#">TMRRAWIF</a>  | 0x0C | 定时器中断原始事件标志寄存器 | 0x00000000 |
| <a href="#">TMRIF</a>     | 0x10 | 定时器中断标志寄存器     | 0x00000000 |
| <a href="#">TMRIC</a>     | 0x14 | 定时器中断清除寄存器     | 0x00000000 |
| <a href="#">TMRIE</a> *   | 0x18 | 定时器中断使能寄存器     | 0x00000000 |
| <a href="#">TMRREGKEY</a> | 0x1C | 定时器模块写使能寄存器    | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 TMRREGKEY=0x1ACCE551 时才可以改写。



## 6.4.2 TIMER 寄存器

### 6.4.2.1 定时器加载值寄存器 (TMRLOAD)

表 6-3: 定时器加载值寄存器 (TMRLOAD) 位段定义

| TMRLOAD (Timer Load Register)                                  |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: TIMERx->TMRLOAD    Offset: 0x00    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                            |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                            |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                            |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                            |    |    |    |    |    |    |    |

表 6-4: 定时器加载值寄存器 (TMRLOAD) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                      |
|------|-----|----|-----|-----------------------------------------|
| 31:0 | VAL | RW | 0x0 | 计数器超时加载值<br>向本寄存器写入数值时, 也会设置 TMRCNT 寄存器 |

### 6.4.2.2 定时器计数器值寄存器 (TMRCNT)

表 6-5: 定时器计数器值寄存器 (TMRCNT) 位段定义

| TMRCNT (Timer Counter Value Register)                         |    |    |    |    |    |    |    |
|---------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: TIMERx->TMRCNT    Offset: 0x04    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                            | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                           |    |    |    |    |    |    |    |
| 23                                                            | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                           |    |    |    |    |    |    |    |
| 15                                                            | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                           |    |    |    |    |    |    |    |
| 7                                                             | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                           |    |    |    |    |    |    |    |

表 6-6: 定时器计数器值寄存器 (TMRCNT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                                        |
|------|-----|----|-----|-------------------------------------------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 向本寄存器写入数值时, 会设置当前计数值。<br>对于事件捕获模式, 寄存器回读值为外部引脚输入上检测到有效边沿时锁存的计数值;<br>对于其他模式, 寄存器回读值为当前计数值。 |

### 6.4.2.3 定时器控制寄存器（TMRCTL）

表 6-7：定时器控制寄存器（TMRCTL）位段定义

| TMRCTL (Timer Control Register)                               |        |           |          |      |      |    |    |
|---------------------------------------------------------------|--------|-----------|----------|------|------|----|----|
| Access: TIMERx->TMRCTL    Offset: 0x08    Default: 0x00000000 |        |           |          |      |      |    |    |
| 31                                                            | 30     | 29        | 28       | 27   | 26   | 25 | 24 |
| RESERVED                                                      |        |           |          |      |      |    |    |
| 23                                                            | 22     | 21        | 20       | 19   | 18   | 17 | 16 |
| RESERVED                                                      |        |           |          |      |      |    |    |
| 15                                                            | 14     | 13        | 12       | 11   | 10   | 9  | 8  |
| RESERVED                                                      |        | EXTSEL    |          |      |      |    |    |
| 7                                                             | 6      | 5         | 4        | 3    | 2    | 1  | 0  |
| EXTSEL                                                        | EXTPOL | PWMSYNCEN | ADCSOCEN | HOLD | MODE |    | EN |

表 6-8：定时器控制寄存器（TMRCTL）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                   |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------|
| 31:14 | RESERVED_31_14 | RO | 0x0 | 保留                                                                                                                   |
| 13:7  | EXTSEL         | RW | 0x0 | 外部输入源选择（GPIO 编号）                                                                                                     |
| 6     | EXTPOL         | RW | 0x0 | 外部输入极性<br>0: 低有效<br>门控定时模式：输入为低时使能计数器；<br>事件计数/捕获模式：输入下降沿触发事件<br>1: 高有效<br>门控定时模式：输入为高时使能计数器；<br>事件计数/捕获模式：输入上升沿触发事件 |
| 5     | PWMSYNCEN      | RW | 0x0 | 使能 PWMSYNCI 信号产生<br>0: 不产生 PWMSYNCI 信号<br>1: 当 TMRCNT 向下计数到 0 时产生 PWMSYNCI                                           |
| 4     | ADCSOCEN       | RW | 0x0 | 使能 ADCSOC 信号产生<br>0: 不产生 ADCSOC 信号<br>1: 当 TMRCNT 向下计数到 0 时产生 ADCSOC                                                 |
| 3     | HOLD           | RW | 0x0 | 计数值保持<br>0: TMRCTL.EN 为低时复位计数值<br>1: TMRCTL.EN 为低时保持计数值                                                              |
| 2:1   | MODE           | RW | 0x0 | 工作模式<br>0: 通用定时（周期性向下计数）<br>1: 门控定时（由外部输入电平使能向下计数）<br>2: 事件计数（由外部输入沿触发向下计数）<br>3: 事件捕获（锁存外部输入沿时的计数值）                 |
| 0     | EN             | RW | 0x0 | 定时器使能<br>0: 关闭定时器<br>1: 使能定时器                                                                                        |

## 6.4.2.4 定时器中断原始事件标志寄存器 (TMRRWIF)

表 6-9: 定时器中断原始事件标志寄存器 (TMRRWIF) 位段定义

| TMRRWIF (Timer Raw Interrupt Flag Register)                    |    |    |    |    |    |    |     |
|----------------------------------------------------------------|----|----|----|----|----|----|-----|
| Access: TIMERx->TMRRWIF    Offset: 0x0C    Default: 0x00000000 |    |    |    |    |    |    |     |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24  |
| RESERVED                                                       |    |    |    |    |    |    |     |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16  |
| RESERVED                                                       |    |    |    |    |    |    |     |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8   |
| RESERVED                                                       |    |    |    |    |    |    |     |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0   |
| RESERVED                                                       |    |    |    |    |    |    | INT |

表 6-10: 定时器中断原始事件标志寄存器 (TMRRWIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                |
|------|---------------|----|-----|---------------------------------------------------------------------------------------------------|
| 31:1 | RESERVED_31_1 | RO | 0x0 | 保留                                                                                                |
| 0    | INT           | RO | 0x0 | 锁存的定时器超时事件标志<br>本位段在 TMRCNT 向下计数到 0 时被置 1;<br>且只能通过向 TMRIC 寄存器写 1 清除。<br>0: 超时事件未发生<br>1: 超时事件已发生 |

## 6.4.2.5 定时器中断标志寄存器 (TMRIF)

表 6-11: 定时器中断标志寄存器 (TMRIF) 位段定义

| TMRIF (Timer Interrupt Flag Register)                        |    |    |    |    |    |    |     |
|--------------------------------------------------------------|----|----|----|----|----|----|-----|
| Access: TIMERx->TMRIF    Offset: 0x10    Default: 0x00000000 |    |    |    |    |    |    |     |
| 31                                                           | 30 | 29 | 28 | 27 | 26 | 25 | 24  |
| RESERVED                                                     |    |    |    |    |    |    |     |
| 23                                                           | 22 | 21 | 20 | 19 | 18 | 17 | 16  |
| RESERVED                                                     |    |    |    |    |    |    |     |
| 15                                                           | 14 | 13 | 12 | 11 | 10 | 9  | 8   |
| RESERVED                                                     |    |    |    |    |    |    |     |
| 7                                                            | 6  | 5  | 4  | 3  | 2  | 1  | 0   |
| RESERVED                                                     |    |    |    |    |    |    | INT |

表 6-12: 定时器中断标志寄存器 (TMRIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                               |
|------|---------------|----|-----|------------------------------------------------------------------|
| 31:1 | RESERVED_31_1 | RO | 0x0 | 保留                                                               |
| 0    | INT           | RO | 0x0 | 锁存的定时器中断标志<br>0: 中断未发生<br>1: 中断已产生, 并已经通知 CPU<br>本位段被清除之前不会产生新中断 |

### 6.4.2.6 定时器中断清除寄存器（TMRIC）

表 6-13：定时器中断清除寄存器（TMRIC）位段定义

| TMRIC (Timer Interrupt Clear Register)                       |    |    |    |    |    |    |     |
|--------------------------------------------------------------|----|----|----|----|----|----|-----|
| Access: TIMERx->TMRIC    Offset: 0x14    Default: 0x00000000 |    |    |    |    |    |    |     |
| 31                                                           | 30 | 29 | 28 | 27 | 26 | 25 | 24  |
| RESERVED                                                     |    |    |    |    |    |    |     |
| 23                                                           | 22 | 21 | 20 | 19 | 18 | 17 | 16  |
| RESERVED                                                     |    |    |    |    |    |    |     |
| 15                                                           | 14 | 13 | 12 | 11 | 10 | 9  | 8   |
| RESERVED                                                     |    |    |    |    |    |    |     |
| 7                                                            | 6  | 5  | 4  | 3  | 2  | 1  | 0   |
| RESERVED                                                     |    |    |    |    |    |    | INT |

表 6-14：定时器中断清除寄存器（TMRIC）位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                                     |
|------|---------------|-----|-----|------------------------------------------------------------------------|
| 31:1 | RESERVED_31_1 | RO  | 0x0 | 保留                                                                     |
| 0    | INT           | W1C | 0x0 | 定时器中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除 TMRRAWIF 和 TMRIF 标志<br>本位段自动清零 |

### 6.4.2.7 定时器中断使能寄存器（TMRIE）

表 6-15：定时器中断使能寄存器（TMRIE）位段定义

| TMRIE (Timer Interrupt Enable Register)                      |    |    |    |    |    |    |     |
|--------------------------------------------------------------|----|----|----|----|----|----|-----|
| Access: TIMERx->TMRIE    Offset: 0x18    Default: 0x00000000 |    |    |    |    |    |    |     |
| 31                                                           | 30 | 29 | 28 | 27 | 26 | 25 | 24  |
| RESERVED                                                     |    |    |    |    |    |    |     |
| 23                                                           | 22 | 21 | 20 | 19 | 18 | 17 | 16  |
| RESERVED                                                     |    |    |    |    |    |    |     |
| 15                                                           | 14 | 13 | 12 | 11 | 10 | 9  | 8   |
| RESERVED                                                     |    |    |    |    |    |    |     |
| 7                                                            | 6  | 5  | 4  | 3  | 2  | 1  | 0   |
| RESERVED                                                     |    |    |    |    |    |    | INT |

表 6-16：定时器中断使能寄存器（TMRIE）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                     |
|------|---------------|----|-----|----------------------------------------------------------------------------------------|
| 31:1 | RESERVED_31_1 | RO | 0x0 | 保留                                                                                     |
| 0    | INT           | RW | 0x0 | 定时器中断使能<br>本位段不影响 TMRRAWIF 以及 PWMSYNCl 和 ADCSOC 的产生<br>0: 不产生中断<br>1: 当 TMRcnt=0 时产生中断 |

### 6.4.2.8 定时器模块写使能寄存器（TMRREGGKEY）

表 6-17：定时器模块写使能寄存器（TMRREGGKEY）位段定义

| TMRREGKEY (Timer Register Write-Allow Key Register)              |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: TIMERx->TMRREGKEY    Offset: 0x1C    Default: 0x1ACCE551 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                              |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                              |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                              |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| KEY                                                              |    |    |    |    |    |    |    |

表 6-18：定时器模块写使能寄存器（TMRREGGKEY）位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                             |
|------|-----|----|------------|--------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 TIMER 寄存器 |

## 7 看门狗定时器（WDT）

### 7.1 概述

看门狗定时器（WDT）可以在系统运行失败（由于软件错误）的情况下，重新恢复系统的控制，以增加应用的可靠性。WDT 在计时到一个给定的超时数值时，可以产生系统复位或者一个中断。SPC1185 配备了 2 个 32 位看门狗定时器。

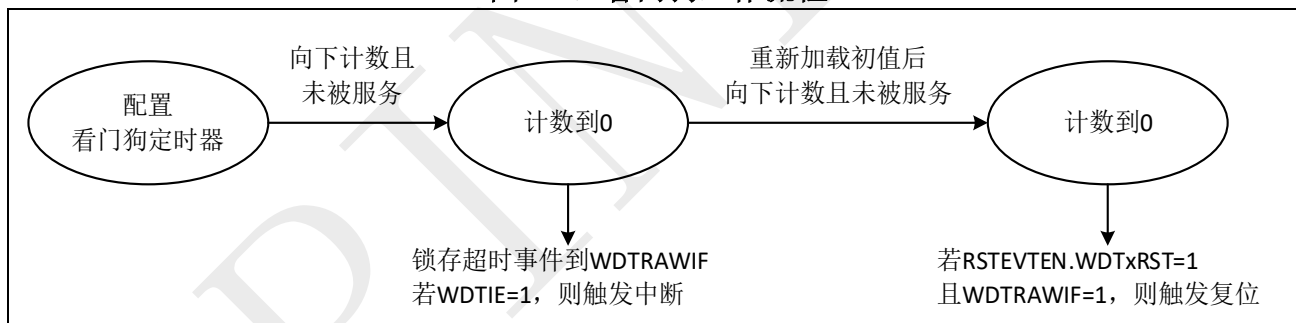
每一个看门狗定时器都有如下特性：

- AHB 总线寄存器接口；
- 专属时钟，通过相应的 WDTxCLKCTL 寄存器配置；
- 32 位向下计数器，在可配置的计数窗口内允许刷新计数值；
- 当发生超时事件时，可配置产生复位或者中断。

### 7.2 功能描述

如图 7-1 所示，通过置位 WDTCTL.EN 位段来使能 WDT 后，计数器从 WDTLOAD 寄存器预设的超时值开始递减计数。每当计数到 0 时，将重新装载 WDTLOAD 值并再次向下计数。与此同时，超时事件会被锁存到 WDTRAWIF 寄存器中。如果 WDTIE 寄存器为 1，还会产生一个中断，且锁存中断标志到 WDTIF 寄存器。如果使能了复位功能且再次计数到 0 时 WDTRAWIF 标志未被清除，则会产生一个复位请求。

图 7-1：看门狗工作流程



当向 WDTLOAD 写入新的数值时，计数器将会立即从新的数值重新开始计数。当向 WDTIC 写入 1 时，WDTRAWIF 中锁存的超时事件标志和 WDTIF 中锁存的中断标志都会被清除。

仅当计数值处于[WDTTHL, WDTTHH]这个窗口内时，才可以通过向 WDTIC 写 1 来服务（刷新）看门狗定时器，此时计数值将被复位为 WDTLOAD。

可以通过 WDTCTL 寄存器，配置看门狗定时器在 CPU 处于 halted 或 lockup 时是否关闭。

出于安全方面的考虑，为了防止软件意外操作致使看门狗关闭，关键的控制寄存器均有写保护。用户在配置看门狗定时器前，需要先向 WDTREGKEY 寄存器写入 0x1ACCE551，才可以对其他寄存器进行写访问。配置完后，需要向 WDTREGKEY 寄存器写入任何其它数值以重新开启写保护。

注意： WDT0 的超时事件被用作 NMI 中断。

### 7.3 初始化流程

需要按照下面的操作流程来启动看门狗定时器：

- 向 WDTREGKEY 写入 0x1ACCE551，以使能其他寄存器的写访问；
- 通过 WDTLOAD 寄存器设置超时值；
- 通过 WDTTHL 和 WDTTHH 寄存器配置服务窗口；
- 通过 WDTIE 配置是否触发中断；
- 通过 SYSTEM->RSTEV TEN.WDTxRST 位段，配置是否触发复位；
- 通过向 WDTCTL.EN 位段写 1 启动定时器计数；
- 向 WDTREGKEY 写入 0x0（任何不为 0x1ACCE551 的值），禁止对其他寄存器的写访问。



## 7.4 寄存器

### 7.4.1 WDT 寄存器列表

表 7-1: WDT 模块基地址

| 外设模块 | 基地址         |
|------|-------------|
| WDT0 | 0x4000 1000 |
| WDT1 | 0x4000 1100 |

表 7-2: WDT 寄存器列表

| 寄存器                       | 偏移地址 | 描述                | 复位值        |
|---------------------------|------|-------------------|------------|
| <a href="#">WDTLOAD</a> * | 0x00 | 看门狗定时器加载值寄存器      | 0x03D09000 |
| <a href="#">WDTCNT</a>    | 0x04 | 看门狗定时器计数值寄存器      | 0x03D09000 |
| <a href="#">WDTCTL</a> *  | 0x08 | 看门狗定时器控制寄存器       | 0x00000007 |
| <a href="#">WDTRAWIF</a>  | 0x0C | 看门狗定时器中断原始事件标志寄存器 | 0x00000000 |
| <a href="#">WDTIF</a>     | 0x10 | 看门狗定时器中断标志寄存器     | 0x00000000 |
| <a href="#">WDTIC</a>     | 0x14 | 看门狗定时器中断清除寄存器     | 0x00000000 |
| <a href="#">WDTIE</a> *   | 0x18 | 看门狗定时器中断使能寄存器     | 0x00000001 |
| <a href="#">WDTTHL</a> *  | 0x1C | 看门狗定时器服务窗口下边界寄存器  | 0x00000000 |
| <a href="#">WDTTHH</a> *  | 0x20 | 看门狗定时器服务窗口上边界寄存器  | 0xFFFFFFFF |
| <a href="#">WDTREGKEY</a> | 0x24 | 看门狗定时器模块写使能寄存器    | 0x00000000 |

注意： 由\*标记的寄存器仅当 WDTREGKEY=0x1ACCE551 时才可以改写。

## 7.4.2 WDT 寄存器

### 7.4.2.1 看门狗定时器加载值寄存器（WDTLOAD）

表 7-3：看门狗定时器加载值寄存器（WDTLOAD）位段定义

| WDTLOAD (Watchdog Timer Load Register)                       |    |    |    |    |    |    |    |
|--------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: WDTx->WDTLOAD    Offset: 0x00    Default: 0x03D09000 |    |    |    |    |    |    |    |
| 31                                                           | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                          |    |    |    |    |    |    |    |
| 23                                                           | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                          |    |    |    |    |    |    |    |
| 15                                                           | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                          |    |    |    |    |    |    |    |
| 7                                                            | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                          |    |    |    |    |    |    |    |

表 7-4：看门狗定时器加载值寄存器（WDTLOAD）位段描述

| 位段   | 位段名 | 属性 | 复位值       | 描述                                                                |
|------|-----|----|-----------|-------------------------------------------------------------------|
| 31:0 | VAL | RW | 0x3D09000 | 超时加载值（最小有效值为 1）<br>计数器从该加载值递减。当本寄存器被写入新的数值时，计数器将会立即从新的数值重新开始向下计数。 |

### 7.4.2.2 看门狗定时器计数值寄存器（WDTCNT）

表 7-5：看门狗定时器计数值寄存器（WDTCNT）位段定义

| WDTCNT (Watchdog Timer Current Value Register)              |    |    |    |    |    |    |    |
|-------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: WDTx->WDTCNT    Offset: 0x04    Default: 0x03D09000 |    |    |    |    |    |    |    |
| 31                                                          | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                         |    |    |    |    |    |    |    |
| 23                                                          | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                         |    |    |    |    |    |    |    |
| 15                                                          | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                         |    |    |    |    |    |    |    |
| 7                                                           | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                         |    |    |    |    |    |    |    |

表 7-6：看门狗定时器计数值寄存器（WDTCNT）位段描述

| 位段   | 位段名 | 属性 | 复位值       | 描述         |
|------|-----|----|-----------|------------|
| 31:0 | VAL | RO | 0x3D09000 | 递减计数器当前计数值 |

### 7.4.2.3 看门狗定时器控制寄存器（WDTCTL）

表 7-7：看门狗定时器控制寄存器（WDTCTL）位段定义

| WDTCTL (Watchdog Timer Control Register)              |    |    |    |    |           |           |    |
|-------------------------------------------------------|----|----|----|----|-----------|-----------|----|
| Access: WDTx->WDTCTL Offset: 0x08 Default: 0x00000007 |    |    |    |    |           |           |    |
| 31                                                    | 30 | 29 | 28 | 27 | 26        | 25        | 24 |
| RESERVED                                              |    |    |    |    |           |           |    |
| 23                                                    | 22 | 21 | 20 | 19 | 18        | 17        | 16 |
| RESERVED                                              |    |    |    |    |           |           |    |
| 15                                                    | 14 | 13 | 12 | 11 | 10        | 9         | 8  |
| RESERVED                                              |    |    |    |    |           |           |    |
| 7                                                     | 6  | 5  | 4  | 3  | 2         | 1         | 0  |
| RESERVED                                              |    |    |    |    | LOCKUPRUN | HALTEDRUN | EN |

表 7-8：看门狗定时器控制寄存器（WDTCTL）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                   |
|------|---------------|----|-----|--------------------------------------------------------------------------------------|
| 31:3 | RESERVED_31_3 | RO | 0x0 | 保留                                                                                   |
| 2    | LOCKUPRUN     | RW | 0x1 | CPU 处于 lockup 状态时看门狗定时器是否运行<br>0: 关闭看门狗定时器并复位计数值为 WDTLOAD<br>1: 根据 EN 位段决定是否使能看门狗定时器 |
| 1    | HALTEDRUN     | RW | 0x1 | CPU 处于 halted 状态时看门狗定时器是否运行<br>0: 关闭看门狗定时器并复位计数值为 WDTLOAD<br>1: 根据 EN 位段决定是否使能看门狗定时器 |
| 0    | EN            | RW | 0x1 | 使能看门狗定时器<br>0: 关闭定时器并复位计数值为 WDTLOAD<br>1: 使能定时器                                      |

## 7.4.2.4 看门狗定时器中断原始事件标志寄存器（WDTRAWIF）

表 7-9：看门狗定时器中断原始事件标志寄存器（WDTRAWIF）位段定义

| WDTRAWIF (Watchdog Timer Interrupt Raw Flag Register)   |    |    |    |    |    |    |     |
|---------------------------------------------------------|----|----|----|----|----|----|-----|
| Access: WDTx->WDTRAWIF Offset: 0x0C Default: 0x00000000 |    |    |    |    |    |    |     |
| 31                                                      | 30 | 29 | 28 | 27 | 26 | 25 | 24  |
| RESERVED                                                |    |    |    |    |    |    |     |
| 23                                                      | 22 | 21 | 20 | 19 | 18 | 17 | 16  |
| RESERVED                                                |    |    |    |    |    |    |     |
| 15                                                      | 14 | 13 | 12 | 11 | 10 | 9  | 8   |
| RESERVED                                                |    |    |    |    |    |    |     |
| 7                                                       | 6  | 5  | 4  | 3  | 2  | 1  | 0   |
| RESERVED                                                |    |    |    |    |    |    | INT |

表 7-10：看门狗定时器中断原始事件标志寄存器（WDTRAWIF）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                        |
|------|---------------|----|-----|-------------------------------------------|
| 31:1 | RESERVED_31_1 | RO | 0x0 | 保留                                        |
| 0    | INT           | RO | 0x0 | 超时（计数到 0）事件标志<br>0: 超时事件未发生<br>1: 超时事件已发生 |

## 7.4.2.5 看门狗定时器中断标志寄存器（WDTIF）

表 7-11：看门狗定时器中断标志寄存器（WDTIF）位段定义

| WDTIF (Watchdog Timer Interrupt Flag Register)       |    |    |    |    |    |    |     |
|------------------------------------------------------|----|----|----|----|----|----|-----|
| Access: WDTx->WDTIF Offset: 0x10 Default: 0x00000000 |    |    |    |    |    |    |     |
| 31                                                   | 30 | 29 | 28 | 27 | 26 | 25 | 24  |
| RESERVED                                             |    |    |    |    |    |    |     |
| 23                                                   | 22 | 21 | 20 | 19 | 18 | 17 | 16  |
| RESERVED                                             |    |    |    |    |    |    |     |
| 15                                                   | 14 | 13 | 12 | 11 | 10 | 9  | 8   |
| RESERVED                                             |    |    |    |    |    |    |     |
| 7                                                    | 6  | 5  | 4  | 3  | 2  | 1  | 0   |
| RESERVED                                             |    |    |    |    |    |    | INT |

表 7-12：看门狗定时器中断标志寄存器（WDTIF）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                           |
|------|---------------|----|-----|------------------------------|
| 31:1 | RESERVED_31_1 | RO | 0x0 | 保留                           |
| 0    | INT           | RO | 0x0 | 中断标志<br>0: 中断未发生<br>1: 中断已发生 |

## 7.4.2.6 看门狗定时器中断清除寄存器（WDTIC）

表 7-13: 看门狗定时器中断清除寄存器（WDTIC）位段定义

|                                                            |    |    |    |    |    |    |     |
|------------------------------------------------------------|----|----|----|----|----|----|-----|
| WDTIC (Watchdog Timer Interrupt Clear Register)            |    |    |    |    |    |    |     |
| Access: WDTx->WDTIC    Offset: 0x14    Default: 0x00000000 |    |    |    |    |    |    |     |
| 31                                                         | 30 | 29 | 28 | 27 | 26 | 25 | 24  |
| RESERVED                                                   |    |    |    |    |    |    |     |
| 23                                                         | 22 | 21 | 20 | 19 | 18 | 17 | 16  |
| RESERVED                                                   |    |    |    |    |    |    |     |
| 15                                                         | 14 | 13 | 12 | 11 | 10 | 9  | 8   |
| RESERVED                                                   |    |    |    |    |    |    |     |
| 7                                                          | 6  | 5  | 4  | 3  | 2  | 1  | 0   |
| RESERVED                                                   |    |    |    |    |    |    | INT |

表 7-14: 看门狗定时器中断清除寄存器（WDTIC）位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                                                                                           |
|------|---------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------|
| 31:1 | RESERVED_31_1 | RO  | 0x0 | 保留                                                                                                                           |
| 0    | INT           | W1C | 0x0 | 中断清除<br>若此位段写 1 时计数值处于[WDTTHL, WDTTHH]窗口内, WDTCNT 将被复位为 WDTLOAD<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除 WDTRAWIF 和 WDTIF<br>本位段自动清零 |

## 7.4.2.7 看门狗定时器中断使能寄存器（WDTIE）

表 7-15: 看门狗定时器中断使能寄存器（WDTIE）位段定义

|                                                            |    |    |    |    |    |    |     |
|------------------------------------------------------------|----|----|----|----|----|----|-----|
| WDTIE (Watchdog Timer Interrupt Enable Register)           |    |    |    |    |    |    |     |
| Access: WDTx->WDTIE    Offset: 0x18    Default: 0x00000001 |    |    |    |    |    |    |     |
| 31                                                         | 30 | 29 | 28 | 27 | 26 | 25 | 24  |
| RESERVED                                                   |    |    |    |    |    |    |     |
| 23                                                         | 22 | 21 | 20 | 19 | 18 | 17 | 16  |
| RESERVED                                                   |    |    |    |    |    |    |     |
| 15                                                         | 14 | 13 | 12 | 11 | 10 | 9  | 8   |
| RESERVED                                                   |    |    |    |    |    |    |     |
| 7                                                          | 6  | 5  | 4  | 3  | 2  | 1  | 0   |
| RESERVED                                                   |    |    |    |    |    |    | INT |

表 7-16: 看门狗定时器中断使能寄存器（WDTIE）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                        |
|------|---------------|----|-----|-----------------------------------------------------------|
| 31:1 | RESERVED_31_1 | RO | 0x0 | 保留                                                        |
| 0    | INT           | RW | 0x1 | 中断使能<br>本位段不影响 WDTRAWIF 的锁存<br>0: 不产生中断<br>1: 计数到 0 时产生中断 |

#### 7.4.2.8 看门狗定时器服务窗口低阈值寄存器（WDTTHL）

表 7-17: 看门狗定时器服务窗口低阈值寄存器（WDTTHL）位段定义

| WDTTHL (Watchdog Windowed-Feed Low Threshold Register) |    |    |    |    |    |    |    |
|--------------------------------------------------------|----|----|----|----|----|----|----|
| Access: WDTx->WDTTHL Offset: 0x1C Default: 0x00000000  |    |    |    |    |    |    |    |
| 31                                                     | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                    |    |    |    |    |    |    |    |
| 23                                                     | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                    |    |    |    |    |    |    |    |
| 15                                                     | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                    |    |    |    |    |    |    |    |
| 7                                                      | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                    |    |    |    |    |    |    |    |

表 7-18: 看门狗定时器服务窗口低阈值寄存器（WDTTHL）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                          |
|------|-----|----|-----|-----------------------------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 仅当 WDTCNT 处于[WDTTHL, WDTTHH]窗口内时可以通过向 WDTIC 写 1 来服务看门狗定时器（重新加载计数值为 WDTLOAD） |

#### 7.4.2.9 看门狗定时器服务窗口高阈值寄存器（WDTTHH）

表 7-19: 看门狗定时器服务窗口高阈值寄存器（WDTTHH）位段定义

| WDTTHH (Watchdog Windowed-Feed High Threshold Register) |    |    |    |    |    |    |    |
|---------------------------------------------------------|----|----|----|----|----|----|----|
| Access: WDTx->WDTTHH Offset: 0x20 Default: 0xFFFFFFFF   |    |    |    |    |    |    |    |
| 31                                                      | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                     |    |    |    |    |    |    |    |
| 23                                                      | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                     |    |    |    |    |    |    |    |
| 15                                                      | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                     |    |    |    |    |    |    |    |
| 7                                                       | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                     |    |    |    |    |    |    |    |

表 7-20: 看门狗定时器服务窗口高阈值寄存器（WDTTHH）位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                                                                          |
|------|-----|----|------------|-----------------------------------------------------------------------------|
| 31:0 | VAL | RW | 0xFFFFFFFF | 仅当 WDTCNT 处于[WDTTHL, WDTTHH]窗口内时可以通过向 WDTIC 写 1 来服务看门狗定时器（重新加载计数值为 WDTLOAD） |

7.4.2.10 看门狗定时器模块写使能寄存器（WDTREGKEY）

表 7-21：看门狗定时器模块写使能寄存器（WDTREGKEY）位段定义

|                                                                |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| WDTREGKEY (Watchdog Register Write-Allow Key Register)         |    |    |    |    |    |    |    |
| Access: WDTx->WDTREGKEY    Offset: 0x24    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                            |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                            |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                            |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| KEY                                                            |    |    |    |    |    |    |    |

表 7-22：看门狗定时器模块写使能寄存器（WDTREGKEY）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                            |
|------|-----|----|-----|-------------------------------|
| 31:0 | KEY | RW | 0x0 | 写入 0x1ACCE551 解锁受保护的看门狗定时器寄存器 |



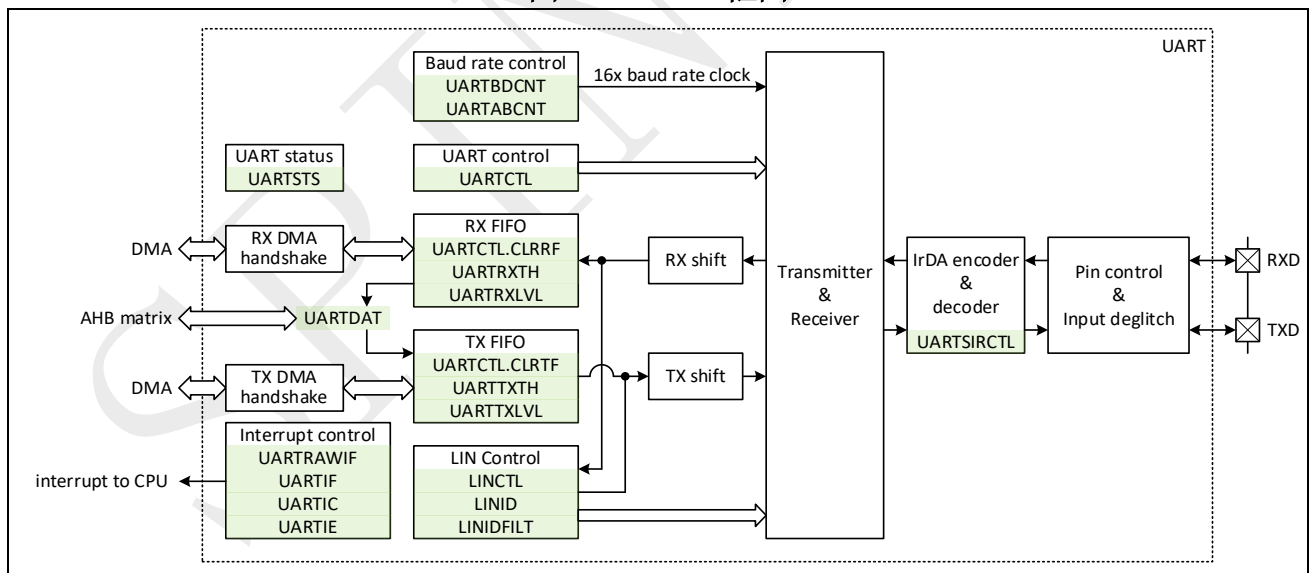
## 8 通用异步收发器（UART）

### 8.1 概述

SPC1185 提供 5 个 UART 模块，并支持 LIN，其特性如下：

- 时钟使能控制独立可配，最高频率同 CPU；
- 5 - 8 个数据位；
- 偶、奇或无奇偶检测；
- 支持 1 个、1.5 个以及 2 个停止位；
- 支持最高波特率为 UART 模块时钟频率的 1/16；
- 自动波特率检测；
- 产生和检测线路中断信号；
- 内部诊断能力；
  - 环回测试以实现通讯链路故障隔离；
  - 完备的故障记录；
- 兼容 LIN 协议标准 2.1 和 2.2A，兼容 ISO17987 工业标准；
- 收发各有 64 字节的 FIFO，支持 32 位或 8 位访问，可配置不同的阈值触发中断；
- 收发均支持 DMA 硬件握手。

图 8-1：UART 框图



如图 8-1 所示，UART 模块包含如下子模块

- 引脚控制和输入滤波
  - 支持 RXD 和 TXD 引脚功能交换；
  - 支持对接收信号的可编程输入滤波，以滤除可能的毛刺。
- 红外发送编码和接收编码
  - 符合红外数据协会（IRDA）一致性要求。

- UART 收发控制
- LIN 收发控制
- 波特率控制
  - 基于一个可编程的 16 位分频器对 UART 模块时钟分频，以实现的不同波特率，分频比范围为 16 到 65535；
  - 基于起始位实现自动波特率检测，并可以硬件自动更新或者软件手动更新波特率分频器分频比。
- 接收机
  - 将从外部设备接收到的串行数据转换为并行数据供读取；
  - 每位数据在 7/16、8/16、9/16 处三次采样，并按多数判决原则判定该数据为 1 还是 0。
- 发送器
  - 将 CPU 或 DMA 写入的并行数据转换为串行数据发送给外部设备；
  - 支持发送线路中断信号。
- 发送 FIFO 和接收 FIFO
  - 深度均为 64 字节；
  - 支持总线每次按 32 位或 8 位访问。
- DMA 硬件握手接口

## 8.2 UART 端口信号

表 8-1 罗列并描述了 UART 端口信号。它们都是数字 CMOS 电平信号，采用通道复用最终连到 GPIO 引脚。参考 章节 4.2 配置引脚通道功能。

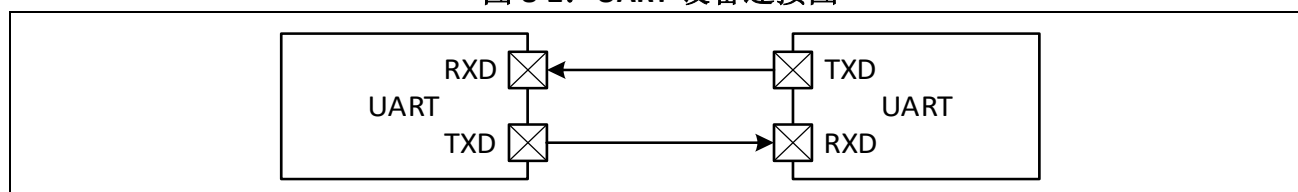
表 8-1: UART 端口信号

| 信号名 | 类型 | 描述                                                                                                                                                               |
|-----|----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| RXD | 输入 | <b>串行输入</b><br>送入接收移位寄存器的串行数据。 <ul style="list-style-type: none"> <li>- 在红外模式下，该信号连接到红外接收器解码器的输入；</li> <li>- 在 LIN 模式下，该信号连接到 LIN 收发器的 RXD 引脚。</li> </ul>        |
| TXD | 输出 | <b>串行输出</b><br>送到通信链路的串行数据，复位时该信号为 1。 <ul style="list-style-type: none"> <li>- 在红外模式下，该信号连接到红外发送器编码器的输出；</li> <li>- 在 LIN 模式下，该信号连接到 LIN 收发器的 TXD 引脚。</li> </ul> |

### 8.2.1 UART 设备连接

图 8-2 展示了 UART 模块如何与其他 UART 设备连接。

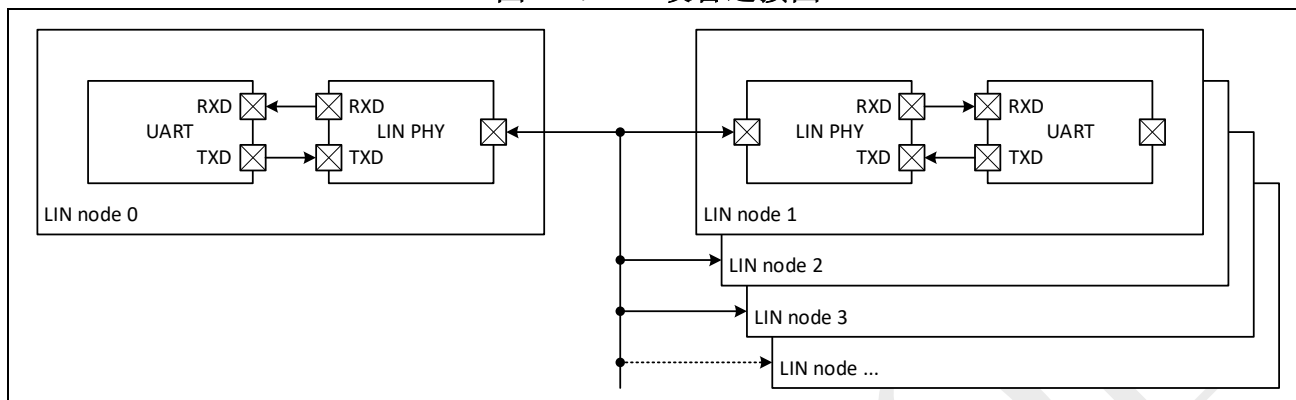
图 8-2: UART 设备连接图



## 8.2.2 LIN 设备连接

当用在 LIN 模式下时，需要按照图 8-3 所示方式通过外部 LIN 收发器连接到其他 LIN 设备。

图 8-3: LIN 设备连接图

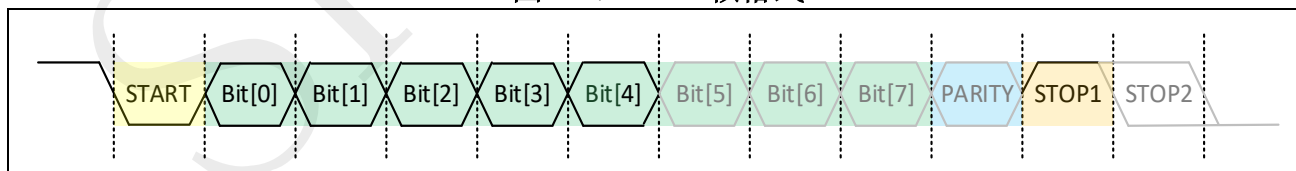


## 8.3 UART 操作

UART 数据帧格式如图 8-4 所示，总长为 7 到 12 位，包括：

- 1 个起始位；
- 5 到 8 位数据；
  - 从并行数据的最低位开始逐位收发；
- 可选的校验位；
  - 无校验；
  - 1 位奇校验：校验位和所有数据位中总共有奇数个 1；
  - 1 位偶校验：校验位和所有数据位中总共有偶数个 1；
  - 1 位固定 1 校验：校验位固定为 1
  - 1 位固定 0 校验：校验位固定为 0
- 1 到 2 个停止位；
  - UARTCTL.STOPBIT=0 时为 1 个停止位；
  - UARTCTL.STOPBIT=1 时，若是 5 位数据，则是 1.5 个停止位，否则是 2 个停止位。

图 8-4: UART 帧格式



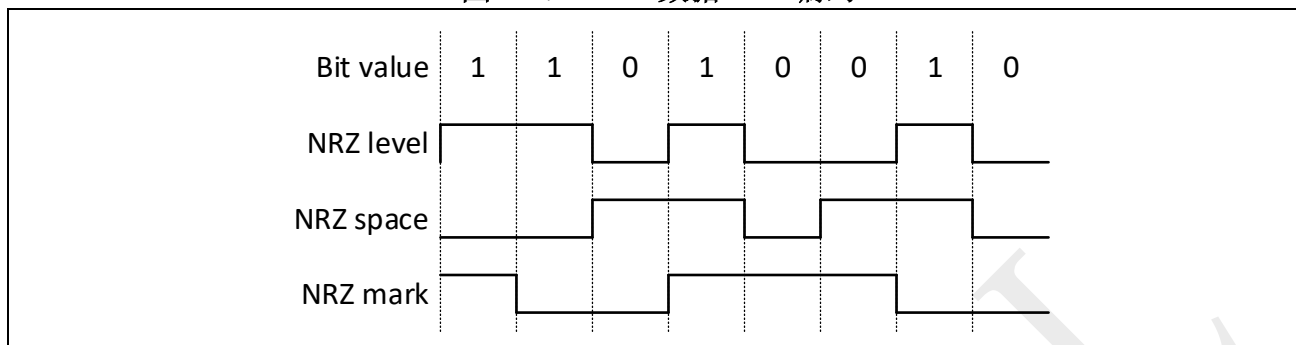
波特率检测和控制电路产生 16 倍波特率的采样时钟，并基于起始位的下降沿同步。接收器据此对每位数据采样，并取中间三个采样点（对应于每位数据 7/16、8/16、9/16 处）的多数判决结果作为最终数据值。因此，若帧的总长度为  $n$  位，则两个 UART 设备之间可以容忍的波特率最大相对误差为  $\pm 1/(2n-1)$ 。

如图 8-5 所示，数据位采用非归零（NRZ）编码，根据 UARTCTL.NRZMODE 支持如下三种配置：

- NRZ level: 高电平表示数据 1，低电平表示数据 0；

- NRZ space: 电平与前一位相同表示数据 1，电平与前一位不同表示数据 0;
- NRZ mark: 电平与前一位不同表示数据 1，电平与前一位相同表示数据 0。

图 8-5: UART 数据 NRZ 编码



### 8.3.1 复位

UART 模块复位后处于关闭状态。若要使能 UART，用户需要先通过 PINMUX 相关寄存器配置 I/O 的功能，然后再对 UARTCTL.TXEN 和 UARTCTL.RXEN 写 1。UART 使能后，接收器等待帧的起始位，发送器则在发送 FIFO 非空时开始传输。

当清除 UARTCTL.TXEN 和 UARTCTL.RXEN 以关闭 UART 时，接收器和发送器会完成当前帧的传输后才停止收发新的数据。UART 关闭期间，FIFO 中的数据会保留，且发送 FIFO 中的遗留数据或新写入的数据会使得 UART 再次使能后立刻开始发送。

### 8.3.2 FIFO 操作

UART 模块有 1 个发送 FIFO 和 1 个接收 FIFO，深度均为 64。发送 FIFO 的位宽为 8 位。接收 FIFO 的位宽为 11 位，其中高 3 位为奇偶校验错误、停止位错误、线路中断帧（所有位全零）标志。用户可以通过往 UARTCTL.CLRRF 和 UARTCTL.CLRTF 写 1 清空 FIFO。

对收发 FIFO 的访问均通过 UARTDAT 寄存器。写 UARTDAT 可以将数据放入发送 FIFO，读 UARTDAT 可以将数据从接收 FIFO 取出并读取。当 UARTCTL.BUS32=0 时，每次是按照单字节访问 UARTDAT；当 UARTCTL.BUS32=1 时，每次按从低到高的顺序以最大 4 个字节访问 UARTDAT，当接收 FIFO 中数据字节个数或者发送 FIFO 中空余字节个数小于 4 个时，以实际数目为准。

- 用户可以用软件轮询状态寄存器的方式进行 FIFO 操作
  - 查询 UARTSTS.TXNF，为 1 表示发送 FIFO 未滿，可以通过写 UARTDAT 放入发送的数据；
  - 查询 UARTSTS.RXNE，为 1 表示接收 FIFO 非空，可以通过读 UARTDAT 获取接收的数据。
- 用户也可以基于阈值触发中断或者 DMA 的方式进行 FIFO 操作：
  - 通过 UARTRXTH 寄存器设置接收时的数据量阈值。当接收 FIFO 中的字节数不超过阈值时，触发接收数据请求中断或者接收数据 DMA 请求。若配置为触发中断，则用户可以在中断服务程序里读 UARTDAT 从接收 FIFO 取出数据，此时需要配合查询 UARTSTS.RXNE 确保读取过程中不会造成接收 FIFO 下溢；若配置为触发 DMA 请求，需要将源地址固定为 UARTDAT 寄存器的地址。
  - 通过 UARTRXTH 寄存器设置接收时的数据量阈值。当接收 FIFO 中的字节数大于阈值时，触发接收数据请求中断或者接收数据 DMA 请求。若配置为触发中断，则用户可以在中断服务程序里读 UARTDAT 从接收 FIFO 取出数据，此时需要配合查询 UARTSTS.RXNE 确保读取过程中不会造成接收 FIFO 下溢；若配置为触发 DMA 请求，需要将源地址固定为 UARTDAT 寄存器的地址。

### 8.3.3 接收超时和删除尾字节

在接收到一个数据之后规定的时间窗口内如果没有新的数据接收，则产生超时事件。时间窗口大小为 `UARTTOTH` 个波特周期。这通常代表传输异常，此时接收 FIFO 内的数据被称作尾字节，存在数据完整性的问题。在接收超时中断服务程序中，用户需要参考如下步骤处理超时和尾字节：

- 往 `UARTIE.RXTIMEOUT` 位段写 0 以暂时关闭接收超时中断；
- 查询 `UARTSTS.RXNE`，若为 1 则通过 `UARTDAT` 读取接收 FIFO 内的尾字节，不断重复本步骤直到 `UARTSTS.RXNE` 为 0；
- 往 `UARTIE.RXTIMEOUT` 位段写 1 以重新使能接收超时中断。

### 8.3.4 波特率配置

串行传输的波特率由 UART 模块时钟分频得到。用户可以通过 `UARTBDCNT` 寄存器指定分频比。若 UART 的模块时钟频率为  $f_{CLK\_UART}$ ，则波特率为：

$$\text{Baud rate} = f_{CLK\_UART} / \text{UARTBDCNT}$$

由于接收器内部需要在每位数据内做 16 倍过采样，因此 `UARTBDCNT` 必须至少是 16。如果用户写入一个小于 16 的数，则会被硬件改写为 16。

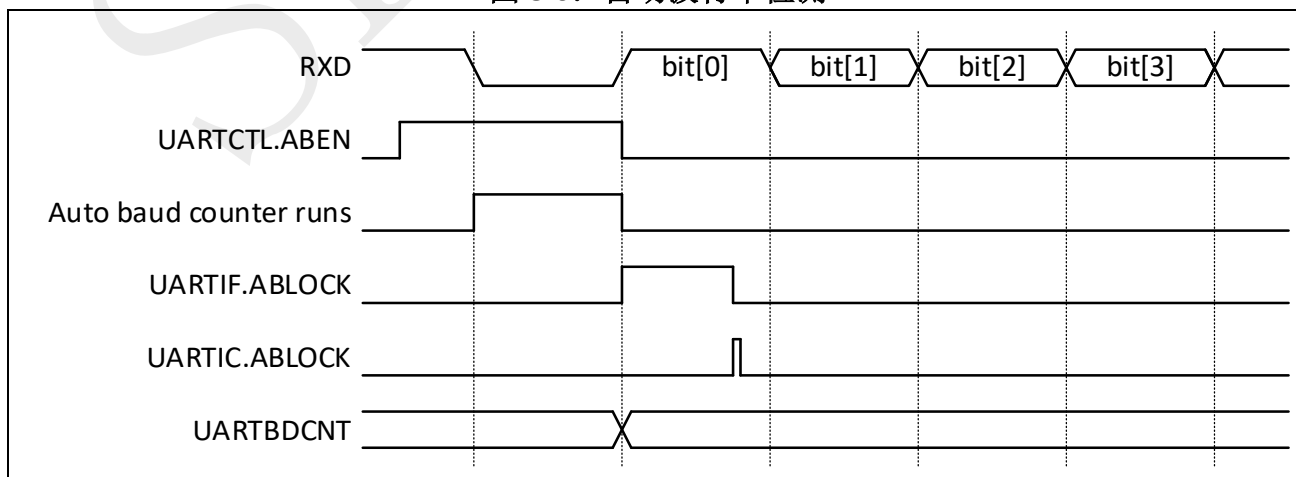
- 注意：
- 在传输过程中，用户不应当改写 `UARTBDCNT` 寄存器；
  - 若每个帧长为  $n$  位，则用户需要保证计算得到的波特率和期望的波特率之间的相对误差在  $\pm 1/(2n-1)$  范围内。

### 8.3.5 自动波特率检测

如图 8-6 所示，自动波特率检测功能可以在 RXD 空闲（为高）时通过 `UARTCTL.ABEN` 位段使能，并按照如下步骤工作。

- 在 RXD 的下降沿
  - 判定为起始位开始；
  - 内部计数器开始以 UART 模块时钟（`CLK_UARTx`）计数。

图 8-6：自动波特率检测



- 在 RXD 的上升沿
  - 判定为起始位结束；
  - 计数停止，计数值被锁存到 UARTABCNT 寄存器；
  - UARTCTL.ABEN 自动清零；
  - 波特率锁定事件会锁存到 UARTRAWIF.ABLOCK 标志位，若使能了中断，会触发波特率锁定中断；
  - 若 UARTCTL.ABUP=0，会同时更新 UARTBDCNT 寄存器以设定正确的波特率，否则需要在波特率锁定中断服务程序中手动将 UARTABCNT 的值赋给 UARTBDCNT。

从上述工作机理可以看出，为了正确测量起始位的宽度，第 1 个数据位必须为 1。对于红外模式，不支持自动波特率检测。

### 8.3.6 串行红外异步接口

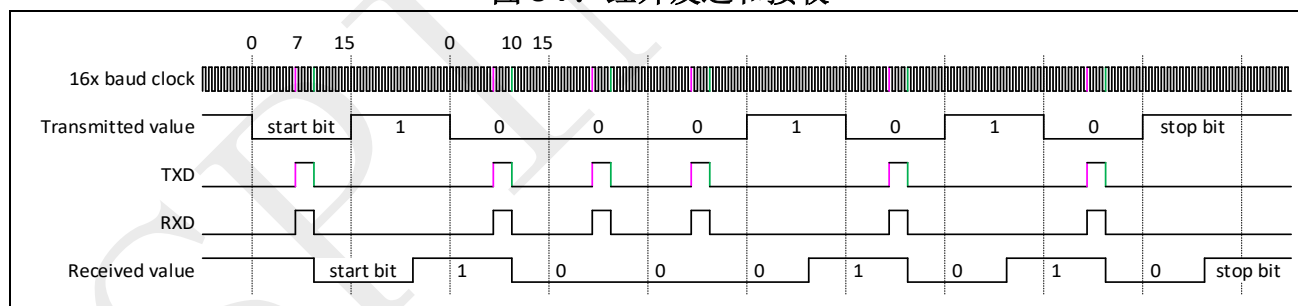
UART 模块包含一个串行红外（SIR）接口，支持双向无线红外通信。SIR 接口提供一个发送编码器和接收解码器，支持符合 IrDA 串行红外标准的物理链路。该接口不包含实际的红外 LED 驱动或者接收放大器，只提供数字 CMOS 电平信号的 RXD 和 TXD 引脚与外部收发器相连。由于发送 LED 的反射会同时进入到接收器，因此 SIR 只支持半双工通信。

SIR 调制技术支持 7 位或者 8 位字符数据，以及一个可选的校验位。如图 8-7 所示，其编码方案是：

- 对于值为 0 的比特位，在该位中间发送一个 3/16 位宽的脉冲；
- 对于值为 1 的比特位，该位持续发低电平。

为了防止发送器 LED 反射反馈到接收器，造成发送数据被误环回接收，需要确保模块以半双工模式工作，即 UARTCTL.TXEN 和 UARTCTL.RXEN 不能同时设为 1。

图 8-7：红外发送和接收



## 8.4 LIN 操作

局域互联网络（LIN）是针对低成本汽车电子网络提出的概念，是对现有汽车多路复用网络组合的补充。UART 模块在 UART 功能基础上增加了一些额外的硬件以支持 LIN 协议，包括：

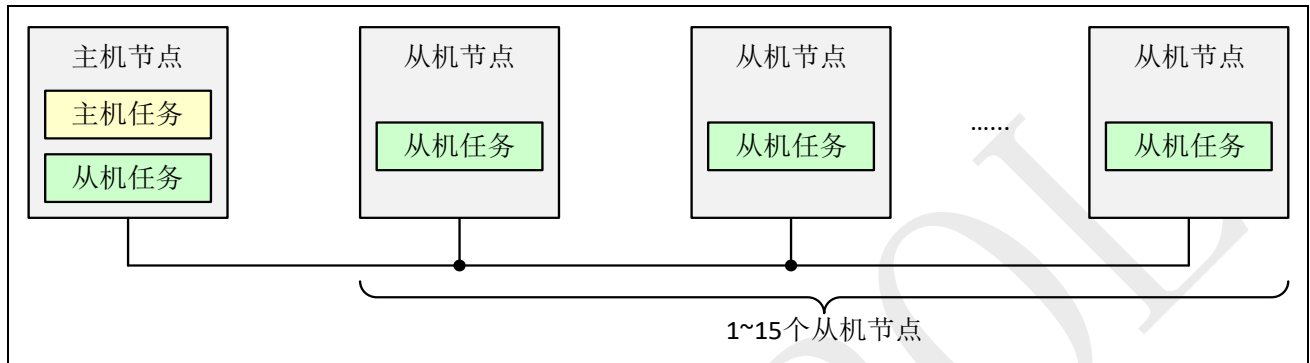
- 支持主机或从机模式；
- 硬件发送帧头；
- 同步间隔段长度可配；
- 同步间隔段间隔符长度可配；
- 受保护 ID（PID）校验位自动运算；
- 支持 LIN PID 接收匹配筛选；
- 支持 LIN 位错误、校验和错误、ID 匹配等中断。



### 8.4.1 LIN 协议

如图 8-8 所示，LIN 的拓扑结构为单线总线，采用了单一主机多从机的概念。总线电平为 12V，传输位速率最高为 20Kbps。由于物理层限制，一个 LIN 网络最多可以连接 16 个节点，典型应用一般都在 12 个节点以下，主机节点有且只有一个，从机节点有 1 到 15 个。主机节点包含主机任务和从机任务，从机节点只包含从机任务。

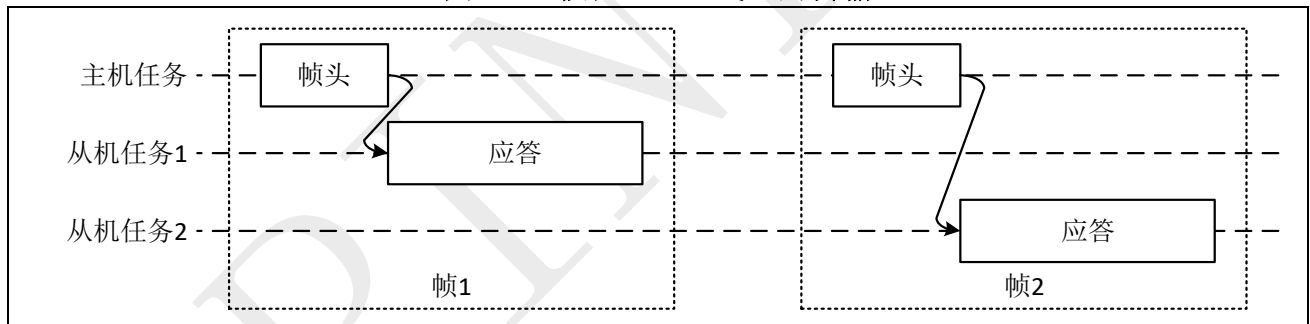
图 8-8: LIN 总线拓扑图



### 8.4.2 帧的结构

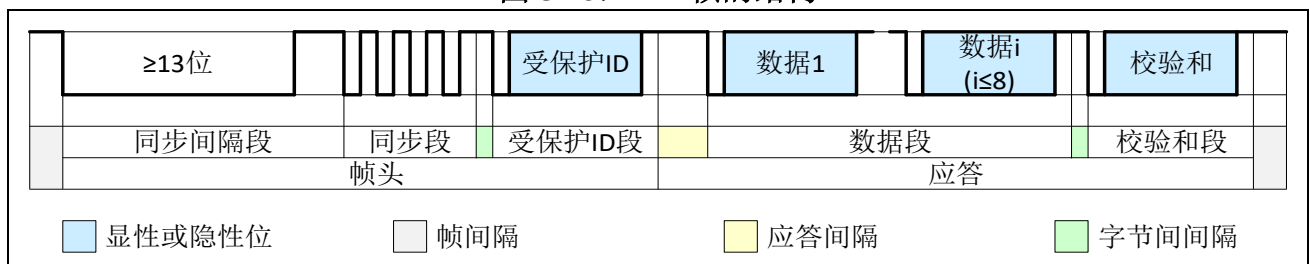
帧包含帧头和应答两部分。主机任务负责发送帧头；从机任务接收帧头并对帧头所包含信息进行解析，然后决定是发送应答，还是接收应答，还是不作任何反应。帧在总线上的传输如图 8-9 所示。

图 8-9: 帧在 LIN 总线上的传输



帧头包括同步间隔段、同步段以及受保护 ID 段，应答包括数据段和校验和段。如图 8-10 所示，其中值“0”为显性电平，值“1”为隐性电平，总线上实行“线与”：当总线上有大于等于一个节点发送显性电平时，总线呈显性电平；所有的节点都发送隐性电平或不发送信息时，总线才呈现隐性电平。图中帧间隔为帧之间的间隔；应答间隔为帧头和应答之间的间隔，可以通过 LINCTL.RESPSPACE 配置；字节间间隔包括同步段和受保护 ID 段之间的间隔、数据段各字节之间的间隔以及数据段最后一个字节和校验和段之间的间隔。所有字节域为标准 UART 数据传输格式，包括 1 个起始位（显性）、8 个数据位、1 个停止位（隐性）。

图 8-10: LIN 帧的结构

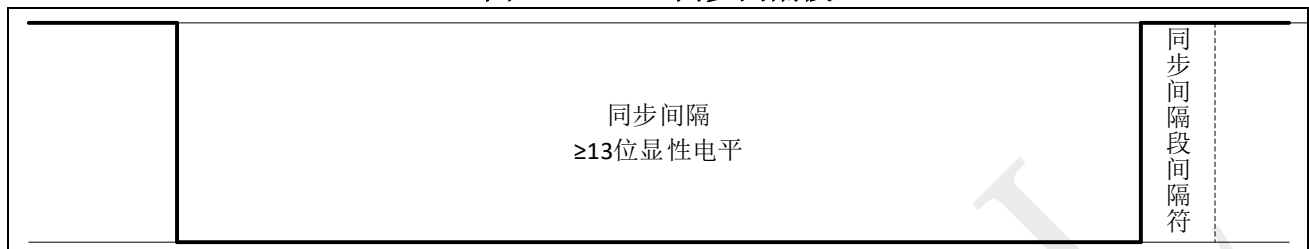




### 8.4.3 同步间隔段

如图 8-11 所示，同步间隔段由同步间隔和同步间隔段间隔符构成。同步间隔是至少持续 13 位的显性电平，其长度可以通过 LINCTL.SBRKLEN 配置；间隔符是至少持续 1 位的隐性电平，其长度可以通过 LINCTL.SBRKDEL 配置。

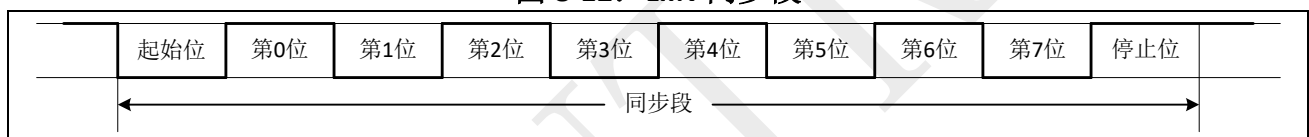
图 8-11: LIIN 同步间隔段



### 8.4.4 同步段

如图 8-12 所示，LIN 同步以下降沿为判断标志，采用字节 0x55。从机接收到同步字节后触发 ABLOCK 中断。无论 UARTCTL.ABUP 位段如何配置，用户都需要手动读取 UARTABCNT 寄存器的值并写入 UARTBDCNT 寄存器。

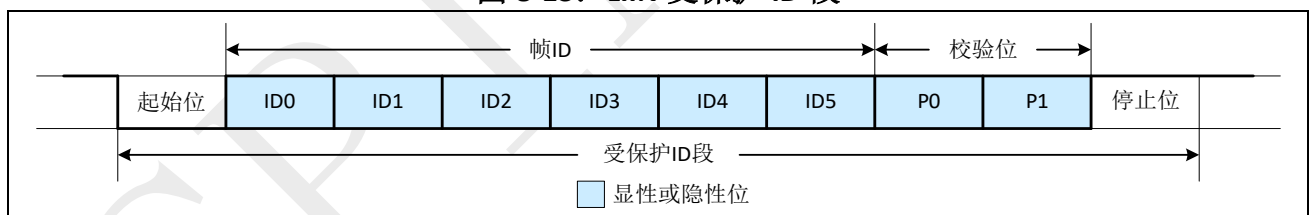
图 8-12: LIIN 同步段



### 8.4.5 受保护 ID 段

如图 8-13 所示，受保护 ID 段的前 6 位是帧 ID，后两位是校验位。

图 8-13: LIIN 受保护 ID 段



帧 ID 的范围在 0x00~0x3F 之间，共 64 个，分为如下三类。

- 0x00~0x3B 用于信号携带帧；
- 0x3C 和 0x3D 用于诊断帧；
- 0x3E 和 0x3F 用于保留帧。

帧 ID 标识了帧的类别和目的地。从机任务对于帧头作出的反应（接收/发送/忽略应答部分）都是依据帧 ID 判断的。如果帧 ID 传输错误，将会导致信号无法正确到达目的地，因此引入校验位，计算如下（^表示异或，~表示取反）：

$$P[0] = ID[0] \oplus ID[1] \oplus ID[2] \oplus ID[4]$$

$$P[1] = \sim(ID[1] \oplus ID[3] \oplus ID[4] \oplus ID[5])$$

由公式可以看出，PID 不会出现全 0 或全 1 的情况。因此，如果从机节点收到 PID 为 0xFF 或 0x00，可以判定为传输错误。

### 8.4.6 数据段

如图 8-10 所示，节点发送的数据处于数据段，包含 1 到 8 个字节，先发送编号最低的字节。协议中没有规定帧中的哪一部分显示数据长度码的信息，数据的内容和长度通常是由系统设计者根据帧 ID 事先约定好的。

### 8.4.7 校验和段

校验和段是对帧中所传输的内容进行校验，并分为如下两种：

- 标准型校验和
  - 校验对象为数据段各字节
  - 适用于诊断帧以及与 LIN1.x 从机节点通信
- 增强型校验和
  - 校验对象为数据段各字节以及受保护 ID
  - 与 LIN2.x 从机节点通信（诊断帧除外）

校验方法为将校验对象各字节做带进位的二进制加法，每当结果大于 256 时就减去 255，并将所得最终的和逐位取反，以该结果作为校验和。

例如：采用标准型校验和，数据为 0x4A、0x55、0x93、0xE5，计算方法如表 8-2 所示。

表 8-2: LIN 校验和计算示例

| 计算步骤     | 和     | 进位 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |
|----------|-------|----|----|----|----|----|----|----|----|----|
| 0x4A     | 0x4A  |    | 0  | 1  | 0  | 0  | 1  | 0  | 1  | 0  |
| + 0x55 = | 0x9F  | 0  | 1  | 0  | 0  | 1  | 1  | 1  | 1  | 1  |
| 加上进位     | 0x9F  |    | 1  | 0  | 0  | 1  | 1  | 1  | 1  | 1  |
| + 0x93 = | 0x132 | 1  | 0  | 0  | 1  | 1  | 0  | 0  | 1  | 0  |
| 加上进位     | 0x33  |    | 0  | 0  | 1  | 1  | 0  | 0  | 1  | 1  |
| + 0xE5 = | 0x118 | 1  | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 0  |
| 加上进位     | 0x19  |    | 0  | 0  | 0  | 1  | 1  | 0  | 0  | 1  |
| 取反       | 0xE6  |    | 1  | 1  | 1  | 0  | 0  | 1  | 1  | 0  |

注意：没有根据帧 ID 自动切换校验和类型的硬件支持（例如：不支持针对帧 ID 为 0x3C 或 0x3D 的帧自动切换为经典型校验和），用户需要依据主机节点发布的规则，根据帧 ID 自行通过配置 LINCTL.CHKSUM 来选择校验和的类型。

### 8.4.8 帧传输时间

帧在总线上传输的最大时间  $t_{\text{frame(max)}}$  包括：

- 帧头在总线上传输的最大时间  $t_{\text{header(max)}}$ 
  - 帧头额定传输时间  $t_{\text{header(nom)}}$ ：包括最小 13 位的同步间隔段、最小 1 位的同步间隔段间隔符、10 位同步段、10 位受保护 ID 段，即
 
$$t_{\text{header(nom)}} = 34 \times t_{\text{bit}}$$
  - 帧头余量传输时间  $t_{\text{header(rest)}}$ ：包括字节间间隔，规定不得超过帧头额定传输时间的 0.4 倍，即
 
$$t_{\text{header(rest)}} \leq 13.6 \times t_{\text{bit}}$$
- 应答在总线上传输的最大时间  $t_{\text{resp(max)}}$

- 应答额定传输时间  $t_{\text{resp(nom)}}$ : 包含  $N_{\text{data}}$  字节数据段传输时间和校验和段传输时间, 即  

$$t_{\text{resp(nom)}} = (N_{\text{data}} + 1) \times 10 \times t_{\text{bit}}$$
- 应答余量传输时间  $t_{\text{resp(rest)}}$ : 包含应答间隔以及字节间隔, 规定不得超过应答额定传输时间的 0.4 倍, 即  

$$t_{\text{resp(rest)}} \leq (N_{\text{data}} + 1) \times 4 \times t_{\text{bit}}$$

## 8.5 中断

UARTRAWIF 寄存器锁存了事件标志。用户可以通过 UARTIE 寄存器位段使能对应的事件触发中断, 中断发生时, 标志位会锁存到 UARTIF 寄存器中。通过往 UARTIC 位段写 1, 可以清除对应的 UARTRAWIF 事件标志和 UARTIF 中断标志。

表 8-3: UART 模块中断事件列表

| 中断名                      | 描述              | 触发条件                                                                                        | 标志位清除方式                             |
|--------------------------|-----------------|---------------------------------------------------------------------------------------------|-------------------------------------|
| RXUDF                    | 接收 FIFO 下溢      | 接收 FIFO 为空时读取 UARTDAT                                                                       | UARTIC.RXUDF 写 1                    |
| RXOVF                    | 接收 FIFO 上溢      | 接收 FIFO 为满时又收到新的数据                                                                          | UARTIC.RXOVF 写 1                    |
| RXREQ                    | 接收 FIFO 数据读请求   | UARTRXLVL > UARTRXTH                                                                        | 读取 UARTDAT 直到 UARTRLVL 不大于 UARTRXTH |
| RXPRTYERR <sup>[1]</sup> | 接收数据校验错误        | UART 模式下, 接收到一个校验位有误的字节时触发<br>LIN 模式下, 接收到一个校验位有误的受保护 ID 字节时触发                              | UARTIC.PRTYERR 写 1                  |
| RXFRMERR <sup>[1]</sup>  | 字节停止位错误         | 接收到一个停止位为低的字节                                                                               | UARTIC.RXFRMERR 写 1                 |
| RXBRK <sup>[1]</sup>     | 接收到线路中断条件       | 接收到数据位和停止位全低的字节                                                                             | UARTIC.RXBRK 写 1                    |
| RXTIMEOUT                | 接收超时            | UART 模式下, 接收到一个字节后规定的时间窗口内未接收到新数据<br>LIN 模式下, 在规定的时间窗口内响应域未接收到预期数量的字节<br>时间窗口为 UARTTOTH 个波特 | UARTIC.RXTIMEOUT 写 1                |
| TXOVF                    | 发送 FIFO 上溢      | 发送 FIFO 满时写 UARTDAT                                                                         | UARTIC.TXOVF 写 1                    |
| TXREQ                    | 发送 FIFO 数据写请求   | UARTTXLVL ≤ UARTTXTH                                                                        | 写 UARTDAT 直到 UARTTXLVL 大于 UARTTXTH  |
| ABLOCK                   | 自动波特率检测锁定       | UART 模式下检测到起始位结束 (RXD 上升沿)<br>LIN 模式下, 检测到同步段                                               | UARTIC.ABLOCK 写 1                   |
| LINIDMATCH               | 接收到匹配的 LIN 帧 ID | 接收到的 LIN 帧 ID 符合 LINIDFILT 配置的筛选标准                                                          | UARTIC.LINIDMATCH 写 1               |
| LINBITERR                | LIN 位错误         | LIN 发送隐性位 “1” 时总线电平为低, 或者发送显性位 “0” 时总线电平为高                                                  | UARTIC.LINBITERR 写 1                |
| LINCSEERR                | LIN 校验和错误       | 接收到的校验和不符合计算结果                                                                              | UARTIC.LINCSEERR 写 1                |
| LINSBERR                 | LIN 同步段错误       | 接收到的同步字节不是 0x55                                                                             | UARTIC.LINSBERR 写 1                 |
| BUSIDLE                  | RXD 线路超时        | RXD 在 BUSIDLETH 个 AHB 时钟周期内保持不变                                                             | UARTIC.BUSIDLE 写 1                  |
| DMAEOC                   | DMA 传输完成        | DMA 完成                                                                                      |                                     |

[1] 与之相比, UARTSTS 状态寄存器的 RXPRTYERR、RXFRMERR、RXBRK 位段是当通过 UARTDAT 读取接收 FIFO 时, 标识当前读出的数据是否存在校验位错误、停止位错误和所有位全低。

## 8.6 寄存器

### 8.6.1 UART 寄存器列表

表 8-4: UART 模块基地址

| 外设模块  | 基地址         |
|-------|-------------|
| UART0 | 0x4000 1500 |
| UART1 | 0x4000 1600 |
| UART2 | 0x4000 1700 |
| UART3 | 0x4000 1800 |
| UART4 | 0x4000 1900 |

表 8-5: UART 寄存器列表

| 寄存器                          | 偏移地址   | 描述                   | 复位值        |
|------------------------------|--------|----------------------|------------|
| <a href="#">UARTDAT</a>      | 0x0000 | UART 数据寄存器           | 0x00000000 |
| <a href="#">UARTCTL</a> *    | 0x0004 | UART 控制寄存器           | 0x00000000 |
| <a href="#">LINCTL</a> *     | 0x0008 | LIN 控制寄存器            | 0x00E00000 |
| <a href="#">LINID</a>        | 0x000C | LIN ID 寄存器           | 0x00000000 |
| <a href="#">LINIDFILT</a> *  | 0x0010 | LIN ID 筛选标准寄存器       | 0x00000000 |
| <a href="#">BUSIDLETH</a> *  | 0x0014 | UART/LIN 线路空闲阈值寄存器   | 0xFFFFFFFF |
| <a href="#">UARTBDCNT</a> *  | 0x0018 | UART 波特率计数寄存器        | 0x00000010 |
| <a href="#">UARTABCNT</a>    | 0x001C | UART 自动波特率计数寄存器      | 0x00000000 |
| <a href="#">UARTTOTH</a> *   | 0x0020 | UART 接收超时阈值寄存器       | 0x00000030 |
| <a href="#">UARTRXLVL</a>    | 0x0024 | UART 接收 FIFO 当前长度寄存器 | 0x00000000 |
| <a href="#">UARTTXLVL</a>    | 0x0028 | UART 发送 FIFO 当前长度寄存器 | 0x00000000 |
| <a href="#">UARTRXTH</a> *   | 0x002C | UART 接收 FIFO 长度阈值寄存器 | 0x00000000 |
| <a href="#">UARTTXTH</a> *   | 0x0030 | UART 发送 FIFO 长度阈值寄存器 | 0x00000000 |
| <a href="#">UARTSIRCTL</a> * | 0x0034 | UART 红外控制寄存器         | 0x0000010C |
| <a href="#">UARTSTS</a>      | 0x0040 | UART 状态寄存器           | 0x0000000C |
| <a href="#">UARTRAWIF</a>    | 0x0044 | UART 中断原始事件标志寄存器     | 0x00000000 |
| <a href="#">UARTIF</a>       | 0x0048 | UART 中断标志寄存器         | 0x00000000 |
| <a href="#">UARTIC</a>       | 0x004C | UART 中断清除寄存器         | 0x00000000 |
| <a href="#">UARTIE</a> *     | 0x0050 | UART 中断使能寄存器         | 0x00000000 |
| <a href="#">UARTDGCTL</a> *  | 0x0054 | UART 接收信号消抖控制寄存器     | 0x00000000 |
| <a href="#">UARTREGKEY</a>   | 0x0058 | UART 模块写使能寄存器        | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 UARTREGKEY=0x1ACCE551 时才可以改写。

8.6.2 UART 寄存器

8.6.2.1 UART 数据寄存器（UARTDAT）

表 8-6: UART 数据寄存器（UARTDAT）位段定义

|                              |    |                |    |                     |    |    |    |
|------------------------------|----|----------------|----|---------------------|----|----|----|
| UARTDAT (UART Data Register) |    |                |    |                     |    |    |    |
| Access: UART->UARTDAT        |    | Offset: 0x0000 |    | Default: 0x00000000 |    |    |    |
| 31                           | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                          |    |                |    |                     |    |    |    |
| 23                           | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                          |    |                |    |                     |    |    |    |
| 15                           | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                          |    |                |    |                     |    |    |    |
| 7                            | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                          |    |                |    |                     |    |    |    |

表 8-7: UART 数据寄存器（UARTDAT）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                          |
|------|-----|----|-----|-------------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | UART 总线上传输的数据<br>写本寄存器往发送 FIFO 放入数据；<br>读本寄存器从接收 FIFO 取出数据。 |

## 8.6.2.2 UART 控制寄存器 (UARTCTL)

表 8-8: UART 控制寄存器 (UARTCTL) 位段定义

| UARTCTL (UART Control Register)                                |               |                 |           |               |              |             |             |
|----------------------------------------------------------------|---------------|-----------------|-----------|---------------|--------------|-------------|-------------|
| Access: UART->UARTCTL    Offset: 0x0004    Default: 0x00000000 |               |                 |           |               |              |             |             |
| 31<br>SWAPPIN                                                  | 30<br>RFEMODE | 29<br>IDLECNTEN | 28        | 27            | 26           | 25          | 24          |
|                                                                |               |                 |           | RESERVED      |              |             |             |
| 23                                                             | 22            | 21              | 20        | 19            | 18<br>SETBRK | 17<br>CLRTF | 16<br>CLRRF |
| RESERVED                                                       |               |                 |           |               |              |             |             |
| 15<br>STOPBIT                                                  | 14<br>PRTYEN  | 13<br>PRTYBIT   | 12        | 11<br>DATABIT | 10           | 9           | 8           |
|                                                                |               |                 |           |               |              | NRZMODE     |             |
| 7<br>ABUP                                                      | 6<br>ABEN     | 5<br>BUS32      | 4<br>LPBK | 3<br>TXDMAEN  | 2<br>RXDMAEN | 1<br>TXEN   | 0<br>RXEN   |

表 8-9: UART 控制寄存器 (UARTCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                                                                                   |
|-------|----------------|-----|-----|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31    | SWAPPIN        | RW  | 0x0 | 交换 TXD 和 RXD 引脚功能<br>0: TXD 为发送数据, RXD 为接收数据<br>1: RXD 为发送数据, TXD 为接收数据                                                                                                                                              |
| 30    | RFEMODE        | RW  | 0x0 | 接收 FIFO 对于停止位错误、校验错误、线路中断条件的报错方式<br>0: 仅当接收 FIFO 非空且存入有错数据时报错<br>1: 不管接收 FIFO 状态, 收到错误数据就报错                                                                                                                          |
| 29    | IDLECNTEN      | RW  | 0x0 | 总线空闲计数使能<br>0: 关闭<br>1: 使能                                                                                                                                                                                           |
| 28:19 | RESERVED_28_19 | RO  | 0x0 | 保留                                                                                                                                                                                                                   |
| 18    | SETBRK         | W1S | 0x0 | 线路中断条件发送请求<br>本位段仅作用于 TXD 引脚, 不影响发送 FIFO<br>本位段不受 UARTREGKEY 限制, 始终可写。<br>0: 写 0 无效<br>1: 写 1 触发一次线路中断条件发送请求。<br>本位段在 UART 开始发送线路中断条件时自动清零。此后若在发送过程中本位段被再次写 1, 则 TXD 引脚在下个字节帧继续维持低, 即接收器将会看到线路上有多个字节帧时长低电平的单次线路中断条件。 |
| 17    | CLRTF          | W1C | 0x0 | 清除发送 FIFO, 本位段不影响发送移位寄存器<br>本位段不受 UARTREGKEY 限制, 始终可写。<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除发送 FIFO 并设置 TXREQ 标志位;<br>本位段自动清零                                                                                             |

| 位段    | 位段名     | 属性  | 复位值 | 描述                                                                                                                      |
|-------|---------|-----|-----|-------------------------------------------------------------------------------------------------------------------------|
| 16    | CLRRF   | W1C | 0x0 | 清除接收 FIFO，本位段不影响接收移位寄存器<br>本位段不受 UARTREGKEY 限制，始终可写。<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除接收 FIFO，本位段自动清零                     |
| 15    | STOPBIT | RW  | 0x0 | 停止位宽度<br>0: 字节帧有 1 个停止位<br>1: 字节帧是 5 个数据位时有 1.5 个停止位<br>字节帧是 6/7/8 个数据位时有 2 个停止位                                        |
| 14    | PRTYEN  | RW  | 0x0 | UART 模式下字节帧校验位使能<br>LIN 模式下接收到受保护 ID 段时校验使能<br>0: 关闭<br>1: 使能                                                           |
| 13:12 | PRTYBIT | RW  | 0x0 | UART 校验位<br>0: 偶校验<br>1: 奇校验<br>2: 固定 1 校验 (Mark)<br>3: 固定 0 校验 (Space)                                                 |
| 11:10 | DATABIT | RW  | 0x0 | 每个字节帧的数据位宽<br>0: 5 位数据<br>1: 6 位数据<br>2: 7 位数据<br>3: 8 位数据                                                              |
| 9:8   | NRZMODE | RW  | 0x0 | 非归零码 (NRZ) 模式，红外模式下本位段无效<br>0: NRZ level，高电平为 1，低电平为 0<br>2: NRZ space，电平与前位相同为 1，不同为 0<br>3: NRZ mark，电平与前位不同为 1，相同为 0 |
| 7     | ABUP    | RW  | 0x0 | 自动波特率计数更新模式<br>0: 波特计数器在自动波特率锁定时由硬件更新<br>1: 波特计数器需要软件写 UARTBDCNT 更新                                                     |
| 6     | ABEN    | W1S | 0x0 | 自动波特率检测使能<br>0: 关闭<br>1: 使能                                                                                             |
| 5     | BUS32   | RW  | 0x0 | 通过 UARTDAT 寄存器访问 FIFO 时的数据位宽<br>0: 读写 FIFO 时仅 UARTDAT 的最低字节有效<br>1: 读写 FIFO 时 UARTDAT 的四个字节均有效                          |
| 4     | LPBK    | RW  | 0x0 | 环回模式，提供如下诊断能力<br>(1) 发送引脚始终输出高<br>(2) 接收器输入与接收引脚断开                                                                      |



| 位段 | 位段名     | 属性 | 复位值 | 描述                                                                        |
|----|---------|----|-----|---------------------------------------------------------------------------|
|    |         |    |     | (3) 发送器的输出数据直接送到接收器的输入<br>(4) 支持发送器发送线路中断条件到接收器<br>0: 正常工作模式<br>1: 环回工作模式 |
| 3  | TXDMAEN | RW | 0x0 | 发送器 DMA 使能<br>0: 关闭<br>1: 使能                                              |
| 2  | RXDMAEN | RW | 0x0 | 接收器 DMA 使能<br>0: 关闭<br>1: 使能                                              |
| 1  | TXEN    | RW | 0x0 | 发送器使能<br>0: 关闭<br>1: 使能                                                   |
| 0  | RXEN    | RW | 0x0 | 接收器使能<br>0: 关闭<br>1: 使能                                                   |

### 8.6.2.3 LIN 控制寄存器（LINCTL）

表 8-10: LIN 控制寄存器（LINCTL）位段定义

|                                                               |           |       |         |          |           |        |          |
|---------------------------------------------------------------|-----------|-------|---------|----------|-----------|--------|----------|
| LINCTL (LIN Control Register)                                 |           |       |         |          |           |        |          |
| Access: UART->LINCTL    Offset: 0x0008    Default: 0x00E00000 |           |       |         |          |           |        |          |
| 31                                                            | 30        | 29    | 28      | 27       | 26        | 25     | 24       |
| RESERVED                                                      |           |       |         |          |           |        | TXCHKSUM |
| 23                                                            | 22        | 21    | 20      | 19       | 18        | 17     | 16       |
| CHKSUM                                                        | ATXCHKSUM | ATOTH | RFMODE  | RESERVED | RESPSPACE |        |          |
| 15                                                            | 14        | 13    | 12      | 11       | 10        | 9      | 8        |
| RESERVED                                                      | BYTESPACE |       | RESPLEN |          |           |        | RESP     |
| 7                                                             | 6         | 5     | 4       | 3        | 2         | 1      | 0        |
| RESP                                                          | SBRKDEL   |       | SBRKLEN |          |           | MASTER | LINEN    |

表 8-11: LIN 控制寄存器（LINCTL）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                  |
|-------|----------------|-----|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:25 | RESERVED_31_25 | RO  | 0x0 | 保留                                                                                                                                                  |
| 24    | TXCHKSUM       | W1S | 0x0 | 单次校验和段发送请求<br>0: 写 0 无效，校验和段发送后回读是 0<br>1: 写 1 请求发送校验和段，此时，<br>若数据段已经发送结束，校验和段会立即开始发送；<br>若数据段尚未发送结束，请求进入等待，直到数据段发送结束才开始发送校验和。<br>校验和段开始发送后，此位段自动清零 |
| 23    | CHKSUM         | RW  | 0x1 | 校验和模式<br>注意：不支持对任何特殊帧（例如 ID 为 0x3C 或 0x3D）的校验和模式自动切换<br>0: 经典型校验和，对数据段各字节做带进位的模 256 加法<br>1: 增强型校验和，对数据段各字节以及受保护 ID 做带进位的模 256 加法                   |
| 22    | ATXCHKSUM      | RW  | 0x1 | 校验和段发送方式<br>0: 通过对 TXCHKSUM 写 1 手动请求发送<br>1: 在数据段发送结束后自动发送校验和段                                                                                      |
| 21    | ATOTH          | RW  | 0x1 | 接收超时阈值方式<br>0: 手动设置为 UAR TTOTH 个波特<br>1: 自动按照 LIN 标准设置，即额定帧传输时间再加 40%余量                                                                             |
| 20    | RFMODE         | RW  | 0x0 | 接收 FIFO 工作模式<br>0: 数据段和校验和段都会存入 FIFO，从而有助于分析校验和段错误<br>1: 仅当校验和段无误时才把数据段存入 FIFO                                                                      |

| 位段    | 位段名         | 属性 | 复位值 | 描述                                                                                                                                                      |
|-------|-------------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------|
| 19    | RESERVED_19 | RO | 0x0 | 保留                                                                                                                                                      |
| 18:16 | RESPSPACE   | RW | 0x0 | 设定应答间隔为 RESPSPACE 个波特                                                                                                                                   |
| 15    | RESERVED_15 | RO | 0x0 | 保留                                                                                                                                                      |
| 14:13 | BYTESPACE   | RW | 0x0 | 设置字节间间隔为 BYTESPACE 个波特                                                                                                                                  |
| 12:9  | RESPLEN     | RW | 0x0 | 应答数据字节数<br>0: 应答字节数由 LINID[5:4]决定<br>3: 8 字节; 2: 4 字节; 其余: 2 字节<br>1: 1 字节<br>2: 2 字节<br>3: 3 字节<br>4: 4 字节<br>5: 5 字节<br>6: 6 字节<br>7: 7 字节<br>8: 8 字节 |
| 8:7   | RESP        | RW | 0x0 | 采取的应答响应<br>0: 忽略应答部分<br>1: 接收应答数据<br>2: 发送应答数据<br>3: 收发应答数据 (用于调试)                                                                                      |
| 6:5   | SBRKDEL     | RW | 0x0 | 同步间隔段间隔符<br>0: 1 个隐性位<br>1: 2 个隐性位<br>2: 3 个隐性位<br>3: 4 个隐性位                                                                                            |
| 4:2   | SBRKLEN     | RW | 0x0 | 同步间隔<br>0: 13 个显性位<br>1: 14 个显性位<br>2: 15 个显性位<br>3: 16 个显性位<br>4: 17 个显性位<br>5: 18 个显性位<br>6: 19 个显性位<br>7: 20 个显性位                                    |
| 1     | MASTER      | RW | 0x0 | LIN 节点类型<br>0: 从机节点<br>1: 主机节点                                                                                                                          |
| 0     | LINEN       | RW | 0x0 | LIN 模式使能<br>0: 关闭<br>1: 使能                                                                                                                              |

## 8.6.2.4 LIN ID 寄存器 (LINID)

表 8-12: LIN ID 寄存器 (LINID) 位段定义

| LINID (LIN ID Register) |    |                |    |                     |    |    |    |
|-------------------------|----|----------------|----|---------------------|----|----|----|
| Access: UART->LINID     |    | Offset: 0x000C |    | Default: 0x00000000 |    |    |    |
| 31                      | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| RESERVED                |    |                |    |                     |    |    |    |
| 23                      | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| RESERVED                |    |                |    |                     |    |    |    |
| 15                      | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| RESERVED                |    |                |    |                     |    |    |    |
| 7                       | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| ID                      |    |                |    |                     |    |    |    |

表 8-13: LIN ID 寄存器 (LINID) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                       |
|------|---------------|----|-----|--------------------------------------------------------------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                                                                                                       |
| 7:0  | ID            | RW | 0x0 | LIN ID<br>写本位段设置要发送的受保护 ID<br>若 UARTCTL.PRTYEN=1, 最高 2 位通过硬件基于低 6 位计算得到, 参见 <a href="#">章节 8.4.5</a><br>读本位段获取接收到的受保护 ID |

## 8.6.2.5 LIN ID 筛选标准寄存器 (LINIDFILT)

表 8-14: LIN ID 筛选标准寄存器 (LINIDFILT) 位段定义

| LINIDFILT (LIN ID Filter Register) |    |                |    |                     |    |    |    |
|------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: UART->LINIDFILT            |    | Offset: 0x0010 |    | Default: 0x00000000 |    |    |    |
| 31                                 | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| RESERVED                           |    |                |    |                     |    |    |    |
| 23                                 | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| RESERVED                           |    |                |    |                     |    |    |    |
| 15                                 | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| MASK                               |    |                |    |                     |    |    |    |
| 7                                  | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| REFID                              |    |                |    |                     |    |    |    |

表 8-15: LIN ID 筛选标准寄存器 (LINIDFILT) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                |
|-------|----------------|----|-----|-------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                |
| 15:8  | MASK           | RW | 0x0 | LIN ID 掩码<br>0: 接收到的 ID 的对应位可以是任意值<br>1: 要求接收到的 ID 的对应位与 REFID 一致 |
| 7:0   | REFID          | RW | 0x0 | LIN ID 比较参考值                                                      |

## 8.6.2.6 UART/LIN 线路空闲阈值寄存器 (BUSIDLETH)

表 8-16: UART/LIN 线路空闲阈值寄存器 (BUSIDLETH) 位段定义

| BUSIDLETH (UART/LIN Bus Idle Threshold Register)                 |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: UART->BUSIDLETH    Offset: 0x0014    Default: 0xFFFFFFFF |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                              |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                              |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                              |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 8-17: UART/LIN 线路空闲阈值寄存器 (BUSIDLETH) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                                        |
|------|-----|----|------------|-------------------------------------------|
| 31:0 | VAL | RW | 0xFFFFFFFF | 判定 UART/LIN 线路空闲时 RXD 引脚持续保持不变的 AHB 时钟周期数 |

## 8.6.2.7 UART 波特计数寄存器 (UARTBDCNT)

表 8-18: UART 波特计数寄存器 (UARTBDCNT) 位段定义

| UARTBDCNT (UART Baud Count Register)                             |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: UART->UARTBDCNT    Offset: 0x0018    Default: 0x00000010 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                              |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 8-19: UART 波特计数寄存器 (UARTBDCNT) 位段描述

| 位段    | 位段名            | 属性 | 复位值  | 描述                                                                              |
|-------|----------------|----|------|---------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0  | 保留                                                                              |
| 15:0  | VAL            | RW | 0x10 | 设定 UART 波特率为 $f_{CLK\_UART} / \text{UARTBDCNT}$ . 最小值为 16, 写成一个小于 16 的值会被复位成 16 |

### 8.6.2.8 UART 自动波特率计数寄存器 (UARTABCNT)

表 8-20: UART 自动波特率计数寄存器 (UARTABCNT) 位段定义

|                                                                  |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| UARTABCNT (UART Auto-Baud Count Register)                        |    |    |    |    |    |    |    |
| Access: UART->UARTABCNT    Offset: 0x001C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                              |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 8-21: UART 自动波特率计数寄存器 (UARTABCNT) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                      |
|-------|----------------|----|-----|-------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                      |
| 15:0  | VAL            | RO | 0x0 | 检测到的一个起始位对应的 UART 时钟周期数 |

### 8.6.2.9 UART 接收超时阈值寄存器 (UARTTOTH)

表 8-22: UART 接收超时阈值寄存器 (UARTTOTH) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| UARTTOTH (UART Timeout Threshold Register)                      |    |    |    |    |    |    |    |
| Access: UART->UARTTOTH    Offset: 0x0020    Default: 0x00000030 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 8-23: UART 接收超时阈值寄存器 (UARTTOTH) 位段描述

| 位段   | 位段名           | 属性 | 复位值  | 描述                                                                                                                           |
|------|---------------|----|------|------------------------------------------------------------------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0  | 保留                                                                                                                           |
| 7:0  | VAL           | RW | 0x30 | <p>超时对应的波特数</p> <p>最小值为 1，写 0 会被复位成 1</p> <p>对于 UART 模式，在指定时间内未收到新的数据判定为超时</p> <p>对于 LIN 模式，在规定时间内未收到预期数目的应答字节和校验和则判定为超时</p> |

## 8.6.2.10 UART 接收 FIFO 当前长度寄存器 (UARTRXLVL)

表 8-24: UART 接收 FIFO 当前长度寄存器 (UARTRXLVL) 位段定义

|                                                                  |     |    |    |    |    |    |    |
|------------------------------------------------------------------|-----|----|----|----|----|----|----|
| UARTRXLVL (UART Receive FIFO Level Register)                     |     |    |    |    |    |    |    |
| Access: UART->UARTRXLVL    Offset: 0x0024    Default: 0x00000000 |     |    |    |    |    |    |    |
| 31                                                               | 30  | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                         |     |    |    |    |    |    |    |
| 23                                                               | 22  | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                         |     |    |    |    |    |    |    |
| 15                                                               | 14  | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                         |     |    |    |    |    |    |    |
| 7                                                                | 6   | 5  | 4  | 3  | 2  | 1  | 0  |
| RESERVED                                                         | VAL |    |    |    |    |    |    |

表 8-25: UART 接收 FIFO 当前长度寄存器 (UARTRXLVL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                     |
|------|---------------|----|-----|------------------------|
| 31:7 | RESERVED_31_7 | RO | 0x0 | 保留                     |
| 6:0  | VAL           | RO | 0x0 | 接收 FIFO 内保存的字节数 (0~64) |

## 8.6.2.11 UART 发送 FIFO 当前长度寄存器 (UARTTXLVL)

表 8-26: UART 发送 FIFO 当前长度寄存器 (UARTTXLVL) 位段定义

|                                                                  |     |    |    |    |    |    |    |
|------------------------------------------------------------------|-----|----|----|----|----|----|----|
| UARTTXLVL (UART Transmit FIFO Level Register)                    |     |    |    |    |    |    |    |
| Access: UART->UARTTXLVL    Offset: 0x0028    Default: 0x00000000 |     |    |    |    |    |    |    |
| 31                                                               | 30  | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                         |     |    |    |    |    |    |    |
| 23                                                               | 22  | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                         |     |    |    |    |    |    |    |
| 15                                                               | 14  | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                         |     |    |    |    |    |    |    |
| 7                                                                | 6   | 5  | 4  | 3  | 2  | 1  | 0  |
| RESERVED                                                         | VAL |    |    |    |    |    |    |

表 8-27: UART 发送 FIFO 当前长度寄存器 (UARTTXLVL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                     |
|------|---------------|----|-----|------------------------|
| 31:7 | RESERVED_31_7 | RO | 0x0 | 保留                     |
| 6:0  | VAL           | RO | 0x0 | 发送 FIFO 内保存的字节数 (0~64) |



### 8.6.2.12 UART 接收 FIFO 长度阈值寄存器 (UARTRXTH)

表 8-28: UART 接收 FIFO 长度阈值寄存器 (UARTRXTH) 位段定义

| UARTRXTH (UART Receive FIFO Threshold Register)                 |    |     |    |    |    |    |    |
|-----------------------------------------------------------------|----|-----|----|----|----|----|----|
| Access: UART->UARTRXTH    Offset: 0x002C    Default: 0x00000000 |    |     |    |    |    |    |    |
| 31                                                              | 30 | 29  | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                        |    |     |    |    |    |    |    |
| 23                                                              | 22 | 21  | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                        |    |     |    |    |    |    |    |
| 15                                                              | 14 | 13  | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                        |    |     |    |    |    |    |    |
| 7                                                               | 6  | 5   | 4  | 3  | 2  | 1  | 0  |
| RESERVED                                                        |    | VAL |    |    |    |    |    |

表 8-29: UART 接收 FIFO 长度阈值寄存器 (UARTRXTH) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                            |
|------|---------------|----|-----|-----------------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                            |
| 5:0  | VAL           | RW | 0x0 | 设置阈值使得 UARTRXLVL > UARTRXTH 时触发接收 FIFO 数据读取请求 |

### 8.6.2.13 UART 发送 FIFO 长度阈值寄存器 (UARTTXTH)

表 8-30: UART 发送 FIFO 长度阈值寄存器 (UARTTXTH) 位段定义

| UARTTXTH (UART Transmit FIFO Threshold Register)                |    |     |    |    |    |    |    |
|-----------------------------------------------------------------|----|-----|----|----|----|----|----|
| Access: UART->UARTTXTH    Offset: 0x0030    Default: 0x00000000 |    |     |    |    |    |    |    |
| 31                                                              | 30 | 29  | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                        |    |     |    |    |    |    |    |
| 23                                                              | 22 | 21  | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                        |    |     |    |    |    |    |    |
| 15                                                              | 14 | 13  | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                        |    |     |    |    |    |    |    |
| 7                                                               | 6  | 5   | 4  | 3  | 2  | 1  | 0  |
| RESERVED                                                        |    | VAL |    |    |    |    |    |

表 8-31: UART 发送 FIFO 长度阈值寄存器 (UARTTXTH) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                            |
|------|---------------|----|-----|-----------------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                            |
| 5:0  | VAL           | RW | 0x0 | 设置阈值使得 UARTTXLVL ≤ UARTTXTH 时触发发送 FIFO 数据写入请求 |

## 8.6.2.14 UART 红外控制寄存器 (UARTSIRCTL)

表 8-32: UART 红外控制寄存器 (UARTSIRCTL) 位段定义

|                                                                   |    |      |       |       |       |         |         |
|-------------------------------------------------------------------|----|------|-------|-------|-------|---------|---------|
| UARTSIRCTL (UART Infrared Control Register)                       |    |      |       |       |       |         |         |
| Access: UART->UARTSIRCTL    Offset: 0x0034    Default: 0x0000010C |    |      |       |       |       |         |         |
| 31                                                                | 30 | 29   | 28    | 27    | 26    | 25      | 24      |
| RESERVED                                                          |    |      |       |       |       |         |         |
| 23                                                                | 22 | 21   | 20    | 19    | 18    | 17      | 16      |
| RESERVED                                                          |    |      |       |       |       |         |         |
| 15                                                                | 14 | 13   | 12    | 11    | 10    | 9       | 8       |
| RESERVED                                                          |    | TXPW |       |       |       |         |         |
| 7                                                                 | 6  | 5    | 4     | 3     | 2     | 1       | 0       |
| TXPW                                                              |    |      | XMODE | TXPOL | RXPOL | TXSIREN | RXSIREN |

表 8-33: UART 红外控制寄存器 (UARTSIRCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                       |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------|
| 31:14 | RESERVED_31_14 | RO | 0x0 | 保留                                                                                                       |
| 13:5  | TXPW           | RW | 0x8 | 发送数据 0 时的脉冲宽度<br>最小值为 1，写 0 会自动复位成 1                                                                     |
| 4     | XMODE          | RW | 0x0 | 发送数据 0 时的脉冲宽度控制模式<br>0: 脉冲宽度固定为 3/16 个波特<br>1: 脉冲宽度固定为 TXPW 个 UART 模块时钟                                  |
| 3     | TXPOL          | RW | 0x1 | 发送数据的极性<br>0: 发送负脉冲表示 0，发送高电平表示 1<br>1: 发送正脉冲表示 0，发送低电平表示 1                                              |
| 2     | RXPOL          | RW | 0x1 | 接收数据的极性<br>0: 接收负脉冲表示 0，接收高电平表示 1<br>1: 接收正脉冲表示 0，接收低电平表示 1                                              |
| 1     | TXSIREN        | RW | 0x0 | 发送器红外模式使能<br>0: 发送器工作于普通模式<br>IrDA 编码器关闭，发送器输出直接送到 TXD 引脚<br>1: 发送器工作于红外模式<br>发送器输出经过 IrDA 编码后再送到 TXD 引脚 |
| 0     | RXSIREN        | RW | 0x0 | 接收器红外模式使能<br>0: 接收器工作于普通模式<br>IrDA 解码器关闭，RXD 引脚直接输入到接收器<br>1: 接收器工作于红外模式<br>RXD 引脚信号经过 IrDA 解码后再输入到接收器   |

## 8.6.2.15 UART 状态寄存器 (UARTSTS)

表 8-34: UART 状态寄存器 (UARTSTS) 位段定义

| UARTSTS (UART Status Register) |       |                |           |                     |         |        |        |
|--------------------------------|-------|----------------|-----------|---------------------|---------|--------|--------|
| Access: UART->UARTSTS          |       | Offset: 0x0040 |           | Default: 0x0000000C |         |        |        |
| 31                             | 30    | 29             | 28        | 27                  | 26      | 25     | 24     |
| RESERVED                       |       |                |           |                     |         |        |        |
| 23                             | 22    | 21             | 20        | 19                  | 18      | 17     | 16     |
| RESERVED                       |       |                |           |                     |         |        |        |
| 15                             | 14    | 13             | 12        | 11                  | 10      | 9      | 8      |
| RESERVED                       |       |                |           |                     |         | TXBUSY | RXBUSY |
| 7                              | 6     | 5              | 4         | 3                   | 2       | 1      | 0      |
| RXERR                          | RXBRK | RXFRMERR       | RXPRTYERR | TXNF                | TXEMPTY | RXFULL | RXNE   |

表 8-35: UART 状态寄存器 (UARTSTS) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                     |
|-------|----------------|----|-----|------------------------------------------------------------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                                                                                     |
| 9     | TXBUSY         | RO | 0x0 | 发送器忙状态<br>0: 发送器空闲<br>1: 发送器在忙 (发送数据)                                                                                  |
| 8     | RXBUSY         | RO | 0x0 | 接收器忙状态<br>0: 接收器空闲<br>1: 接收器在忙 (接收数据)                                                                                  |
| 7     | RXERR          | RO | 0x0 | 接收 FIFO 中的未读数据含有线路中断条件字节、校验错误或者停止位错误<br>0: 接收 FIFO 中都是正常数据<br>1: 接收 FIFO 中包含未读的异常数据                                    |
| 6     | RXBRK          | RO | 0x0 | 从接收 FIFO 刚读出的数据是线路中断条件<br>对于 32 位访问模式, 表明读出的字节中至少有一个线路中断条件<br>0: 由 UARTDAT 读出的全零字节是正常数据<br>1: 由 UARTDAT 读出的全零字节是线路中断条件 |
| 5     | RXFRMERR       | RO | 0x0 | 从接收 FIFO 刚读出的数据含停止位错<br>对于 32 位访问模式, 表明读出的字节中至少有一个含停止位错<br>0: 通过 UARTDAT 读出的数据不含停止位错<br>1: 通过 UARTDAT 读出的数据含停止位错       |
| 4     | RXPRTYERR      | RO | 0x0 | 从接收 FIFO 刚读出的数据含校验错<br>对于 32 位访问模式, 表明读出的字节中至少有一个含校验错<br>0: 通过 UARTDAT 读出的数据不含校验错<br>1: 通过 UARTDAT 读出的数据含校验错           |

| 位段 | 位段名     | 属性 | 复位值 | 描述                                                              |
|----|---------|----|-----|-----------------------------------------------------------------|
| 3  | TXNF    | RO | 0x1 | 发送 FIFO 非满<br>0: 发送 FIFO 满, 无法存放新数据<br>1: 发送 FIFO 含至少一个空位可以存放数据 |
| 2  | TXEMPTY | RO | 0x1 | 发送 FIFO 空<br>0: 发送 FIFO 里有至少一个数据<br>1: 发送 FIFO 为空 (没有数据)        |
| 1  | RXFULL  | RO | 0x0 | 接收 FIFO 满<br>0: 接收 FIFO 含至少一个空位可以存放数据<br>1: 接收 FIFO 满, 无法存放新数据  |
| 0  | RXNE    | RO | 0x0 | 接收 FIFO 非空<br>0: 接收 FIFO 为空 (没有数据)<br>1: 接收 FIFO 里有至少一个数据       |

### 8.6.2.16 UART 中断原始事件标志寄存器 (UARTRAWIF)

表 8-36: UART 中断原始事件标志寄存器 (UARTRAWIF) 位段定义

|                                                                  |           |          |           |           |            |        |       |
|------------------------------------------------------------------|-----------|----------|-----------|-----------|------------|--------|-------|
| UARTRAWIF (UART Interrupt Raw Flag Register)                     |           |          |           |           |            |        |       |
| Access: UART->UARTRAWIF    Offset: 0x0044    Default: 0x00000000 |           |          |           |           |            |        |       |
| 31                                                               | 30        | 29       | 28        | 27        | 26         | 25     | 24    |
| RESERVED                                                         |           |          |           |           |            |        |       |
| 23                                                               | 22        | 21       | 20        | 19        | 18         | 17     | 16    |
| RESERVED                                                         |           |          |           |           |            |        |       |
| 15                                                               | 14        | 13       | 12        | 11        | 10         | 9      | 8     |
| RESERVED                                                         | BUSIDLE   | LINSBERR | LINCSEERR | LINBITERR | LINIDMATCH | ABLOCK | TXREQ |
| 7                                                                | 6         | 5        | 4         | 3         | 2          | 1      | 0     |
| TXOVF                                                            | RXTIMEOUT | RXBRK    | RXFRMERR  | RXPRTYERR | RXREQ      | RXOVF  | RXUDF |

表 8-37: UART 中断原始事件标志寄存器 (UARTRAWIF) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                               |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:17 | RESERVED_31_15 | RO | 0x0 | 保留                                                                                                                                               |
| 14    | BUSIDLE        | RO | 0x0 | RXD 线路空闲事件标志<br>0: 事件未发生<br>1: 事件已发生                                                                                                             |
| 13    | LINSBERR       | RO | 0x0 | LIN 同步段错误事件标志<br>0: 事件未发生<br>1: 事件已发生                                                                                                            |
| 12    | LINCSEERR      | RO | 0x0 | LIN 校验和段错误事件标志<br>0: 事件未发生<br>1: 事件已发生                                                                                                           |
| 11    | LINBITERR      | RO | 0x0 | LIN 位电平错误事件标志<br>0: 事件未发生<br>1: 事件已发生                                                                                                            |
| 10    | LINIDMATCH     | RO | 0x0 | LIN 接收到符合筛选标准的 PID 事件标志<br>0: 事件未发生<br>1: 事件已发生                                                                                                  |
| 9     | ABLOCK         | RO | 0x0 | 自动波特率检测完成事件标志<br>0: 事件未发生<br>1: 事件已发生                                                                                                            |
| 8     | TXREQ          | RO | 0x0 | 发送 FIFO 数据写请求事件标志<br>0: 值为 0 表示发送 FIFO 中含足够的数据;<br>当 UARTTXLVL ≤ UARTTXTH 时位段变 1<br>1: 值为 1 表示发送 FIFO 中需写入更多数据;<br>当 UARTTXLVL > UARTTXTH 时位段变 0 |

| 位段 | 位段名       | 属性 | 复位值 | 描述                                                                                                                                                        |
|----|-----------|----|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------|
| 7  | TXOVF     | RO | 0x0 | 发送 FIFO 上溢事件标志<br>表示发送 FIFO 满时发生了 UARTDAT 写操作<br>0: 事件未发生<br>1: 事件已发生                                                                                     |
| 6  | RXTIMEOUT | RO | 0x0 | 接收超时事件标志<br>UART 模式下表示在指定时间内未收到新数据<br>LIN 模式下表示指定时间内未收到完整的应答<br>0: 事件未发生<br>1: 事件已发生                                                                      |
| 5  | RXBRK     | RO | 0x0 | 接收到线路中断条件事件标志<br>0: 事件未发生<br>1: 事件已发生                                                                                                                     |
| 4  | RXFRMERR  | RO | 0x0 | 接收到字节帧停止位错误事件标志<br>0: 事件未发生<br>1: 事件已发生                                                                                                                   |
| 3  | RXPRTYERR | RO | 0x0 | 接收到校验错误事件标志<br>UART 模式下表示字节的校验位错误<br>LIN 模式下表示受保护 ID 段的校验错误<br>0: 事件未发生<br>1: 事件已发生                                                                       |
| 2  | RXREQ     | RO | 0x0 | 接收 FIFO 数据读请求事件标志<br>0: 值为 0 表示接收 FIFO 中未存入足够的数据;<br>当 $UARTRXLVL > UARTRXTH$ 时位段变 1<br>1: 值为 1 表示接收 FIFO 中存入了足够的数据;<br>当 $UARTRXLVL \leq UARTRXTH$ 位段变 0 |
| 1  | RXOVF     | RO | 0x0 | 接收 FIFO 上溢事件标志<br>表示接收 FIFO 为满时收到新数据（会被丢弃）<br>0: 事件未发生<br>1: 事件已发生                                                                                        |
| 0  | RXUDF     | RO | 0x0 | 接收 FIFO 下溢事件标志<br>表示接收 FIFO 为空时发生了 UARTDAT 读操作<br>0: 事件未发生<br>1: 事件已发生                                                                                    |

## 8.6.2.17 UART 中断标志寄存器 (UARTIF)

表 8-38: UART 中断标志寄存器 (UARTIF) 位段定义

|                                                               |           |          |           |           |            |        |          |
|---------------------------------------------------------------|-----------|----------|-----------|-----------|------------|--------|----------|
| UARTIF (UART Interrupt Flag Register)                         |           |          |           |           |            |        |          |
| Access: UART->UARTIF    Offset: 0x0048    Default: 0x00000000 |           |          |           |           |            |        |          |
| 31                                                            | 30        | 29       | 28        | 27        | 26         | 25     | 24       |
| RESERVED                                                      |           |          |           |           |            |        |          |
| 23                                                            | 22        | 21       | 20        | 19        | 18         | 17     | 16       |
| RESERVED                                                      |           |          |           |           |            | INT    | RESERVED |
| 15                                                            | 14        | 13       | 12        | 11        | 10         | 9      | 8        |
| RESERVED                                                      | BUSIDLE   | LINSBERR | LINCSEERR | LINBITERR | LINIDMATCH | ABLOCK | TXREQ    |
| 7                                                             | 6         | 5        | 4         | 3         | 2          | 1      | 0        |
| TXOVF                                                         | RXTIMEOUT | RXBRK    | RXFRMERR  | RXPRTYERR | RXREQ      | RXOVF  | RXUDF    |

表 8-39: UART 中断标志寄存器 (UARTIF) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                  |
|-------|----------------|----|-----|---------------------------------------------------------------------|
| 31:18 | RESERVED_31_18 | RO | 0x0 | 保留                                                                  |
| 17    | INT            | RO | 0x0 | UART 全局中断标志<br>0: 中断未发生<br>1: 中断已产生, 并已经通知 CPU<br>本位段被清除之前不会产生新中断   |
| 16    | RESERVED_16_15 | RO | 0x0 | 保留                                                                  |
| 14    | BUSIDLE        | RO | 0x0 | RXD 线路空闲中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断            |
| 13    | LINSBERR       | RO | 0x0 | LIN 同步段错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断           |
| 12    | LINCSEERR      | RO | 0x0 | LIN 校验和段错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断          |
| 11    | LINBITERR      | RO | 0x0 | LIN 位电平错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断           |
| 10    | LINIDMATCH     | RO | 0x0 | LIN 接收到符合筛选标准的 PID 中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |



| 位段 | 位段名       | 属性 | 复位值 | 描述                                                          |
|----|-----------|----|-----|-------------------------------------------------------------|
| 9  | ABLOCK    | RO | 0x0 | 自动波特率检测完成中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断   |
| 8  | TXREQ     | RO | 0x0 | 发送 FIFO 数据写请求中断标志<br>0: 中断未发生<br>1: 中断已发生                   |
| 7  | TXOVF     | RO | 0x0 | 发送 FIFO 上溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断  |
| 6  | RXTIMEOUT | RO | 0x0 | 接收超时中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断        |
| 5  | RXBRK     | RO | 0x0 | 接收到线路中断条件中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断   |
| 4  | RXFRMERR  | RO | 0x0 | 接收到字节帧停止位错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 3  | RXPRTYERR | RO | 0x0 | 接收到校验错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断     |
| 2  | RXREQ     | RO | 0x0 | 接收 FIFO 数据读请求中断标志<br>0: 中断未发生<br>1: 中断已发生                   |
| 1  | RXOVF     | RO | 0x0 | 接收 FIFO 上溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断  |
| 0  | RXUDF     | RO | 0x0 | 接收 FIFO 下溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断  |

### 8.6.2.18 UART 中断清除寄存器 (UARTIC)

表 8-40: UART 中断清除寄存器 (UARTIC) 位段定义

|                                                               |           |          |          |           |            |        |          |
|---------------------------------------------------------------|-----------|----------|----------|-----------|------------|--------|----------|
| UARTIC (UART Interrupt Clear Register)                        |           |          |          |           |            |        |          |
| Access: UART->UARTIC    Offset: 0x004C    Default: 0x00000000 |           |          |          |           |            |        |          |
| 31                                                            | 30        | 29       | 28       | 27        | 26         | 25     | 24       |
| RESERVED                                                      |           |          |          |           |            |        |          |
| 23                                                            | 22        | 21       | 20       | 19        | 18         | 17     | 16       |
| RESERVED                                                      |           |          |          |           |            | INT    | RESERVED |
| 15                                                            | 14        | 13       | 12       | 11        | 10         | 9      | 8        |
| RESERVED                                                      | BUSIDLE   | LINSBERR | LINCERR  | LINBITERR | LINIDMATCH | ABLOCK | RESERVED |
| 7                                                             | 6         | 5        | 4        | 3         | 2          | 1      | 0        |
| TXOVF                                                         | RXTIMEOUT | RXBRK    | RXFRMERR | RXPRTYERR | RESERVED   | RXOVF  | RXUDF    |

表 8-41: UART 中断清除寄存器 (UARTIC) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                       |
|-------|----------------|-----|-----|--------------------------------------------------------------------------|
| 31:18 | RESERVED_31_18 | RO  | 0x0 | 保留                                                                       |
| 17    | INT            | W1C | 0x0 | 全局中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零                     |
| 16    | RESERVED_16_15 | RO  | 0x0 | 保留                                                                       |
| 14    | BUSIDLE        | W1C | 0x0 | RXD 线路空闲中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零            |
| 13    | LINSBERR       | W1C | 0x0 | LIN 同步段错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零           |
| 12    | LINCERR        | W1C | 0x0 | LIN 校验和段错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零          |
| 11    | LINBITERR      | W1C | 0x0 | LIN 位电平错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零           |
| 10    | LINIDMATCH     | W1C | 0x0 | LIN 接收到符合筛选标准的 PID 中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 9     | ABLOCK         | W1C | 0x0 | 自动波特率检测完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零           |
| 8     | RESERVED_8     | RO  | 0x0 | 保留                                                                       |

| 位段 | 位段名        | 属性  | 复位值 | 描述                                                               |
|----|------------|-----|-----|------------------------------------------------------------------|
| 7  | TXOVF      | W1C | 0x0 | 发送 FIFO 上溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |
| 6  | RXTIMEOUT  | W1C | 0x0 | 接收超时中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零        |
| 5  | RXBRK      | W1C | 0x0 | 接收到线路中断条件中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零   |
| 4  | RXFRMERR   | W1C | 0x0 | 接收到字节帧停止位错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 3  | RXPRTYERR  | W1C | 0x0 | 接收到校验错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零     |
| 2  | RESERVED_2 | RO  | 0x0 | 保留                                                               |
| 1  | RXOVF      | W1C | 0x0 | 接收 FIFO 上溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |
| 0  | RXUDF      | W1C | 0x0 | 接收 FIFO 下溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |

### 8.6.2.19 UART 中断使能寄存器 (UARTIE)

表 8-42: UART 中断使能寄存器 (UARTIE) 位段定义

|                                                               |           |          |           |           |            |        |       |
|---------------------------------------------------------------|-----------|----------|-----------|-----------|------------|--------|-------|
| UARTIE (UART Interrupt Enable Register)                       |           |          |           |           |            |        |       |
| Access: UART->UARTIE    Offset: 0x0050    Default: 0x00000000 |           |          |           |           |            |        |       |
| 31                                                            | 30        | 29       | 28        | 27        | 26         | 25     | 24    |
| RESERVED                                                      |           |          |           |           |            |        |       |
| 23                                                            | 22        | 21       | 20        | 19        | 18         | 17     | 16    |
| RESERVED                                                      |           |          |           |           |            |        |       |
| 15                                                            | 14        | 13       | 12        | 11        | 10         | 9      | 8     |
| RESERVED                                                      | BUSIDLE   | LINSBERR | LINCSEERR | LINBITERR | LINIDMATCH | ABLOCK | TXREQ |
| 7                                                             | 6         | 5        | 4         | 3         | 2          | 1      | 0     |
| TXOVF                                                         | RXTIMEOUT | RXBRK    | RXFRMERR  | RXPRTYERR | RXREQ      | RXOVF  | RXUDF |

表 8-43: UART 中断使能寄存器 (UARTIE) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                             |
|-------|----------------|----|-----|--------------------------------------------------------------------------------|
| 31:17 | RESERVED_31_15 | RO | 0x0 | 保留                                                                             |
| 14    | BUSIDLE        | RW | 0x0 | RXD 线路空闲中断使能<br>0: 关闭<br>1: 使能                                                 |
| 13    | LINSBERR       | RW | 0x0 | LIN 同步段错误中断使能<br>当 UARTCTL.ABEN 被置 1 时自动波特率使能, 应禁用本位段以避免误报警。<br>0: 关闭<br>1: 使能 |
| 12    | LINCSEERR      | RW | 0x0 | LIN 校验和段错误中断使能<br>0: 关闭<br>1: 使能                                               |
| 11    | LINBITERR      | RW | 0x0 | LIN 位电平错误中断使能<br>0: 关闭<br>1: 使能                                                |
| 10    | LINIDMATCH     | RW | 0x0 | LIN 接收到符合筛选标准的 PID 中断使能<br>0: 关闭<br>1: 使能                                      |
| 9     | ABLOCK         | RW | 0x0 | 自动波特率检测完成中断使能<br>0: 关闭<br>1: 使能                                                |
| 8     | TXREQ          | RW | 0x0 | 发送 FIFO 数据写请求中断使能<br>0: 关闭<br>1: 使能                                            |

| 位段 | 位段名       | 属性 | 复位值 | 描述                                |
|----|-----------|----|-----|-----------------------------------|
| 7  | TXOVF     | RW | 0x0 | 发送 FIFO 上溢中断使能<br>0: 关闭<br>1: 使能  |
| 6  | RXTIMEOUT | RW | 0x0 | 接收超时中断使能<br>0: 关闭<br>1: 使能        |
| 5  | RXBRK     | RW | 0x0 | 接收到线路中断条件中断使能<br>0: 关闭<br>1: 使能   |
| 4  | RXFRMERR  | RW | 0x0 | 接收到字节帧停止位错误中断使能<br>0: 关闭<br>1: 使能 |
| 3  | RXPRTYERR | RW | 0x0 | 接收到校验错误中断使能<br>0: 关闭<br>1: 使能     |
| 2  | RXREQ     | RW | 0x0 | 接收数据读请求中断使能<br>0: 关闭<br>1: 使能     |
| 1  | RXOVF     | RW | 0x0 | 接收 FIFO 上溢中断使能<br>0: 关闭<br>1: 使能  |
| 0  | RXUDF     | RW | 0x0 | 接收 FIFO 下溢中断使能<br>0: 关闭<br>1: 使能  |

### 8.6.2.20 UART 接收信号消抖控制寄存器 (UARTDGCTL)

表 8-44: UART 接收信号消抖控制寄存器 (UARTDGCTL) 位段定义

|                                                            |    |    |    |        |    |    |    |
|------------------------------------------------------------|----|----|----|--------|----|----|----|
| UARTDGCTL (UART RXD Deglitch Control Register)             |    |    |    |        |    |    |    |
| Access: UART->UARTDGCTL Offset: 0x0054 Default: 0x00000000 |    |    |    |        |    |    |    |
| 31                                                         | 30 | 29 | 28 | 27     | 26 | 25 | 24 |
| RESERVED                                                   |    |    |    |        |    |    |    |
| 23                                                         | 22 | 21 | 20 | 19     | 18 | 17 | 16 |
| RESERVED                                                   |    |    |    |        |    |    |    |
| 15                                                         | 14 | 13 | 12 | 11     | 10 | 9  | 8  |
| RESERVED                                                   |    |    |    | FLTDIV |    |    |    |
| 7                                                          | 6  | 5  | 4  | 3      | 2  | 1  | 0  |
| FLTTH                                                      |    |    |    | FLTWIN |    |    |    |

表 8-45: UART 接收信号消抖控制寄存器 (UARTDGCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                           |
|-------|----------------|----|-----|--------------------------------------------------------------|
| 31:12 | RESERVED_31_12 | RO | 0x0 | 保留                                                           |
| 11:8  | FLTDIV         | RW | 0x0 | 设置 UART 模块时钟经过(FLTDIV+1)分频后用作输入信号消抖时钟                        |
| 7:4   | FLTTH          | RW | 0x0 | 设置消抖滤波阈值为采样窗口内含至少 (FLTTH+1)个 1 或 0, 才判定为输入 1 或 0, 否则保持原来的值不变 |
| 3:0   | FLTWIN         | RW | 0x0 | 设置消抖滤波窗口为(FLTWIN+1)个采样点                                      |

### 8.6.2.21 UART 模块写使能寄存器 (UARTREGKEY)

表 8-46: UART 模块写使能寄存器 (UARTREGKEY) 位段定义

|                                                             |    |    |    |    |    |    |    |
|-------------------------------------------------------------|----|----|----|----|----|----|----|
| UARTREGKEY (UART Register Write-Allow Key Register)         |    |    |    |    |    |    |    |
| Access: UART->UARTREGKEY Offset: 0x0058 Default: 0x1ACCE551 |    |    |    |    |    |    |    |
| 31                                                          | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                         |    |    |    |    |    |    |    |
| 23                                                          | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                         |    |    |    |    |    |    |    |
| 15                                                          | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                         |    |    |    |    |    |    |    |
| 7                                                           | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| KEY                                                         |    |    |    |    |    |    |    |

表 8-47: UART 模块写使能寄存器 (UARTREGKEY) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                            |
|------|-----|----|------------|-------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 UART 寄存器 |

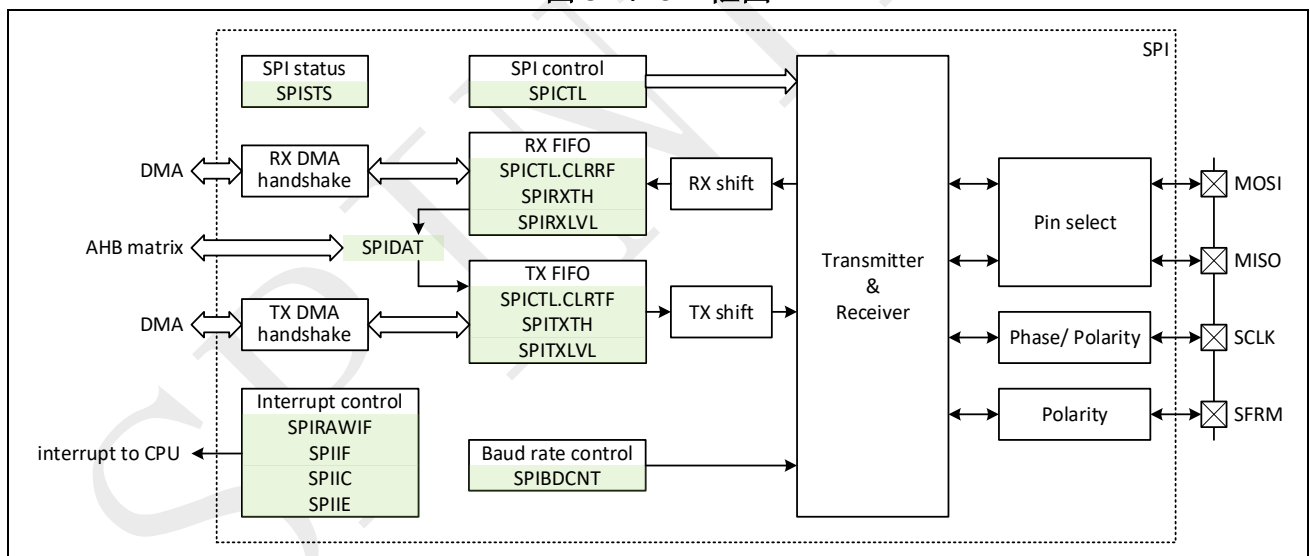
## 9 串行外设接口（SPI）

### 9.1 概述

SPI 接口是一个同步全双工串行数据传输接口，可以用来连接闪存、ADC 等多种外部设备。SPC1185 提供了 3 个 SPI 模块，其特性如下：

- 全双工串行同步传输；
- 最高 30 Mbps 通信速率；
- 支持 Motorola SPI 格式和 TI SSP 格式；
- 主机或从机操作；
- 可变长度传输帧格式选择；
- 可编程时钟极性和相位；
- 可编程片选信号极性；
- 数据流顺序可配置为高位优先或低位优先；
- 收发各有大小为 16 x 32 的 FIFO；
- 收发均支持 DMA 硬件握手。

图 9-1：SPI 框图



如图 9-1 所示，SPI 模块包含如下子模块：

- 引脚控制
  - 支持 MOSI 和 MISO 引脚功能互换
  - 支持三线和四线模式
- 发送 FIFO 和接收 FIFO
  - 大小均为 16 x 32
- 串行时钟频率控制，从而控制主机模式下的通信速率
  - 基于一个可编程的 16 位分频器对 SPI 模块时钟分频，分频比范围为 1 到 65536



- 接收器和接收移位寄存器
  - 将从外部设备接收到的串行数据按照可编程的位序转换为并行数据供读取
- 发送器和发送移位寄存器
  - 将 CPU 或 DMA 写入的并行数据按照可编程的位序转换为串行数据发送给外部设备
- DMA 硬件握手

## 9.2 SPI 端口信号

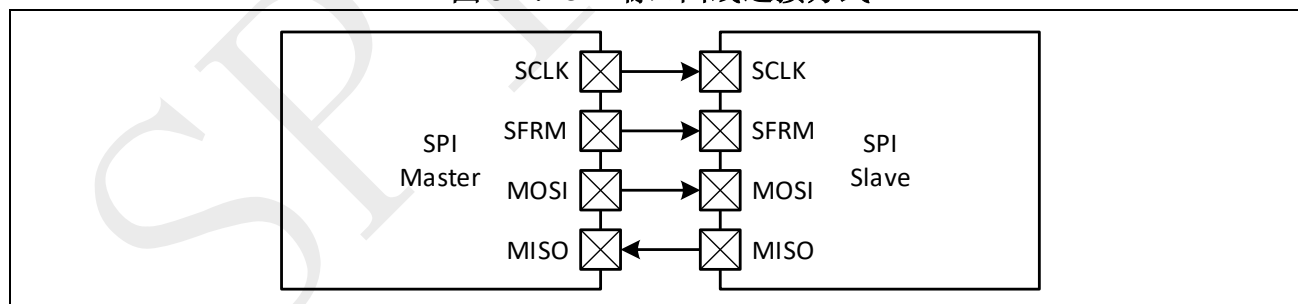
表 9-1 罗列并描述了 SPI 端口信号。它们都是数字 CMOS 电平信号，采用通道复用最终连到 GPIO 引脚。参考 章节 4.2 配置引脚通道功能。

表 9-1: SPI 端口信号

| 信号名  | 类型    | 描述                                                    |
|------|-------|-------------------------------------------------------|
| MOSI | 输入/输出 | <b>数据传输信号</b><br>主机模式：发送数据<br>从机模式：接收数据               |
| MISO | 输入/输出 | <b>数据传输信号</b><br>主机模式：接收数据<br>从机模式：发送数据               |
| SCLK | 输入/输出 | <b>串行时钟信号</b><br>主机模式：输出时钟信号（数据传输时翻转）<br>从机模式：接收时钟信号  |
| SFRM | 输入/输出 | <b>片选信号</b><br>主机模式：输出片选信号（数据传输时为有效电平）<br>从机模式：接收片选信号 |

### 9.2.1 四线连接方式

图 9-2: SPI 端口四线连接方式

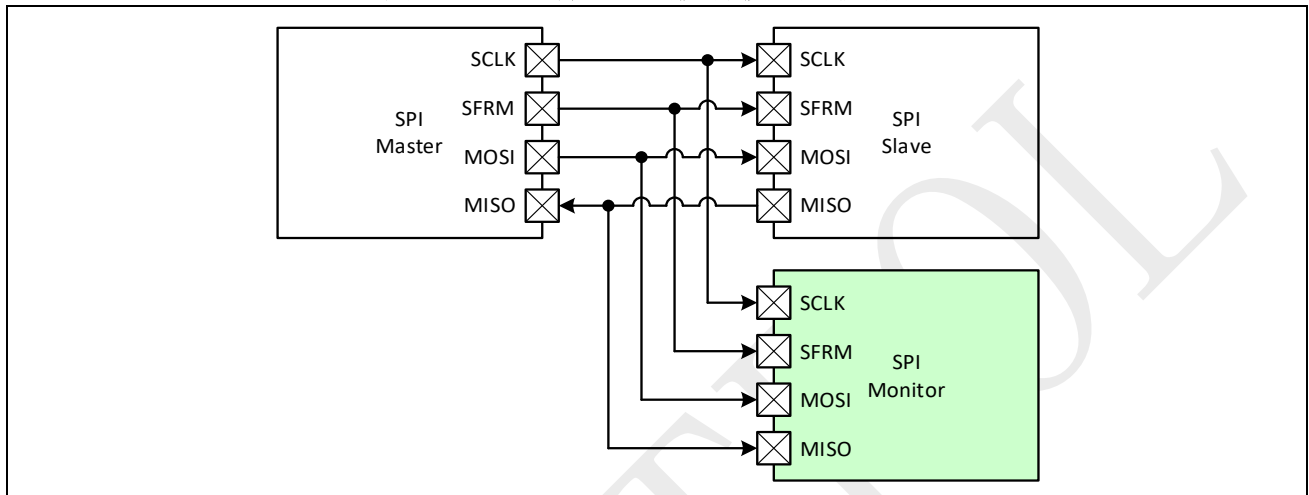


如图 9-2 所示，在四线模式下，主机输出 SCLK、SFRM 和 MOSI 给从机，从机输出 MISO 给主机，由于有独立的两个数据线，因此可以实现全双工传输。根据实际需求，有如下三种场景：

- 主机和从机同时收发有效数据
  - 主机通过 MOSI 发送数据给从机，接收 MISO 上来自从机的数据；
  - 从机通过 MISO 发送数据给主机，接收 MOSI 上来自主机的数据。
- 主机发有效数据，从机接收（等效于半双工的主机到从机传输）
  - 主机通过 MOSI 发送有效数据给从机，忽略 MISO 上来自从机的虚拟数据；

- 从机接收 MOSI 上来自主机的数据，随意填充要通过 MISO 发送的虚拟数据。
- 从机发有效数据，主机接收（等效于半双工的从机到主机传输）
  - 主机通过 MOSI 发送虚拟数据，以触发产生 SCLK 和 SFRM，并接收 MISO 上来自从机的有效数据；
  - 从机忽略 MOSI 上收到的数据，并基于收到的 SCLK 和 SFRM，通过 MISO 发送有效数据给主机。

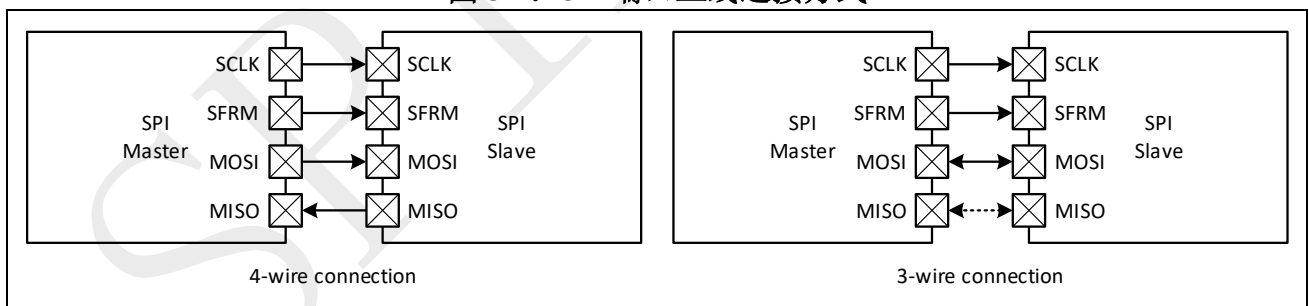
图 9-3: SPI 端口四线侦听模式连接方式



如图 9-3 所示，SPI 还可以工作于侦听模式。此时 SCLK、SFRM、MOSI 和 MISO 均为输入信号，节点侦听主机和其他从机之间以半双工协议相互传递的数据。取决于半双工通信时空闲方发送的电平为高还是低，侦听节点以 MOSI 和 MISO 的逻辑与或者逻辑或做为最终侦听的输入信号。

## 9.2.2 三线连接方式

图 9-4: SPI 端口三线连接方式



如图 9-4 所示，在三线模式下，SCLK 和 SFRM 仍然是固定由主机输出给从机，但只有一根双向的数据线（可以配置为用 MOSI 或者 MISO），因此只支持如下两种半双工传输：

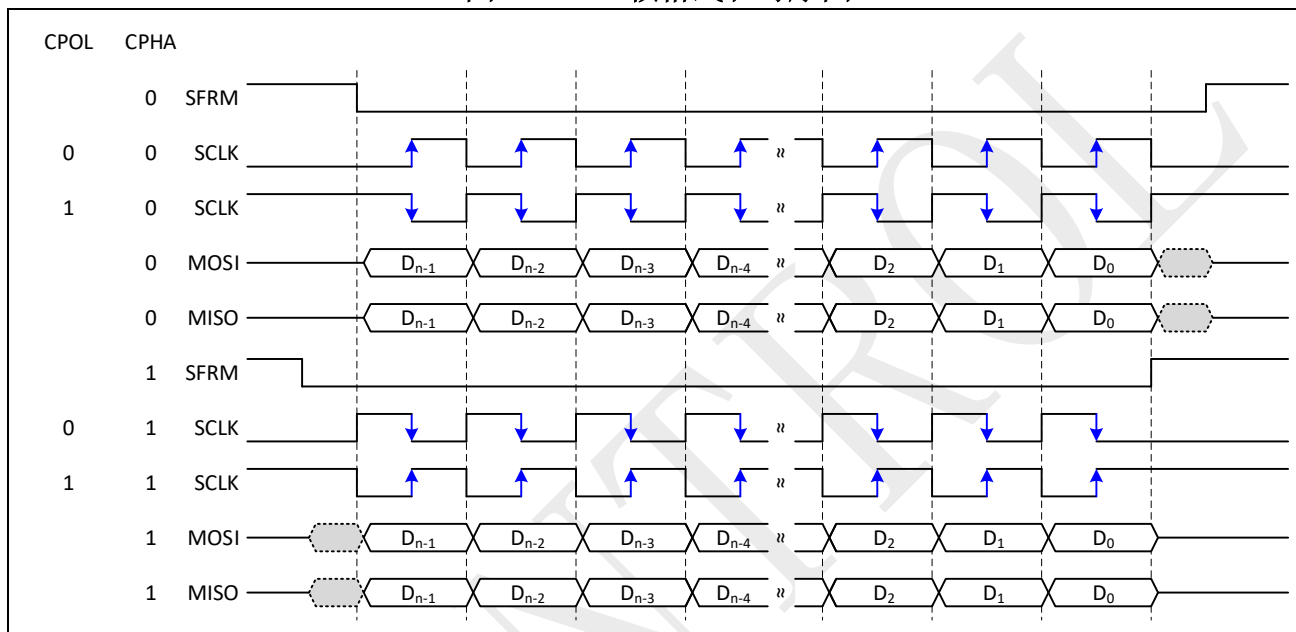
- 主机发有效数据，从机接收
  - 主机通过引脚发送有效数据给从机，忽略在此期间接收到的数据；
  - 从机接收引脚上来自主机的数据，忽略在此期间数据发送的请求。
- 从机发有效数据，主机接收
  - 主机发送虚拟数据（该数据不会送到引脚），以触发产生 SCLK 和 SFRM，并接收引脚上来自从机的有效数据；
  - 从机通过引脚发送有效数据给主机，忽略在此期间接收到的数据。

## 9.3 Motorola SPI 操作

### 9.3.1 帧格式

如图 9-5 所示，对于 SPI 帧而言，SFRM 用作片选信号，由主机产生，其极性可以由 SPICTL 寄存器的 SFRMPOL 位段控制。在 SFRM 有效期间，主机产生 SCLK 时钟信号，开始传输数据。片选信号提前第一个 SCLK 时钟沿至少半个周期变为有效，在最后一个 SCLK 边沿后维持至少半个周期才变为无效。

图 9-5: SPI 帧格式和时序图



根据 SPICTL.SCLKMODE 位段的配置，有如下四种时序关系：

- SPICTL.SCLKMODE = 0: CPOL = 0, CPHA = 0
  - SFRM 无效时 SCLK 为低，SFRM 有效后第一个 SCLK 沿（上升）为数据采样
- SPICTL.SCLKMODE = 1: CPOL = 0, CPHA = 1
  - SFRM 无效时 SCLK 为低，SFRM 有效后第二个 SCLK 沿（下降）为数据采样
- SPICTL.SCLKMODE = 2: CPOL = 1, CPHA = 0
  - SFRM 无效时 SCLK 为高，SFRM 有效后第一个 SCLK 沿（下降）为数据采样
- SPICTL.SCLKMODE = 3: CPOL = 1, CPHA = 1
  - SFRM 无效时 SCLK 为高，SFRM 有效后第二个 SCLK 沿（上升）为数据采样

每一帧数据的长度由 SPICTL.DATASIZE 指定，可以为 1 到 32 位。传输时根据 SPICTL.BITSEQ 位段的配置，可以按照从并行数据最高位或者最低位开始传输。

按照 SPICTL.TXIDLE 位段的配置，当 SFRM 无效时，数据输出引脚（主机的 MOSI 和从机的 MISO）可以配置为高阻态、输出高、输出低或者保持最后一位数据电平不变。

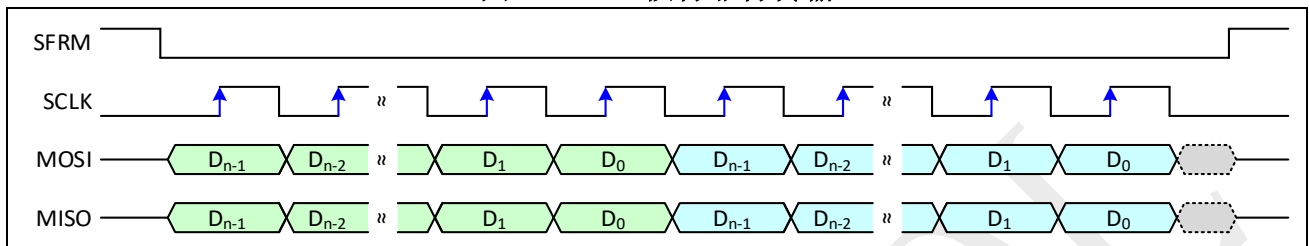
### 9.3.2 背靠背传输

每当发送 FIFO 非空时，主机会将 SFRM 置为有效，产生 SCLK 时钟，将数据从发送 FIFO 取出放入发送移位寄存器，开始数据位的传输。在完成当前数据最后一位传输后，若发送 FIFO 为空，主机会将 SFRM 置为无效，从而结束一帧数据。如图 9-6 所示，若完成最后一位传输后

发送 FIFO 非空，则主机会保持 SFRM 有效的状态，并立即从发送 FIFO 取出数据开始新的传输。直到发送完最后一位后检测到发送 FIFO 为空，主机才会将 SFRM 置为无效，从而结束一帧数据。这称为背靠背传输，可以将多个数据的传输合并在同一帧里完成。

对于从机而言，在背靠背传输模式下，用户需要及时往发送 FIFO 写入数据，以免出现发送 FIFO 下溢。

图 9-6: SPI 帧背靠背传输

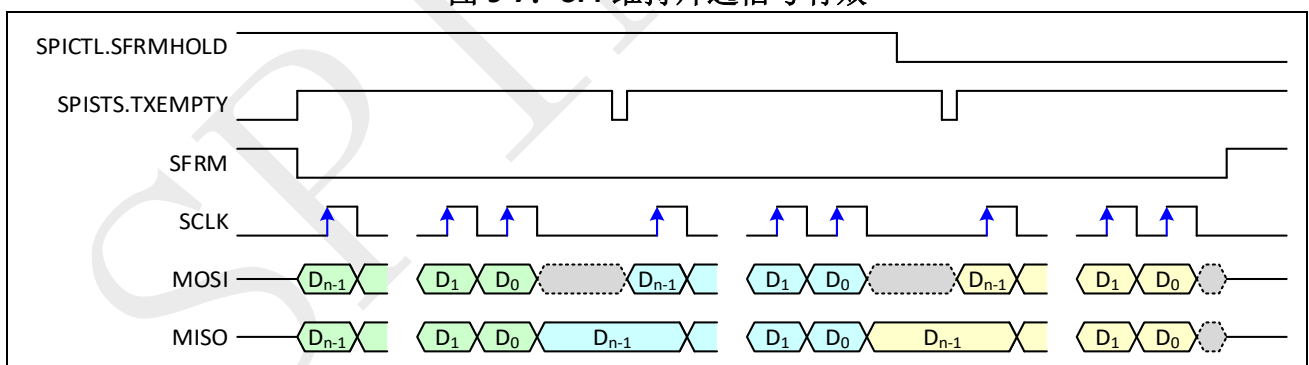


### 9.3.3 片选信号维持有效

另一种将多个数据的传输合并在同一帧里完成的方法是通过 SPICTL.SFRMHOLD 位段控制。如图 9-7 所示：

- 主机检测到发送 FIFO 非空，则将 SFRM 置为有效，产生 SCLK 时钟，并从 FIFO 中取出数据开始发送；
- 由于 SPICTL.SFRMHOLD 设置为 1，在完成最后一位传输后，即便检测到发送 FIFO 为空，主机也保持 SFRM 为有效，只是停止了 SCLK 的产生；
- 之后一旦检测到发送 FIFO 写入新数据，则立刻开始新的传输；
- 在写入最后一个要发送的数据前，需要将 SPICTL.SFRMHOLD 设置为 0，从而在完成最后一位传输后，主机检测到发送 FIFO 为空，将 SFRM 置为无效并结束这一帧。

图 9-7: SPI 维持片选信号有效



### 9.3.4 FIFO 中断和 DMA 接口

发送 FIFO 和接收 FIFO 中存放的数据条目数量记录在 SPITXLVL 寄存器和 SPIRXLVL 寄存器里。用户可以通过 SPITXTH 和 SPIRXTH 设置阈值，使得

- 当  $SPITXLVL \leq SPITXTH$  时产生发送 FIFO 数据写请求。
- 当  $SPIRXLVL > SPIRXTH$  时产生接收 FIFO 数据读请求。

收发 FIFO 的数据请求都可以配置为触发中断或者 DMA 传输。

### 9.3.5 接收超时和尾字节处理

用户可以通过 SPITOTH 寄存器配置超时的阈值。当 SPI 使能后，超时定时器以 SPI 模块时钟开始计数，并在每次收到数据时归零重新计数。若长时间未收到数据，使得计数值达到 SPITOTH，则产生接收超时事件，可以触发 RXTO 中断。

超时事件发生时，若  $\text{SPIRXLVL} \leq \text{SPIRXTH}$ ，则产生尾字节事件，可以触发 RXTRAIL 中断。这通常表明传输异常，破坏了用户定义的应用相关的数据完整性。

### 9.3.6 传输速率和时钟配置

SPI 从机的传输速率由收到的 SCLK 时钟频率决定。SPI 主机的传输速率可以通过 SPIBDCNT 配置为（其中  $f_{\text{CLK\_SPI}}$  为 SPI 模块时钟频率）：

$$f_{\text{SCLK}} = f_{\text{CLK\_SPI}} / (\text{SPIBDCNT} + 1)$$

由于相关逻辑的时序要求，SCLK 时钟频率和 CPU 时钟（即 AHB 总线时钟）频率需要满足如表 9-2 所示的约束关系。

表 9-2：SPI 时钟相关的约束条件

| 模式 | 应用场景   |                             | 时钟约束                                           |
|----|--------|-----------------------------|------------------------------------------------|
| 主机 | 逐个数据传输 | 数据位宽 = 1                    | $f_{\text{CLK\_CPU}} / f_{\text{SCLK}} \geq 8$ |
|    |        | 数据位宽 = 2                    | $f_{\text{CLK\_CPU}} / f_{\text{SCLK}} \geq 4$ |
|    |        | 数据位宽 = 3                    | $f_{\text{CLK\_CPU}} / f_{\text{SCLK}} \geq 3$ |
|    |        | 数据位宽 = 4                    | $f_{\text{CLK\_CPU}} / f_{\text{SCLK}} \geq 2$ |
|    |        | 数据位宽 $\geq 5$               | $f_{\text{CLK\_CPU}} / f_{\text{SCLK}} \geq 1$ |
|    | 背靠背传输  | 数据位宽 = 1                    | $f_{\text{CLK\_CPU}} / f_{\text{SCLK}} \geq 8$ |
|    |        | $2 \leq \text{数据位宽} \leq 4$ | $f_{\text{CLK\_CPU}} / f_{\text{SCLK}} \geq 4$ |
|    |        | $5 \leq \text{数据位宽} \leq 8$ | $f_{\text{CLK\_CPU}} / f_{\text{SCLK}} \geq 2$ |
|    |        | 数据位宽 $\geq 9$               | $f_{\text{CLK\_CPU}} / f_{\text{SCLK}} \geq 1$ |
| 从机 | —      |                             | $f_{\text{CLK\_CPU}} / f_{\text{SCLK}} \geq 2$ |

## 9.4 TI SSP 操作

如图 9-8 所示，和 SPI 帧相比，SSP 帧有如下不同：

- SCLK 在空闲时固定为低，上升沿驱动要发送的数据，下降沿采样接收到的数据；
- SFRM 在空闲时固定为低，每一帧以一个周期的高电平做为帧的起始信号；
- 只支持四线连接。

图 9-8：SSP 帧传格式和时序图

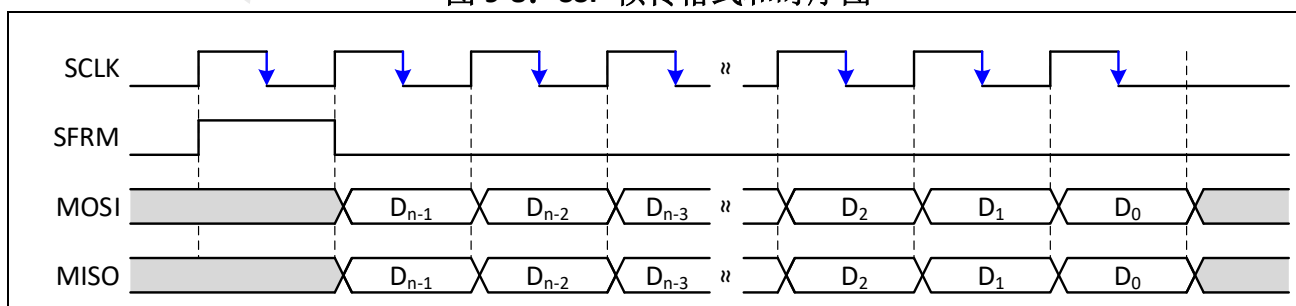
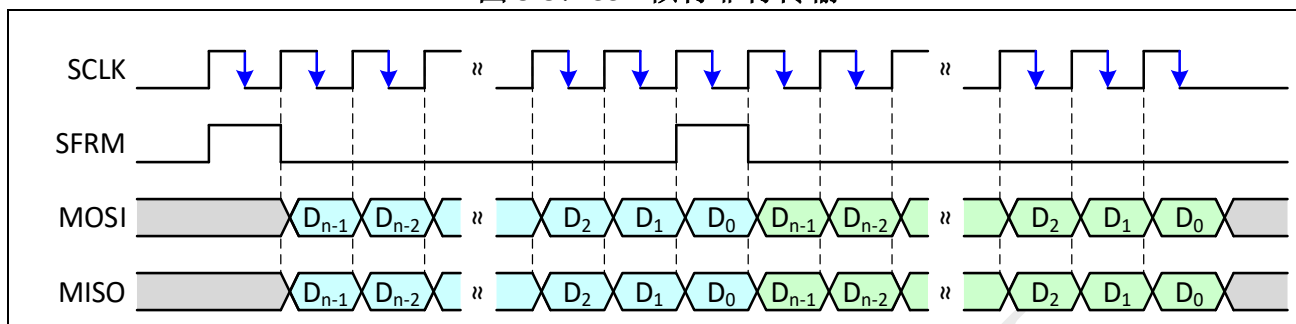


图 9-9 给出了背靠背传输时的波形图。

图 9-9: SSP 帧背靠背传输



SSP 模式下 SPICTL.SFRMHOLD 位段无效。FIFO 操作、中断控制、DMA 接口等使用方法与 SPI 模式相同。

## 9.5 各种场景的配置和使用方法

表 9-6 罗列了各种场景下主机/从机、半双工/全双工、三线/四线相关配置和使用方法。

表 9-3: 各种场景的配置和使用方法

| 模式 | 应用场景          | 配置                                                                                  | 使用方法                                                                |
|----|---------------|-------------------------------------------------------------------------------------|---------------------------------------------------------------------|
| 主机 | 四线模式<br>全双工通信 | SPICTL.MODE = 0<br>SPICTL.EN3WIRE = 0<br>SPICTL.TRANMODE = 0                        | 写 SPIDAT 往发送 FIFO 放入数据；<br>读 SPIDAT 从接收 FIFO 获取数据。                  |
| 主机 | 四线模式<br>半双工发送 | SPICTL.MODE = 0<br>SPICTL.EN3WIRE = 0<br>SPICTL.TRANMODE = 1                        | 写 SPIDAT 往发送 FIFO 放入数据；<br>接收 FIFO 不会有数据。                           |
| 主机 | 四线模式<br>半双工接收 | SPICTL.MODE = 0<br>SPICTL.EN3WIRE = 0<br>SPICTL.TRANMODE = 0                        | 往 SPIDAT 写任意虚拟数据以产生时钟和片选信号；<br>读 SPIDAT 从接收 FIFO 获取数据。              |
| 主机 | 三线模式<br>半双工发送 | SPICTL.MODE = 0<br>SPICTL.EN3WIRE = 1<br>SPICTL.DIR3WIRE = 1<br>SPICTL.TRANMODE = 1 | 写 SPIDAT 往发送 FIFO 放入数据；<br>接收 FIFO 不会有数据。                           |
| 主机 | 三线模式<br>半双工接收 | SPICTL.MODE = 0<br>SPICTL.EN3WIRE = 1<br>SPICTL.DIR3WIRE = 0<br>SPICTL.TRANMODE = 0 | 往 SPIDAT 写任意虚拟数据以产生时钟和片选信号；<br>读 SPIDAT 从接收 FIFO 获取数据。              |
| 从机 | 四线模式<br>全双工通信 | SPICTL.MODE = 1<br>SPICTL.EN3WIRE = 0<br>SPICTL.TRANMODE = 0                        | 写 SPIDAT 往发送 FIFO 放入数据；<br>读 SPIDAT 从接收 FIFO 获取数据。                  |
| 从机 | 四线模式<br>半双工发送 | SPICTL.MODE = 1<br>SPICTL.EN3WIRE = 0<br>SPICTL.TRANMODE = 0                        | 写 SPIDAT 往发送 FIFO 放入数据；<br>通过 SPICTL.CLRRF 清除接收 FIFO 里的无效数据。        |
| 从机 | 四线模式<br>半双工接收 | SPICTL.MODE = 1<br>SPICTL.EN3WIRE = 0<br>SPICTL.TRANMODE = 1                        | 读 SPIDAT 从接收 FIFO 获取数据；<br>发送 FIFO 不会有动作（无需往发送 FIFO 写数据，也不会有下溢事件发生） |



| 模式 | 应用场景          | 配置                                                                                  | 使用方法                                                                |
|----|---------------|-------------------------------------------------------------------------------------|---------------------------------------------------------------------|
| 从机 | 三线模式<br>半双工发送 | SPICTL.MODE = 1<br>SPICTL.EN3WIRE = 1<br>SPICTL.DIR3WIRE = 1<br>SPICTL.TRANMODE = 0 | 写 SPIDAT 往发送 FIFO 放入数据；<br>通过 SPICTL.CLRRF 清除接收 FIFO 里的无效数据。        |
| 从机 | 三线模式<br>半双工接收 | SPICTL.MODE = 1<br>SPICTL.EN3WIRE = 1<br>SPICTL.DIR3WIRE = 0<br>SPICTL.TRANMODE = 1 | 读 SPIDAT 从接收 FIFO 获取数据；<br>发送 FIFO 不会有动作（无需往发送 FIFO 写数据，也不会有下溢事件发生） |
| 侦听 | 四线模式<br>半双工通信 | SPICTL.MODE = 2/3<br>SPICTL.EN3WIRE = 0<br>SPICTL.TRANMODE = 1                      | 读 SPIDAT 从接收 FIFO 获取数据；<br>发送 FIFO 不会有动作（无需往发送 FIFO 写数据，也不会有下溢事件发生） |



## 9.6 寄存器

### 9.6.1 SPI 寄存器列表

表 9-4: SPI 模块基地址

| 外设模块 | 基地址         |
|------|-------------|
| SPI0 | 0x4000 1D00 |
| SPI1 | 0x4000 1E00 |
| SPI2 | 0x4000 1F00 |

表 9-5: SPI 寄存器列表

| 寄存器                        | 偏移地址   | 描述                  | 复位值        |
|----------------------------|--------|---------------------|------------|
| <a href="#">SPIDATA</a>    | 0x0000 | SPI 数据寄存器           | 0x00000000 |
| <a href="#">SPICTL</a> *   | 0x0008 | SPI 控制寄存器           | 0x00000000 |
| <a href="#">SPIBDCNT</a> * | 0x000C | SPI 波特率计数寄存器        | 0x00000000 |
| <a href="#">SPIRXLVL</a>   | 0x0010 | SPI 接收 FIFO 当前长度寄存器 | 0x00000000 |
| <a href="#">SPITXLVL</a>   | 0x0014 | SPI 发送 FIFO 当前长度寄存器 | 0x00000000 |
| <a href="#">SPIRXTH</a> *  | 0x0018 | SPI 接收 FIFO 长度阈值寄存器 | 0x00000000 |
| <a href="#">SPITXTH</a> *  | 0x001C | SPI 发送 FIFO 长度阈值寄存器 | 0x00000000 |
| <a href="#">SPITOTH</a> *  | 0x0020 | SPI 超时阈值寄存器         | 0x00000000 |
| <a href="#">SPISTS</a>     | 0x0028 | SPI 状态寄存器           | 0x0000000C |
| <a href="#">SPIRAWIF</a>   | 0x0030 | SPI 中断原始事件标志寄存器     | 0x00000000 |
| <a href="#">SPIIF</a>      | 0x0034 | SPI 中断标志寄存器         | 0x00000000 |
| <a href="#">SPIIE</a> *    | 0x0038 | SPI 中断使能寄存器         | 0x00000000 |
| <a href="#">SPIIC</a>      | 0x0040 | SPI 中断清除寄存器         | 0x00000000 |
| <a href="#">SPIREGKEY</a>  | 0x0048 | SPI 模块写使能寄存器        | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 SPIREGKEY=0x1ACCE551 时才可以改写。

9.6.2 SPI 寄存器

9.6.2.1 SPI 数据寄存器（SPIDATA）

表 9-6：SPI 数据寄存器（SPIDATA）位段定义

|                             |    |                |    |                     |    |    |    |
|-----------------------------|----|----------------|----|---------------------|----|----|----|
| SPIDATA (SPI Data Register) |    |                |    |                     |    |    |    |
| Access: SPI->SPIDATA        |    | Offset: 0x0000 |    | Default: 0x00000000 |    |    |    |
| 31                          | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                         |    |                |    |                     |    |    |    |
| 23                          | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                         |    |                |    |                     |    |    |    |
| 15                          | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                         |    |                |    |                     |    |    |    |
| 7                           | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                         |    |                |    |                     |    |    |    |

表 9-7：SPI 数据寄存器（SPIDATA）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                     |
|------|-----|----|-----|--------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 发送或接收的数据<br>写本寄存器往发送 FIFO 放入数据；<br>读本寄存器从接收 FIFO 取出数据。 |

## 9.6.2.2 SPI 控制寄存器 (SPICTL)

表 9-8: SPI 控制寄存器 (SPICTL) 位段定义

| SPICTL (SPI Control Register)                                |         |          |          |          |         |          |         |
|--------------------------------------------------------------|---------|----------|----------|----------|---------|----------|---------|
| Access: SPI->SPICTL    Offset: 0x0008    Default: 0x00000000 |         |          |          |          |         |          |         |
| 31                                                           | 30      | 29       | 28       | 27       | 26      | 25       | 24      |
| RESERVED                                                     |         |          |          |          |         | CLRTF    | CLRRF   |
| 23                                                           | 22      | 21       | 20       | 19       | 18      | 17       | 16      |
| RESERVED                                                     | BITSEQ  | TXDMAEN  | RXDMAEN  | SFRMHOLD | SFRMPOL | DATASIZE |         |
| 15                                                           | 14      | 13       | 12       | 11       | 10      | 9        | 8       |
| DATASIZE                                                     |         |          | SCLKMODE |          | TXIDLE  |          | SWAPPIN |
| 7                                                            | 6       | 5        | 4        | 3        | 2       | 1        | 0       |
| DIR3WIRE                                                     | EN3WIRE | TRANMODE | FRMFMT   | LPBK     | MODE    |          | EN      |

表 9-9: SPI 控制寄存器 (SPICTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                       |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------|
| 31:26 | RESERVED_31_26 | RO  | 0x0 | 保留                                                                                       |
| 25    | CLRTF          | W1C | 0x0 | 清除发送 FIFO，本位段不影响发送移位寄存器<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除发送 FIFO 并设置 TXREQ 标志位；<br>本位段自动清零 |
| 24    | CLRRF          | W1C | 0x0 | 清除接收 FIFO，本位段不影响接收移位寄存器<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除接收 FIFO，本位段自动清零                   |
| 23    | RESERVED_23    | RW  | 0x0 | 保留                                                                                       |
| 22    | BITSEQ         | RW  | 0x0 | 数据传输时的比特位顺序<br>本位段仅当 SPICTL.EN=0 才能改写<br>0: 从最高位开始逐位往低位传输<br>1: 从最低位开始逐位往高位传输            |
| 21    | TXDMAEN        | RW  | 0x0 | 发送器 DMA 使能<br>本位段仅当 SPICTL.EN=0 才能改写<br>0: 关闭<br>1: 使能                                   |
| 20    | RXDMAEN        | RW  | 0x0 | 接收器 DMA 使能<br>本位段仅当 SPICTL.EN=0 才能改写<br>0: 关闭<br>1: 使能                                   |
| 19    | SFRMHOLD       | RW  | 0x0 | SFRM 保持使能<br>可用于将多个独立的数据合并成一个长帧<br>0: 完成本帧传输后恢复 SFRM 为无效电平<br>1: 完成本帧传输后维持 SFRM 为有效电平    |

| 位段    | 位段名      | 属性 | 复位值 | 描述                                                                                                                                               |
|-------|----------|----|-----|--------------------------------------------------------------------------------------------------------------------------------------------------|
| 18    | SFRMPOL  | RW | 0x0 | SFRM 有效电平<br>本位段仅当 SPICTL.EN=0 才能改写<br>0: 低电平使能传输<br>1: 高电平使能传输                                                                                  |
| 17:13 | DATASIZE | RW | 0x0 | 帧数据大小<br>当写入 7 时，实际 SIZE 为 8，即每个数据实际大小为 (DATASIZE+1) 位<br>本位段仅当 SPICTL.EN=0 才能改写                                                                 |
| 12:11 | SCLKMODE | RW | 0x0 | SCLK 串行时钟模式<br>本位段仅当 SPICTL.FRMFMT=0 适用，且仅当 SPICTL.EN=0 才能改写<br>0: CPOL=0, CPHA=0<br>1: CPOL=0, CPHA=1<br>2: CPOL=1, CPHA=0<br>3: CPOL=1, CPHA=1 |
| 10:9  | TXIDLE   | RW | 0x0 | 空闲状态时发送数据引脚的状态<br>本位段仅当 SPICTL.EN=0 才能改写<br>0: 高阻态<br>1: 输出低<br>2: 输出高<br>3: 保持之前发送的最后一位的状态                                                      |
| 8     | SWAPPIN  | RW | 0x0 | 交换 MOSI 和 MISO 引脚功能<br>本位段仅当 SPICTL.EN=0 才能改写<br>0: MOSI 用于主机输出和从机输入<br>MISO 用于主机输入和从机输出<br>1: MOSI 用于主机输入和从机输出<br>MISO 用于主机输出和从机输入              |
| 7     | DIR3WIRE | RW | 0x0 | 三线模式下数据方向<br>本位段仅当 SPICTL.EN3WIRE=1 时适用<br>0: 输入（接收）<br>1: 输出（发送）                                                                                |
| 6     | EN3WIRE  | RW | 0x0 | 三线模式使能<br>本位段仅当 SPICTL.FRMFMT=0 适用，且仅当 SPICTL.EN=0 才能改写<br>0: 关闭<br>1: 使能                                                                        |
| 5     | TRANMODE | RW | 0x0 | 传输模式<br>本位段仅当 SPICTL.EN=0 才能改写<br>0: 全双工收发<br>1: 半双工主机发送和从机接收                                                                                    |

| 位段  | 位段名    | 属性 | 复位值 | 描述                                                                                                                         |
|-----|--------|----|-----|----------------------------------------------------------------------------------------------------------------------------|
| 4   | FRMFMT | RW | 0x0 | 帧格式<br>本位段仅当 SPICTL.EN=0 才能改写<br>0: Motorola SPI 格式<br>1: TI SSP 格式                                                        |
| 3   | LPBK   | RW | 0x0 | 环回模式使能，即发送数据直接环回到接收器而不是送到发送引脚<br>本位段仅当 SPICTL.EN=0 才能改写<br>0: 关闭<br>1: 使能                                                  |
| 2:1 | MODE   | RW | 0x0 | 工作模式<br>本位段仅当 SPICTL.EN=0 才能改写<br>0: 主机模式<br>1: 从机模式<br>2: 监控模式 0 (MOSI 与 MISIO 数据做与运算)<br>3: 监控模式 1 (MOSI 与 MISIO 数据做或运算) |
| 0   | EN     | RW | 0x0 | SPI 模块使能<br>0: 关闭<br>1: 使能                                                                                                 |

#### 9.6.2.3 SPI 波特率计数寄存器 (SPIBDCNT)

表 9-10: SPI 波特率计数寄存器 (SPIBDCNT) 位段定义

|                                    |    |                |    |                     |    |    |    |
|------------------------------------|----|----------------|----|---------------------|----|----|----|
| SPIBDCNT (SPI Baud Count Register) |    |                |    |                     |    |    |    |
| Access: SPI->SPIBDCNT              |    | Offset: 0x000C |    | Default: 0x00000000 |    |    |    |
| 31                                 | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| RESERVED                           |    |                |    |                     |    |    |    |
| 23                                 | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| RESERVED                           |    |                |    |                     |    |    |    |
| 15                                 | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                |    |                |    |                     |    |    |    |
| 7                                  | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                |    |                |    |                     |    |    |    |

表 9-11: SPI 波特率计数寄存器 (SPIBDCNT) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                   |
|-------|----------------|----|-----|----------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                   |
| 15:0  | VAL            | RW | 0x0 | 设置模块时钟到 SCLK 的分频比为(SPIBDCNT + 1)<br>本位段仅适用于主机模式，且仅当 SPICTL.EN=0 才能改写 |

#### 9.6.2.4 SPI 接收 FIFO 当前长度寄存器 (SPIRXLVL)

表 9-12: SPI 接收 FIFO 当前长度寄存器 (SPIRXLVL) 位段定义

| SPIRXLVL (SPI Receive FIFO Level Register)                     |    |    |     |    |    |    |    |
|----------------------------------------------------------------|----|----|-----|----|----|----|----|
| Access: SPI->SPIRXLVL    Offset: 0x0010    Default: 0x00000000 |    |    |     |    |    |    |    |
| 31                                                             | 30 | 29 | 28  | 27 | 26 | 25 | 24 |
| RESERVED                                                       |    |    |     |    |    |    |    |
| 23                                                             | 22 | 21 | 20  | 19 | 18 | 17 | 16 |
| RESERVED                                                       |    |    |     |    |    |    |    |
| 15                                                             | 14 | 13 | 12  | 11 | 10 | 9  | 8  |
| RESERVED                                                       |    |    |     |    |    |    |    |
| 7                                                              | 6  | 5  | 4   | 3  | 2  | 1  | 0  |
| RESERVED                                                       |    |    | VAL |    |    |    |    |

表 9-13: SPI 接收 FIFO 当前长度寄存器 (SPIRXLVL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                      |
|------|---------------|----|-----|-------------------------|
| 31:5 | RESERVED_31_5 | RO | 0x0 | 保留                      |
| 4:0  | VAL           | RO | 0x0 | 接收 FIFO 里当前条目的个数 (0~16) |

#### 9.6.2.5 SPI 发送 FIFO 当前长度寄存器 (SPITXLVL)

表 9-14: SPI 发送 FIFO 当前长度寄存器 (SPITXLVL) 位段定义

| SPITXLVL (SPI Transmit FIFO Level Register)                    |    |    |     |    |    |    |    |
|----------------------------------------------------------------|----|----|-----|----|----|----|----|
| Access: SPI->SPITXLVL    Offset: 0x0014    Default: 0x00000000 |    |    |     |    |    |    |    |
| 31                                                             | 30 | 29 | 28  | 27 | 26 | 25 | 24 |
| RESERVED                                                       |    |    |     |    |    |    |    |
| 23                                                             | 22 | 21 | 20  | 19 | 18 | 17 | 16 |
| RESERVED                                                       |    |    |     |    |    |    |    |
| 15                                                             | 14 | 13 | 12  | 11 | 10 | 9  | 8  |
| RESERVED                                                       |    |    |     |    |    |    |    |
| 7                                                              | 6  | 5  | 4   | 3  | 2  | 1  | 0  |
| RESERVED                                                       |    |    | VAL |    |    |    |    |

表 9-15: SPI 发送 FIFO 当前长度寄存器 (SPITXLVL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                      |
|------|---------------|----|-----|-------------------------|
| 31:5 | RESERVED_31_5 | RO | 0x0 | 保留                      |
| 4:0  | VAL           | RO | 0x0 | 发送 FIFO 里当前条目的个数 (0~16) |

## 9.6.2.6 SPI 接收 FIFO 长度阈值寄存器 (SPIRXTH)

表 9-16: SPI 接收 FIFO 长度阈值寄存器 (SPIRXTH) 位段定义

| SPIRXTH (SPI Receive FIFO Threshold Register)                 |    |    |    |     |    |    |    |
|---------------------------------------------------------------|----|----|----|-----|----|----|----|
| Access: SPI->SPIRXTH    Offset: 0x0018    Default: 0x00000000 |    |    |    |     |    |    |    |
| 31                                                            | 30 | 29 | 28 | 27  | 26 | 25 | 24 |
| RESERVED                                                      |    |    |    |     |    |    |    |
| 23                                                            | 22 | 21 | 20 | 19  | 18 | 17 | 16 |
| RESERVED                                                      |    |    |    |     |    |    |    |
| 15                                                            | 14 | 13 | 12 | 11  | 10 | 9  | 8  |
| RESERVED                                                      |    |    |    |     |    |    |    |
| 7                                                             | 6  | 5  | 4  | 3   | 2  | 1  | 0  |
| RESERVED                                                      |    |    |    | VAL |    |    |    |

表 9-17: SPI 接收 FIFO 长度阈值寄存器 (SPIRXTH) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                          |
|------|---------------|----|-----|---------------------------------------------|
| 31:4 | RESERVED_31_4 | RO | 0x0 | 保留                                          |
| 3:0  | VAL           | RW | 0x0 | 设置阈值使得 SPIRXLVL > SPIRXTH 时触发接收 FIFO 数据读取请求 |

## 9.6.2.7 SPI 发送 FIFO 长度阈值寄存器 (SPITXTH)

表 9-18: SPI 发送 FIFO 长度阈值寄存器 (SPITXTH) 位段定义

| SPITXTH (SPI Transmit FIFO Threshold Register)                |    |    |    |     |    |    |    |
|---------------------------------------------------------------|----|----|----|-----|----|----|----|
| Access: SPI->SPITXTH    Offset: 0x001C    Default: 0x00000000 |    |    |    |     |    |    |    |
| 31                                                            | 30 | 29 | 28 | 27  | 26 | 25 | 24 |
| RESERVED                                                      |    |    |    |     |    |    |    |
| 23                                                            | 22 | 21 | 20 | 19  | 18 | 17 | 16 |
| RESERVED                                                      |    |    |    |     |    |    |    |
| 15                                                            | 14 | 13 | 12 | 11  | 10 | 9  | 8  |
| RESERVED                                                      |    |    |    |     |    |    |    |
| 7                                                             | 6  | 5  | 4  | 3   | 2  | 1  | 0  |
| RESERVED                                                      |    |    |    | VAL |    |    |    |

表 9-19: SPI 发送 FIFO 长度阈值寄存器 (SPITXTH) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                          |
|------|---------------|----|-----|---------------------------------------------|
| 31:4 | RESERVED_31_4 | RO | 0x0 | 保留                                          |
| 3:0  | VAL           | RW | 0x0 | 设置阈值使得 SPITXLVL ≤ SPITXTH 时触发发送 FIFO 数据写入请求 |



### 9.6.2.8 SPI 超时阈值寄存器（SPITOTH）

表 9-20: SPI 超时阈值寄存器（SPITOTH）位段定义

| SPITOTH (SPI Timeout Threshold Register) |    |                |    |                     |    |    |    |
|------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: SPI->SPITOTH                     |    | Offset: 0x0020 |    | Default: 0x00000000 |    |    |    |
| 31                                       | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                      |    |                |    |                     |    |    |    |
| 23                                       | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                      |    |                |    |                     |    |    |    |
| 15                                       | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                      |    |                |    |                     |    |    |    |
| 7                                        | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                      |    |                |    |                     |    |    |    |

表 9-21: SPI 超时阈值寄存器（SPITOTH）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                  |
|------|-----|----|-----|-----------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 设置超时阈值为(SPITOTH+1)个模块时钟周期<br>本位段仅当 SPICTL.EN=0 才能改写 |

## 9.6.2.9 SPI 状态寄存器 (SPISTS)

表 9-22: SPI 状态寄存器 (SPISTS) 位段定义

|                                                              |    |    |      |      |         |        |      |
|--------------------------------------------------------------|----|----|------|------|---------|--------|------|
| SPISTS (SPI Status Register)                                 |    |    |      |      |         |        |      |
| Access: SPI->SPISTS    Offset: 0x0028    Default: 0x0000000C |    |    |      |      |         |        |      |
| 31                                                           | 30 | 29 | 28   | 27   | 26      | 25     | 24   |
| RESERVED                                                     |    |    |      |      |         |        |      |
| 23                                                           | 22 | 21 | 20   | 19   | 18      | 17     | 16   |
| RESERVED                                                     |    |    |      |      |         |        |      |
| 15                                                           | 14 | 13 | 12   | 11   | 10      | 9      | 8    |
| RESERVED                                                     |    |    |      |      |         |        |      |
| 7                                                            | 6  | 5  | 4    | 3    | 2       | 1      | 0    |
| RESERVED                                                     |    |    | BUSY | TXNF | TXEMPTY | RXFULL | RXNE |

表 9-23: SPI 状态寄存器 (SPISTS) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                              |
|------|---------------|----|-----|-----------------------------------------------------------------|
| 31:5 | RESERVED_31_5 | RO | 0x0 | 保留                                                              |
| 4    | BUSY          | RO | 0x0 | SPI 忙状态<br>0: 空闲<br>1: 忙                                        |
| 3    | TXNF          | RO | 0x1 | 发送 FIFO 非满<br>0: 发送 FIFO 满, 无法存放新数据<br>1: 发送 FIFO 含至少一个空位可以存放数据 |
| 2    | TXEMPTY       | RO | 0x1 | 发送 FIFO 空<br>0: 发送 FIFO 里有至少一个数据<br>1: 发送 FIFO 为空 (没有数据)        |
| 1    | RXFULL        | RO | 0x0 | 接收 FIFO 满<br>0: 接收 FIFO 含至少一个空位可以存放数据<br>1: 接收 FIFO 满, 无法存放新数据  |
| 0    | RXNE          | RO | 0x0 | 接收 FIFO 非空<br>0: 接收 FIFO 为空 (没有数据)<br>1: 接收 FIFO 里有至少一个数据       |

### 9.6.2.10 SPI 中断原始事件标志寄存器 (SPIRAWIF)

表 9-24: SPI 中断原始事件标志寄存器 (SPIRAWIF) 位段定义

|                                                                |          |       |       |       |       |       |         |
|----------------------------------------------------------------|----------|-------|-------|-------|-------|-------|---------|
| SPIRAWIF (SPI Interrupt Raw Flag Register)                     |          |       |       |       |       |       |         |
| Access: SPI->SPIRAWIF    Offset: 0x0030    Default: 0x00000000 |          |       |       |       |       |       |         |
| 31                                                             | 30       | 29    | 28    | 27    | 26    | 25    | 24      |
| RESERVED                                                       |          |       |       |       |       |       |         |
| 23                                                             | 22       | 21    | 20    | 19    | 18    | 17    | 16      |
| RESERVED                                                       |          |       |       |       |       |       |         |
| 15                                                             | 14       | 13    | 12    | 11    | 10    | 9     | 8       |
| RESERVED                                                       |          |       |       |       |       |       | RXTRAIL |
| 7                                                              | 6        | 5     | 4     | 3     | 2     | 1     | 0       |
| RXTO                                                           | RESERVED | TXREQ | TXOVF | TXUDF | RXREQ | RXOVF | RXUDF   |

表 9-25: SPI 中断原始事件标志寄存器 (SPIRAWIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                                              |
|------|---------------|----|-----|-------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:9 | RESERVED_31_9 | RO | 0x0 | 保留                                                                                                                                              |
| 8    | RXTRAIL       | RO | 0x0 | 接收 FIFO 尾字节事件标志<br>0: 事件未发生<br>1: 事件已发生                                                                                                         |
| 7    | RXTO          | RO | 0x0 | 接收超时事件标志<br>0: 事件未发生<br>1: 事件已发生                                                                                                                |
| 6    | RESERVED_6    | RO | 0x0 | 保留                                                                                                                                              |
| 5    | TXREQ         | RO | 0x0 | 发送 FIFO 数据写请求事件标志<br>0: 值为 0 表示发送 FIFO 中含足够的数据;<br>当 SPITXLVL ≤ SPITXTH 时位段变 1<br>1: 值为 1 表示发送 FIFO 中需写入更多数据;<br>当 SPITXLVL > SPITXTH 时位段变 0    |
| 4    | TXOVF         | RO | 0x0 | 发送 FIFO 上溢事件标志<br>表示发送 FIFO 满时发生了 SPIDAT 写操作<br>0: 事件未发生<br>1: 事件已发生                                                                            |
| 3    | TXUDF         | RO | 0x0 | 发送 FIFO 下溢事件标志<br>表示发送 FIFO 空时从机发生了数据发送操作<br>0: 事件未发生<br>1: 事件已发生                                                                               |
| 2    | RXREQ         | RO | 0x0 | 接收 FIFO 数据读请求事件标志<br>0: 值为 0 表示接收 FIFO 中未存入足够的数据;<br>当 SPIRXLVL > SPIRXTH 时位段变 1<br>1: 值为 1 表示接收 FIFO 中存入了足够的数据;<br>当 SPIRXLVL ≤ SPIRXTH 时位段变 0 |

| 位段 | 位段名   | 属性 | 复位值 | 描述                                                                    |
|----|-------|----|-----|-----------------------------------------------------------------------|
| 1  | RXOVF | RO | 0x0 | 接收 FIFO 上溢事件标志<br>表示接收 FIFO 为满时收到新数据（会被丢弃）<br>0: 事件未发生<br>1: 事件已发生    |
| 0  | RXUDF | RO | 0x0 | 接收 FIFO 下溢事件标志<br>表示接收 FIFO 为空时发生了 SPIDAT 读操作<br>0: 事件未发生<br>1: 事件已发生 |

### 9.6.2.11 SPI 中断标志寄存器 (SPIIF)

表 9-26: SPI 中断标志寄存器 (SPIIF) 位段定义

|                                     |          |                |       |                     |       |       |         |
|-------------------------------------|----------|----------------|-------|---------------------|-------|-------|---------|
| SPIIF (SPI Interrupt Flag Register) |          |                |       |                     |       |       |         |
| Access: SPI->SPIIF                  |          | Offset: 0x0034 |       | Default: 0x00000000 |       |       |         |
| 31                                  | 30       | 29             | 28    | 27                  | 26    | 25    | 24      |
| RESERVED                            |          |                |       |                     |       |       |         |
| 23                                  | 22       | 21             | 20    | 19                  | 18    | 17    | 16      |
| RESERVED                            |          |                |       |                     |       |       |         |
| 15                                  | 14       | 13             | 12    | 11                  | 10    | 9     | 8       |
| RESERVED                            |          |                |       |                     |       | INT   | RXTRAIL |
| 7                                   | 6        | 5              | 4     | 3                   | 2     | 1     | 0       |
| RXTO                                | RESERVED | TXREQ          | TXOVF | TXUDF               | RXREQ | RXOVF | RXUDF   |

表 9-27: SPI 中断标志寄存器 (SPIIF) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                               |
|-------|----------------|----|-----|------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                               |
| 9     | INT            | RO | 0x0 | SPI 全局中断标志<br>0: 中断未发生<br>1: 中断已产生, 并已经通知 CPU<br>本位段被清除之前不会产生新中断 |
| 8     | RXTRAIL        | RO | 0x0 | 接收 FIFO 尾字节中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断      |
| 7     | RXTO           | RO | 0x0 | 接收超时中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断             |
| 6     | RESERVED_6     | RO | 0x0 | 保留                                                               |
| 5     | TXREQ          | RO | 0x0 | 发送 FIFO 数据写请求中断标志<br>0: 中断未发生<br>1: 中断已发生                        |
| 4     | TXOVF          | RO | 0x0 | 发送 FIFO 上溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断       |
| 3     | TXUDF          | RO | 0x0 | 发送 FIFO 下溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断       |

| 位段 | 位段名   | 属性 | 复位值 | 描述                                                         |
|----|-------|----|-----|------------------------------------------------------------|
| 2  | RXREQ | RO | 0x0 | 接收 FIFO 数据读请求中断标志<br>0: 中断未发生<br>1: 中断已发生                  |
| 1  | RXOVF | RO | 0x0 | 接收 FIFO 上溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 0  | RXUDF | RO | 0x0 | 接收 FIFO 下溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |

### 9.6.2.12 SPI 中断使能寄存器 (SPIIE)

表 9-28: SPI 中断使能寄存器 (SPIIE) 位段定义

|                                       |          |                |       |                     |       |       |         |
|---------------------------------------|----------|----------------|-------|---------------------|-------|-------|---------|
| SPIIE (SPI Interrupt Enable Register) |          |                |       |                     |       |       |         |
| Access: SPI->SPIIE                    |          | Offset: 0x0038 |       | Default: 0x00000000 |       |       |         |
| 31                                    | 30       | 29             | 28    | 27                  | 26    | 25    | 24      |
| RESERVED                              |          |                |       |                     |       |       |         |
| 23                                    | 22       | 21             | 20    | 19                  | 18    | 17    | 16      |
| RESERVED                              |          |                |       |                     |       |       |         |
| 15                                    | 14       | 13             | 12    | 11                  | 10    | 9     | 8       |
| RESERVED                              |          |                |       |                     |       |       | RXTRAIL |
| 7                                     | 6        | 5              | 4     | 3                   | 2     | 1     | 0       |
| RXTO                                  | RESERVED | TXREQ          | TXOVF | TXUDF               | RXREQ | RXOVF | RXUDF   |

表 9-29: SPI 中断使能寄存器 (SPIIE) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                  |
|------|---------------|----|-----|-------------------------------------|
| 31:9 | RESERVED_31_9 | RO | 0x0 | 保留                                  |
| 8    | RXTRAIL       | RW | 0x0 | 接收 FIFO 尾字节中断使能<br>0: 关闭<br>1: 使能   |
| 7    | RXTO          | RW | 0x0 | 接收超时中断使能<br>0: 关闭<br>1: 使能          |
| 6    | RESERVED_6    | RW | 0x0 | 保留                                  |
| 5    | TXREQ         | RW | 0x0 | 发送 FIFO 数据写请求中断使能<br>0: 关闭<br>1: 使能 |
| 4    | TXOVF         | RW | 0x0 | 发送 FIFO 上溢中断使能<br>0: 关闭<br>1: 使能    |
| 3    | TXUDF         | RW | 0x0 | 发送 FIFO 下溢中断使能<br>0: 关闭<br>1: 使能    |
| 2    | RXREQ         | RW | 0x0 | 接收 FIFO 数据读请求中断使能<br>0: 关闭<br>1: 使能 |
| 1    | RXOVF         | RW | 0x0 | 接收 FIFO 上溢中断使能<br>0: 关闭<br>1: 使能    |
| 0    | RXUDF         | RW | 0x0 | 接收 FIFO 下溢中断使能<br>0: 关闭<br>1: 使能    |



## 9.6.2.13 SPI 中断清除寄存器 (SPIIC)

表 9-30: SPI 中断清除寄存器 (SPIIC) 位段定义

| SPIIC (SPI Interrupt Clear Register)                        |          |          |       |       |          |       |         |
|-------------------------------------------------------------|----------|----------|-------|-------|----------|-------|---------|
| Access: SPI->SPIIC    Offset: 0x0040    Default: 0x00000000 |          |          |       |       |          |       |         |
| 31                                                          | 30       | 29       | 28    | 27    | 26       | 25    | 24      |
| RESERVED                                                    |          |          |       |       |          |       |         |
| 23                                                          | 22       | 21       | 20    | 19    | 18       | 17    | 16      |
| RESERVED                                                    |          |          |       |       |          |       |         |
| 15                                                          | 14       | 13       | 12    | 11    | 10       | 9     | 8       |
| RESERVED                                                    |          |          |       |       |          | INT   | RXTRAIL |
| 7                                                           | 6        | 5        | 4     | 3     | 2        | 1     | 0       |
| RXTO                                                        | RESERVED | RESERVED | TXOVF | TXUDF | RESERVED | RXOVF | RXUDF   |

表 9-31: SPI 中断清除寄存器 (SPIIC) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO  | 0x0 | 保留                                                               |
| 9     | INT            | W1C | 0x0 | 全局中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零             |
| 8     | RXTRAIL        | W1C | 0x0 | 接收 FIFO 尾字节中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 7     | RXTO           | W1C | 0x0 | 接收超时中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零        |
| 6     | RESERVED_6     | W1C | 0x0 | 保留                                                               |
| 5     | RESERVED_5     | RO  | 0x0 | 保留                                                               |
| 4     | TXOVF          | W1C | 0x0 | 发送 FIFO 上溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |
| 3     | TXUDF          | W1C | 0x0 | 发送 FIFO 下溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |
| 2     | RESERVED_2     | RO  | 0x0 | 保留                                                               |
| 1     | RXOVF          | W1C | 0x0 | 接收 FIFO 上溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |
| 0     | RXUDF          | W1C | 0x0 | 接收 FIFO 下溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |

9.6.2.14 SPI 模块写使能寄存器（SPIREGKEY）

表 9-32: SPI 模块写使能寄存器（SPIREGKEY）位段定义

|                                                   |    |                |    |                     |    |    |    |
|---------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| SPIREGKEY (SPI Register Write-Allow Key Register) |    |                |    |                     |    |    |    |
| Access: SPI->SPIREGKEY                            |    | Offset: 0x0048 |    | Default: 0x1ACCE551 |    |    |    |
| 31                                                | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| KEY                                               |    |                |    |                     |    |    |    |
| 23                                                | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| KEY                                               |    |                |    |                     |    |    |    |
| 15                                                | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| KEY                                               |    |                |    |                     |    |    |    |
| 7                                                 | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| KEY                                               |    |                |    |                     |    |    |    |

表 9-33: SPI 模块写使能寄存器（SPIREGKEY）位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                           |
|------|-----|----|------------|------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 SPI 寄存器 |

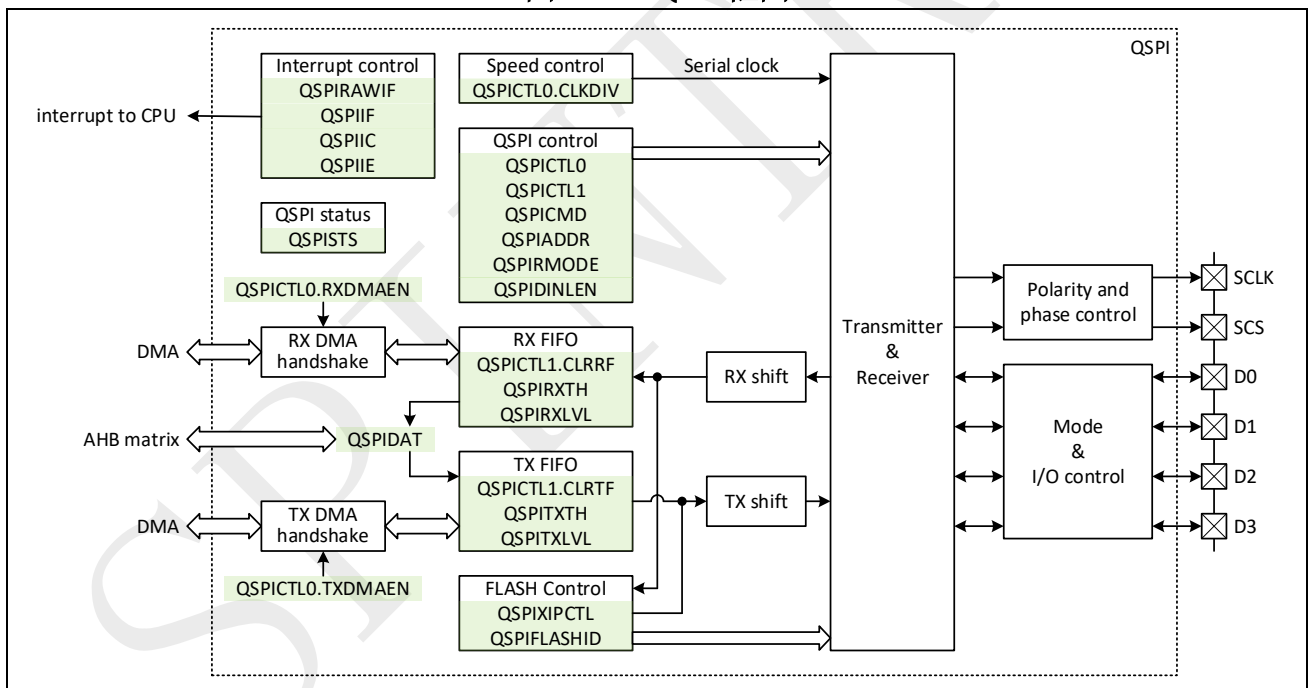
## 10 四线串行外设接口（QSPI）

### 10.1 概述

QSPI 是一种同步串行外设接口，可以对外部串行外设接口设备进行单线、双线或四线读写访问。SPC1185 提供了 1 个 QSPI 模块，其特性如下：

- 工作于 CPU 时钟（也即 AHB 总线时钟）；
- 串行接口时钟可配置为 CPU 时钟的不同分频，最高 80MHz；
- 支持标准单线模式 SPI 通信、双线/四线输出模式通信、双线/四线 I/O 模式通信；
- 可编程时钟极性和相位，可编程片选信号极性；
- 仅支持主机模式，半双工通信；
- 收发各有一个 64 字节的 FIFO；
- 收发均支持 DMA 硬件握手；
- 专门用于访问封装内 Flash 闪存，支持就地执行，并提供 16KB 就地执行的读缓存。

图 10-1: QSPI 框图



如图 9-1 所示，QSPI 模块包含如下子模块：

- 引脚控制
  - 单线、双线、四线访问
  - 时钟极性 CPOL 和相位 CPHA 控制（与 SPI 类似，可参见章节 9.3.1）
  - 片选信号极性控制
- 串行时钟 SCLK 频率控制
  - 基于一个可编程的 8 位分频器，分频比范围为 1 到 256
- 基于全功能状态机控制的收发逻辑

- 基于 Flash 闪存就地执行状态机控制的收发逻辑
- 发送 FIFO 和接收 FIFO
- DMA 硬件握手
- 状态监控和中断控制

## 10.2 QSPI 端口信号

表 10-1 罗列并描述了 QSPI 端口信号。它们都是数字 CMOS 电平信号，通过专门的内部 I/O 连接到封装内 Flash 闪存。

表 10-1: QSPI 端口信号

| 信号名  | 类型    | 描述                                          |
|------|-------|---------------------------------------------|
| SCLK | 输出    | 串行时钟信号                                      |
| SCS  | 输出    | 片选信号                                        |
| D0   | 输入/输出 | 数据信号<br>单线模式: 数据输出<br>其他模式: 双向数据信号          |
| D1   | 输入/输出 | 数据信号<br>单线模式: 数据输入<br>其他模式: 双向数据信号          |
| D2   | 输入/输出 | 数据信号<br>四线模式: 双向数据信号<br>其他模式: Flash 闪存写保护控制 |
| D3   | 输入/输出 | 数据信号<br>四线模式: 双向数据信号<br>其他模式: Flash 闪存暂停控制  |

## 10.3 QSPI 工作模式

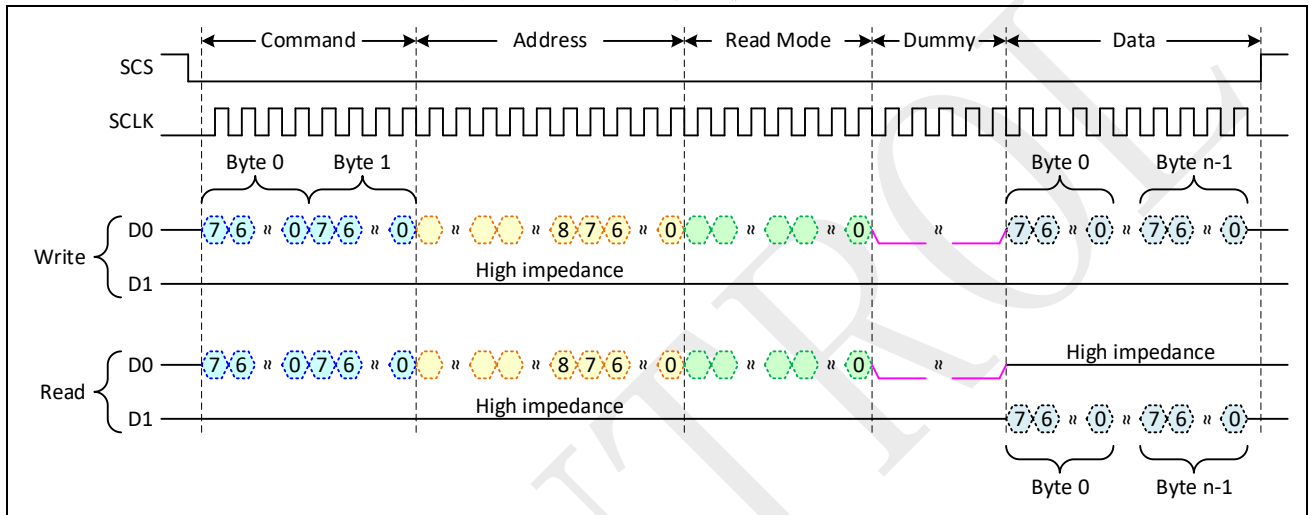
### 10.3.1 单线模式

如图 10-2 所示，片选信号有效后，QSPI 以字节为单位进行通信，字节内从最高位开始传输。整个通信可以分为如下 5 个阶段：

- 命令段
  - 最大 2 个字节，由 QSPICMD0.COMDBYTE 指定；
  - 内容由 QSPICMD 寄存器指定，从低字节开始发送。
- 地址段
  - 最大 4 个字节，由 QSPICMD0.ADDRBYTE 指定；
  - 内容由 QSPIADDR 寄存器指定，按照指定的整体字节数从最高位开始发送（例如，若要发送 3 个字节的地址段，则从 QSPIADDR[23]开始，传输到 QSPIADDR[0]结束）。
- 模式段
  - 最大 2 个字节，由 QSPICMD0.RMODEBYTE 指定；
  - 内容由 QSPIRMODE 寄存器指定，从低字节开始发送。
- 虚拟段

- 最大 4 个字节，由 QSPICTL0.DMYBYTE 指定；
- 发送值可以为任意值，不影响与外部设备的通信，本模块虚拟段固定发送 0。
- 数据段
  - 写访问时，通过 D0 引脚发送，若发送完当前字节后发送 FIFO 为空，则将片选信号置为无效，完成一个帧的传输；
  - 读访问时，通过 D1 引脚接收，总字节数由 QSPIDINLEN 指定，接收到预期数量的字节后，片选信号变为无效，完成一个帧的传输。若 QSPIDINLEN = 0，则由用户通过设置 QSPICTL1.EXECUTION = 0 结束传输。

图 10-2: QSPI 单线模式波形

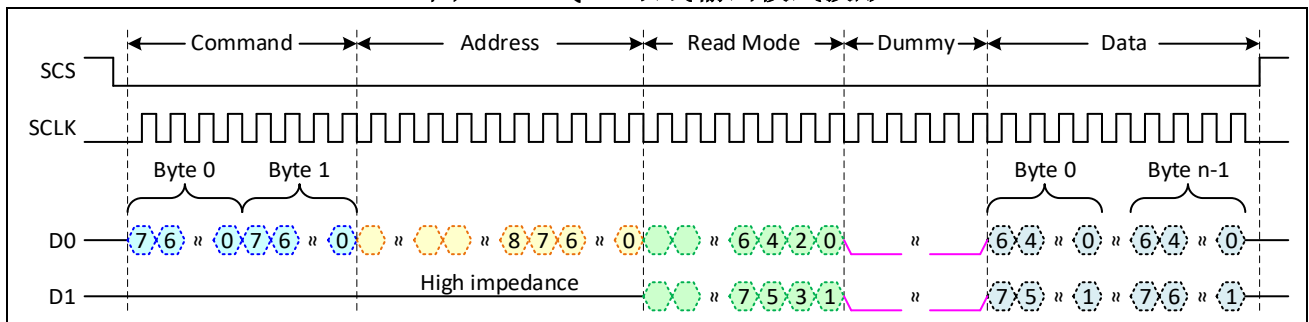


### 10.3.2 双线输出模式

如图 10-3 所示，双线输出模式时，D0 和 D1 引脚在各个阶段的行为如下：

- 命令段、地址段
  - D0 用作单线输出。
  - D1 保持高阻态。
- 模式段和虚拟段
  - D0 和 D1 同时用作输出；
  - 传输每个字节只需要 4 个时钟周期，并且每个周期内，D1 为高位，D0 为低位。
- 数据段
  - 写访问时，D1 和 D0 同时用作输出；读访问时，D1 和 D0 同时用作输入。
  - 传输每个字节只需要 4 个时钟周期，并且每个周期内，D1 为高位，D0 为低位。

图 10-3: QSPI 双线输出模式波形

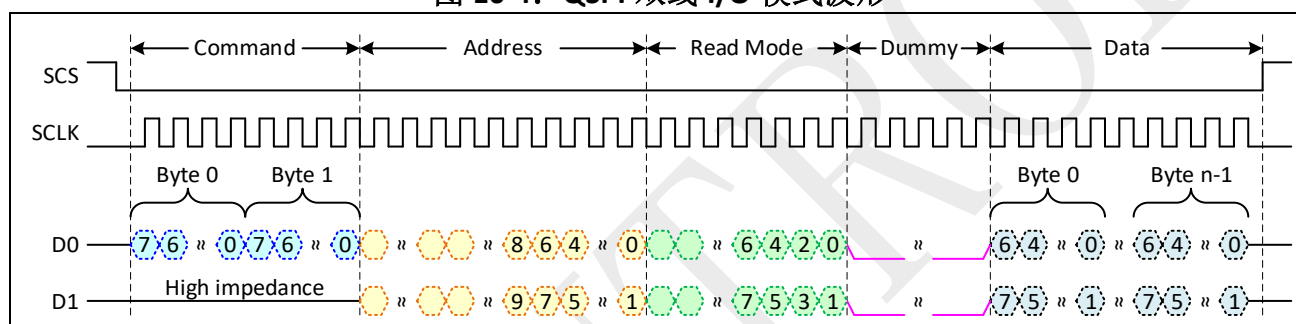


### 10.3.3 双线 I/O 模式

如图 10-4 所示，双线 I/O 模式时，D0 和 D1 引脚在各个阶段的行为如下：

- 命令段
  - D0 用作单线输出。
  - D1 保持高阻态。
- 地址段、模式段和虚拟段
  - D1 和 D0 同时用作输出。
  - 传输每个字节只需要 4 个时钟周期，并且每个周期内，D1 为高位，D0 为低位。
- 数据段
  - 写访问时，D1 和 D0 同时用作输出；读访问时，D1 和 D0 同时用作输入。
  - 传输每个字节只需要 4 个时钟周期，并且每个周期内，D1 为高位，D0 为低位。

图 10-4: QSPI 双线 I/O 模式波形

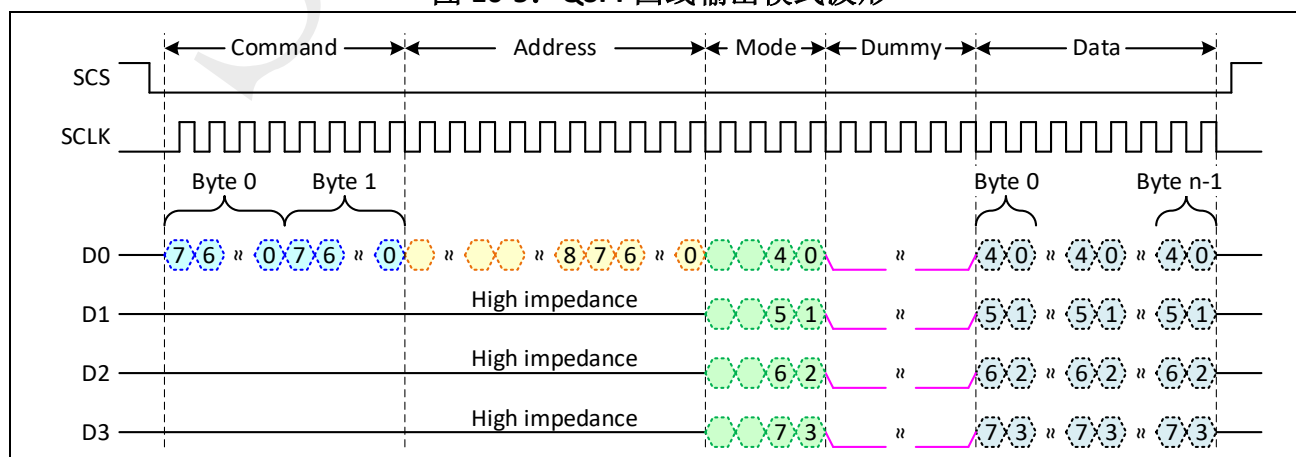


### 10.3.4 四线输出模式

如图 10-5 所示，四线输出模式时，D0~D3 引脚在各个阶段的行为如下：

- 命令段、地址段
  - D0 用作单线输出。
  - D1~D3 保持高阻态。
- 模式段、虚拟段和数据段
  - 模式段和虚拟段时，D0~D3 同时用作输出。
  - 数据段写访问时，D0~D3 同时用作输出；读访问时，D0~D3 同时用作输入。
  - 传输每个字节只需要 2 个时钟周期，并且每个周期内，D3 为最高位，D0 为最低位。

图 10-5: QSPI 四线输出模式波形

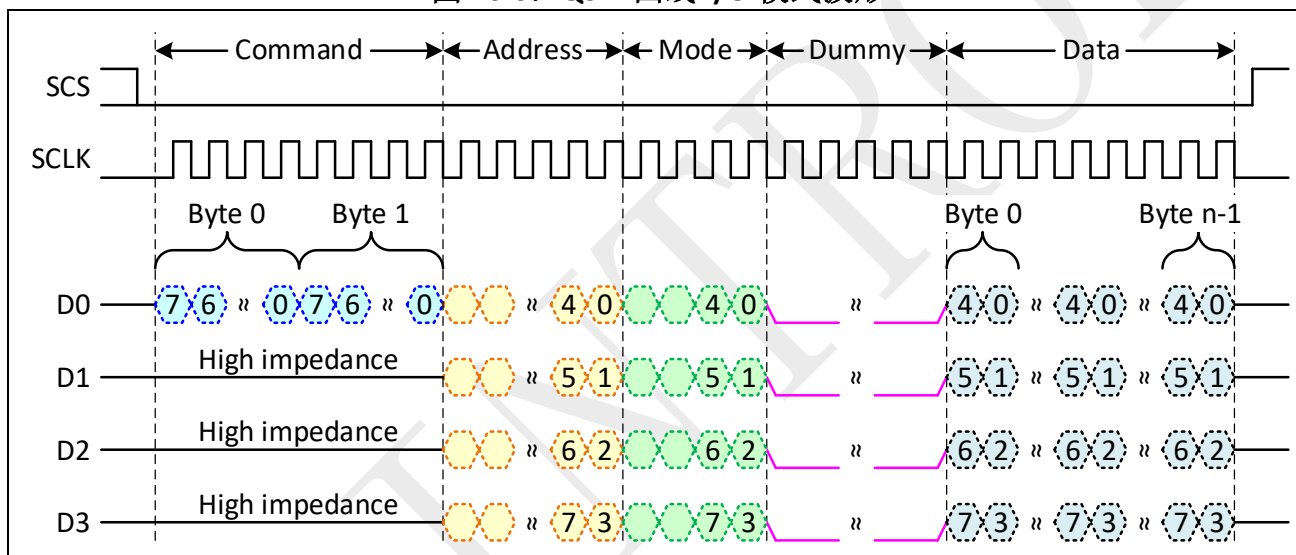


### 10.3.5 四线 I/O 模式

如图 10-6 所示，四线 I/O 模式时，D0 和 D1 引脚在各个阶段的行为如下：

- 命令段
  - D0 用作单线输出。
  - D1~D3 保持高阻态。
- 地址段、模式段和虚拟段
  - D0~D3 同时用作输出。
  - 传输每个字节只需要 2 个时钟周期，并且每个周期内，D3 为最高位，D0 为最低位。
- 数据段
  - 写访问时，D0~D3 同时用作输出；读访问时，D0~D3 同时用作输入。
  - 传输每个字节只需要 2 个时钟周期，并且每个周期内，D3 为最高位，D0 为最低位。

图 10-6: QSPI 四线 I/O 模式波形



### 10.3.6 FIFO 访问和 DMA 接口

发送 FIFO 和接收 FIFO 的大小均为 64 字节，分别通过写 QSPIDAT 寄存器和读 QSPIDAT 寄存器访问。可以通过 QSPICTL0.BUS32 配置访问时的位宽。

- 若 QSPICTL0.BUS32 = 0，则每次按字节访问，QSPIDAT 仅最低字节有效。
- 若 QSPICTL0.BUS32 = 1，则每次按 32 位访问，QSPIDAT 从最低字节开始依次放入最多 4 个字节。实际有效字节数以不会造成发送 FIFO 上溢和接收 FIFO 下溢为准。

发送 FIFO 和接收 FIFO 中存放的数据字节数量记录在 QSPITXLVL 寄存器和 QSPIRXLVL 寄存器里。用户可以通过 QSPITXTH 和 QSPIRXTH 设置阈值，使得：

- 当  $QSPITXLVL \leq QSPITXTH$  时产生发送 FIFO 数据写请求。
- 当  $QSPIRXLVL > QSPIRXTH$  时产生接收 FIFO 数据读请求。

收发 FIFO 的数据请求都可以配置为触发中断或者 DMA 传输。



### 10.3.7 操作流程

用户可以按照如下流程以轮询方式操作 QSPI。

1. 通过 QSPICTL0 寄存器配置分频比、片选信号极性、时钟极性和相位、DMA 使能等。
2. 对于读访问，通过 QSPIDINLEN 配置需要读取的字节总数，若配置为 0，则表示持续接收，直到 QSPICTL1.EXECUTION 被写入 0。
3. 配置帧格式：
  - a) 通过 QSPICTL1.CMDBYTE 配置命令段字节数。
  - b) 通过 QSPICTL1.ADDRBYTE 配置地址段字节数。
  - c) 通过 QSPICTL1.RMODEBYTE 配置模式段字节数。
  - d) 通过 QSPICTL1.DMYBYTE 配置虚拟段字节数。
4. 配置引脚模式：
  - a) 单线模式：QSPICTL1.ADDRPN = 0；QSPICTL1.DATAPN = 0。
  - b) 双线输出：QSPICTL1.ADDRPN = 0；QSPICTL1.DATAPN = 1。
  - c) 双线 I/O：QSPICTL1.ADDRPN = 1；QSPICTL1.DATAPN = 1。
  - d) 四线输出：QSPICTL1.ADDRPN = 0；QSPICTL1.DATAPN = 2。
  - e) 四线 I/O：QSPICTL1.ADDRPN = 1；QSPICTL1.DATAPN = 2。
5. 通过 QSPICTL1.TR 选择读写访问类型。
6. 通过 QSPICMD 配置命令。
7. 通过 QSPIADDR 配置地址。
8. 通过 QSPIRMODE 配置读模式。
9. 往 QSPICTL1.EXECUTION 写 1 启动 QSPI 传输。
10. 依据 QSPICTL1.TR 做如下处理：
  - a) 若 QSPICTL1.TR = 2，则表示本次传输没有数据段。用户通过查询 QSPICTL1.EXECUTION 可以获知传输执行状态。若回读值为 0，则表示帧传输结束。
  - b) 若 QSPICTL1.TR = 1，则表示本次传输为数据写访问。用户通过查询 QSPISTS.TXNF 可以获知发送 FIFO 状态。若回读值为 1，可以通过 QSPIDAT 往发送 FIFO 写入数据。待写入预期的总字节数后，通过查询 QSPICTL1.EXECUTION 是否为 0，等待帧传输结束。
  - c) 若 QSPICTL1.TR = 0，则表示本次传输为数据读访问。用户通过查询 QSPISTS.RXNE 可以获知接收 FIFO 状态。若回读值为 1，可以通过读取 QSPIDAT 从接收 FIFO 获取数据。若 QSPIDINLEN = 0，用户可以通过往 QSPICTL1.EXECUTION 写 0 结束传输。否则需要通过查询 QSPICTL1.EXECUTION 是否为 0，判断 QSPI 线路上是否完成了预期总字节数的数据接收。当 QSPICTL1.EXECUTION 变为 0，代表帧传输结束。此时用户需要继续读 QSPIDAT 直到 QSPISTS.RXNE = 0，由此完成所有数据的读取。

## 10.4 Flash 就地执行

用户可以通过设置 QSPICTL0.MODE 为 3，启用 Flash 就地执行功能。此时，QSPI 模块为 CPU 开启专门的 AHB 访问接口，其起始地址为 0x1000 0000。在该接口上的 AHB 读访问，被自动映射为与所连接外部 Flash 闪存的 QSPI 传输。

就地执行时 QSPI 帧格式配置如下：

- 命令段
  - 通过 QSPIXIPCTL.CMDBYTE 设置命令字节数。
  - 通过 QSPIXIPCTL.CMD 设置命令字节内容。
- 地址段
  - 通过 QSPIXIPCTL.ADDRBYTE 设置地址字节数。
  - 地址值无需手动给出，而是通过就地执行的 AHB 接口访问地址直接映射得到。
- 模式段
  - 通过 QSPIXIPCTL.RMODEBYTE 设置模式字节数。
  - 通过 QSPIXIPCTL.RMODE 设置模式字节内容。
- 虚拟段
  - 通过 QSPIXIPCTL.DMYBYTE 设置虚拟字节数。

就地执行时引脚模式配置如下：

- 单线模式：QSPIXIPCTL.ADDRPN = 0，QSPIXIPCTL.DATAPN = 0。
- 双线输出：QSPIXIPCTL.ADDRPN = 0，QSPIXIPCTL.DATAPN = 1。
- 双线 I/O：QSPIXIPCTL.ADDRPN = 1，QSPIXIPCTL.DATAPN = 1。
- 四线输出：QSPIXIPCTL.ADDRPN = 0，QSPIXIPCTL.DATAPN = 2。
- 四线 I/O：QSPIXIPCTL.ADDRPN = 1，QSPIXIPCTL.DATAPN = 2。

为了提高就地执行的效率，用户可以通过设置 QSPICTL0.CACHEEN = 1 来启用片内 8 路关联结构的 16KB 就地执行读缓存。需要注意的是，每当 QSPICTL0.CACHEEN 改写为 0 后再重新写 1 启用缓存，或者 QSPICTL0.MODE 改写为其他值后再重新写 3 启用就地执行功能，都会触发就地执行读缓存复位并清空缓存的信息。

用户也可以通过 pHWLIB->FLASH\_EnableCache(QSPI)和 pHWLIB->FLASH\_DisableCache(QSPI)来使能和关闭就地执行读缓存。

## 10.5 寄存器

### 10.5.1 QSPI 寄存器列表

表 10-2: QSPI 模块基地址

| 外设模块 | 基地址         |
|------|-------------|
| QSPI | 0x4000 A800 |

表 10-3: QSPI 寄存器列表

| 寄存器                         | 偏移地址   | 描述                   | 复位值        |
|-----------------------------|--------|----------------------|------------|
| <a href="#">QSPICTL0*</a>   | 0x0000 | QSPI 控制寄存器 0         | 0x00000600 |
| <a href="#">QSPICTL1</a>    | 0x0004 | QSPI 控制寄存器 1         | 0x00000000 |
| <a href="#">QSPIXIPCTL*</a> | 0x0008 | QSPI 就地执行控制寄存器       | 0x00000000 |
| <a href="#">QSPIFLASHID</a> | 0x000C | QSPI 闪存 ID 寄存器       | 0x00000000 |
| <a href="#">QSPIRXLVL</a>   | 0x0010 | QSPI 接收 FIFO 当前长度寄存器 | 0x00000000 |
| <a href="#">QSPITXLVL</a>   | 0x0014 | QSPI 发送 FIFO 当前长度寄存器 | 0x00000000 |
| <a href="#">QSPIRXTH*</a>   | 0x0018 | QSPI 接收 FIFO 长度阈值寄存器 | 0x00000000 |
| <a href="#">QSPITXTH*</a>   | 0x001C | QSPI 发送 FIFO 长度阈值寄存器 | 0x00000000 |
| <a href="#">QSPIDAT</a>     | 0x0020 | QSPI 数据寄存器           | 0x00000000 |
| <a href="#">QSPICMD</a>     | 0x0024 | QSPI 命令寄存器           | 0x00000000 |
| <a href="#">QSPIADDR</a>    | 0x0028 | QSPI 地址寄存器           | 0x00000000 |
| <a href="#">QSPIRMODE</a>   | 0x002C | QSPI 读模式寄存器          | 0x00000000 |
| <a href="#">QSPIDINLEN</a>  | 0x0030 | QSPI 输入数据长度寄存器       | 0x00000000 |
| <a href="#">QSPISTS</a>     | 0x0038 | QSPI 状态寄存器           | 0x0000000C |
| <a href="#">QSPIRAWIF</a>   | 0x0040 | QSPI 中断原始事件标志寄存器     | 0x00000000 |
| <a href="#">QSPIIF</a>      | 0x0044 | QSPI 中断标志寄存器         | 0x00000000 |
| <a href="#">QSPIIC</a>      | 0x0048 | QSPI 中断标志寄存器         | 0x00000000 |
| <a href="#">QSPIIE*</a>     | 0x004C | QSPI 中断使能寄存器         | 0x00000000 |
| <a href="#">QSPIREGKEY</a>  | 0x0050 | QSPI 模块写使能寄存器        | 0x00000000 |

- 注意：
1. 被\*标记的寄存器只有在 QSPIREGKEY=0x1ACCE551 时，才可以改写。
  2. QSPIFLASHID 寄存器只有在 QSPIREGKEY=0xFEEDBEEF 时，才可以改写。

## 10.5.2 QSPI 寄存器

### 10.5.2.1 QSPI 控制寄存器 0 (QSPICTL0)

表 10-4: QSPI 控制寄存器 0 (QSPICTL0) 位段定义

|                                                                 |         |         |         |         |      |      |       |
|-----------------------------------------------------------------|---------|---------|---------|---------|------|------|-------|
| QSPICTL0 (QSPI Control Register 0)                              |         |         |         |         |      |      |       |
| Access: QSPI->QSPICTL0    Offset: 0x0000    Default: 0x00000600 |         |         |         |         |      |      |       |
| 31                                                              | 30      | 29      | 28      | 27      | 26   | 25   | 24    |
| RESERVED                                                        |         |         |         |         |      |      |       |
| 23                                                              | 22      | 21      | 20      | 19      | 18   | 17   | 16    |
| CLKDIV                                                          |         |         |         |         |      |      |       |
| 15                                                              | 14      | 13      | 12      | 11      | 10   | 9    | 8     |
| RESERVED                                                        | MINIDLE |         |         | BUS32   | WP   | HOLD | CSPOL |
| 7                                                               | 6       | 5       | 4       | 3       | 2    | 1    | 0     |
| CLKMODE                                                         |         | TXDMAEN | RXDMAEN | CACHEEN | MODE |      | EN    |

表 10-5: QSPI 控制寄存器 0 (QSPICTL0) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                               |
|-------|----------------|----|-----|------------------------------------------------------------------|
| 31:24 | RESERVED_31_24 | RO | 0x0 | 保留                                                               |
| 23:16 | CLKDIV         | RW | 0x0 | 设置从 AHB 时钟到接口串行时钟的分频比为 (CLKDIV + 1)                              |
| 15    | RESERVED_15    | RO | 0x0 | 保留                                                               |
| 14:12 | MINIDLE        | RW | 0x0 | 设置最短空闲（即帧间隔）时间为 (CLKDIV + 1) x (MINIDLE + 1) 个 AHB 时钟周期          |
| 11    | BUS32          | RW | 0x0 | 通过 QSPIDAT 寄存器访问 FIFO 时的数据位宽<br>0: 8 位（QSPIDAT 的最低字节）<br>1: 32 位 |
| 10    | WP             | RW | 0x1 | WP (D2) 引脚输出电平<br>本位段在 QSPI 模式下无效<br>0: 输出低电平<br>1: 输出高电平        |
| 9     | HOLD           | RW | 0x1 | HOLD (D3) 引脚输出电平<br>本位段在 QSPI 模式下无效<br>0: 输出低电平<br>1: 输出高电平      |
| 8     | CSPOL          | RW | 0x0 | 片选信号极性<br>0: 低电平时使能串行接口<br>1: 高电平时使能串行接口                         |
| 7:6   | CLKMODE        | RW | 0x0 | 串行时钟模式<br>0: CPOL=0, CPHA=0<br>1: CPOL=0, CPHA=1                 |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                         |
|-----|---------|----|-----|------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 2: CPOL=1, CPHA=0<br>3: CPOL=1, CPHA=1                                                                     |
| 5   | TXDMAEN | RW | 0x0 | 发送器 DMA 使能（仅当 MODE != 3 时适用）<br>0: 关闭<br>1: 使能                                                             |
| 4   | RXDMAEN | RW | 0x0 | 接收器 DMA 使能（仅当 MODE != 3 时适用）<br>0: 关闭<br>1: 使能                                                             |
| 3   | CACHEEN | RW | 0x0 | 就地执行缓存使能（仅当 MODE=3 时适用）<br>0: 关闭<br>1: 使能                                                                  |
| 2:1 | MODE    | RW | 0x0 | 工作模式（SPC1185 中本位段应当为 2 或 3）<br>0: 常规模式（例如 QSPI 通讯口）<br>2: Flash 闪存控制器（比模式 0 增加 ECC 支持）<br>3: Flash 闪存就地执行器 |
| 0   | EN      | RW | 0x0 | QSPI 模块使能<br>0: 关闭<br>1: 使能                                                                                |

## 10.5.2.2 QSPI 控制寄存器 1 (QSPICTL1)

表 10-6: QSPI 控制寄存器 1 (QSPICTL1) 位段定义

|                                                                                                       |           |    |          |    |        |          |       |
|-------------------------------------------------------------------------------------------------------|-----------|----|----------|----|--------|----------|-------|
| QSPICTL1 (QSPI Control Register 1)<br>Access: QSPI->QSPICTL1    Offset: 0x0004    Default: 0x00000000 |           |    |          |    |        |          |       |
| 31                                                                                                    | 30        | 29 | 28       | 27 | 26     | 25       | 24    |
| RESERVED                                                                                              |           |    |          |    |        |          |       |
| 23                                                                                                    | 22        | 21 | 20       | 19 | 18     | 17       | 16    |
| RESERVED                                                                                              |           |    |          |    |        | CLRTF    | CLRRF |
| 15                                                                                                    | 14        | 13 | 12       | 11 | 10     | 9        | 8     |
| EXECUTION                                                                                             | TR        |    | DATAPN   |    | ADDRPN | DMYBYTE  |       |
| 7                                                                                                     | 6         | 5  | 4        | 3  | 2      | 1        | 0     |
| DMYBYTE                                                                                               | RMODEBYTE |    | ADDRBYTE |    |        | CMD BYTE |       |

表 10-7: QSPI 控制寄存器 1 (QSPICTL1) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                 |
|-------|----------------|-----|-----|----------------------------------------------------------------------------------------------------|
| 31:18 | RESERVED_31_18 | RO  | 0x0 | 保留                                                                                                 |
| 17    | CLRTF          | W1C | 0x0 | 清除发送 FIFO，本位段不影响发送移位寄存器<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除发送 FIFO 并设置 TXREQ 标志位；<br>本位段自动清零           |
| 16    | CLRRF          | W1C | 0x0 | 清除接收 FIFO，本位段不影响接收移位寄存器<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除接收 FIFO，本位段自动清零                             |
| 15    | EXECUTION      | RW  | 0x0 | QSPI 传输状态机执行<br>0: 写 0 停止传输执行，读 0 表明当前空闲<br>1: 写 1 启动传输执行，读 1 表明当前忙                                |
| 14:13 | TR             | RW  | 0x0 | 数据收发请求控制<br>0: 接收数据<br>1: 发送数据<br>2: 仅发送其他段，而无数据段传输                                                |
| 12:11 | DATAPN         | RW  | 0x0 | 用于模式段、虚拟段和数据段传输的引脚数<br>0: 单线，D0 为串行输出，D1 为串行输入<br>1: 双线，D0 和 D1 用作双向输入输出<br>2: 四线，D0 – D3 用作双向输入输出 |
| 10    | ADDRPN         | RW  | 0x0 | 用于地址段传输的引脚数<br>0: 仅用 D0 引脚<br>1: 采用和 DATAPN 指定的相同的引脚                                               |
| 9:7   | DMYBYTE        | RW  | 0x0 | QSPIRMODE 传输完后紧跟的虚拟段字节数<br>0: 0 字节<br>1: 1 字节<br>2: 2 字节                                           |

| 位段  | 位段名       | 属性 | 复位值 | 描述                                                                                                                                                         |
|-----|-----------|----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |           |    |     | 3: 3 字节<br>4: 4 字节                                                                                                                                         |
| 6:5 | RMODEBYTE | RW | 0x0 | QSPIADDR 传输完成后紧跟的 QSPIRMODE 模式段字节数<br>0: 0 字节<br>1: 1 字节 (QSPIRMODE[7:0])<br>2: 2 字节 (QSPIRMODE[15:0])                                                     |
| 4:2 | ADDRBYTE  | RW | 0x0 | QSPICMD 传输完成后紧跟的 QSPIADDR 地址段字节数<br>0: 0 字节<br>1: 1 字节 (QSPIADDR[7:0])<br>2: 2 字节 (QSPIADDR[15:0])<br>3: 3 字节 (QSPIADDR[23:0])<br>4: 4 字节 (QSPIADDR[31:0]) |
| 1:0 | CMDBYTE   | RW | 0x0 | QSPICMD1.EXECUTION 置位启动传输后的 QSPICMD 命令段字节数<br>0: 0 字节<br>1: 1 字节 (QSPICMD[7:0])<br>2: 2 字节 (QSPICMD[15:0])                                                 |



## 10.5.2.3 QSPI 就地执行控制寄存器 (QSPIXIPCTL)

表 10-8: QSPI 就地执行控制寄存器 (QSPIXIPCTL) 位段定义

|                                                                   |          |           |          |    |        |          |         |
|-------------------------------------------------------------------|----------|-----------|----------|----|--------|----------|---------|
| QSPIXIPCTL (QSPI XIP Control Register)                            |          |           |          |    |        |          |         |
| Access: QSPI->QSPIXIPCTL    Offset: 0x0008    Default: 0x00000000 |          |           |          |    |        |          |         |
| 31                                                                | 30       | 29        | 28       | 27 | 26     | 25       | 24      |
| RMODE                                                             |          |           |          |    |        |          |         |
| 23                                                                | 22       | 21        | 20       | 19 | 18     | 17       | 16      |
| CMD                                                               |          |           |          |    |        |          |         |
| 15                                                                | 14       | 13        | 12       | 11 | 10     | 9        | 8       |
| RESERVED                                                          |          |           | DATAPN   |    | ADDRPN | DMYBYTE  |         |
| 7                                                                 | 6        | 5         | 4        | 3  | 2      | 1        | 0       |
| DMYBYTE                                                           | RESERVED | RMODEBYTE | ADDRBYTE |    |        | RESERVED | CMDBYTE |

表 10-9: QSPI 就地执行控制寄存器 (QSPIXIPCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                          |
|-------|----------------|----|-----|-------------------------------------------------------------------------------------------------------------|
| 31:24 | RMODE          | RW | 0x0 | 就地执行时的读模式字节                                                                                                 |
| 23:16 | CMD            | RW | 0x0 | 就地执行时的命令字节                                                                                                  |
| 15:13 | RESERVED_15_13 | RO | 0x0 | 保留                                                                                                          |
| 12:11 | DATAPN         | RW | 0x0 | 就地执行时用于模式段、虚拟段和数据段传输的引脚数<br>0: 单线, D0 为串行输出, D1 为串行输入<br>1: 双线, D0 和 D1 用作双向输入输出<br>2: 四线, D0 – D3 用作双向输入输出 |
| 10    | ADDRPN         | RW | 0x0 | 就地执行时用于地址段传输的引脚数<br>0: 仅用 D0 引脚<br>1: 采用和 DATAPN 指定的相同的引脚                                                   |
| 9:7   | DMYBYTE        | RW | 0x0 | 就地执行时读模式字节后紧跟的虚拟字节数<br>0: 0 字节<br>1: 1 字节<br>2: 2 字节<br>3: 3 字节<br>4: 4 字节                                  |
| 6     | RESERVED_6     | RO | 0x0 | 保留                                                                                                          |
| 5     | RMODEBYTE      | RW | 0x0 | 就地执行时的读模式字节数<br>0: 0 字节<br>1: 1 字节                                                                          |
| 4:2   | ADDRBYTE       | RW | 0x0 | 就地执行时命令字节后紧跟的地址字节数<br>0: 0 字节<br>1: 1 字节<br>2: 2 字节                                                         |

| 位段 | 位段名        | 属性 | 复位值 | 描述                                                   |
|----|------------|----|-----|------------------------------------------------------|
|    |            |    |     | 3: 3 字节<br>4: 4 字节                                   |
| 1  | RESERVED_1 | RO | 0x0 | 保留                                                   |
| 0  | CMDBYTE    | RW | 0x0 | 就地执行时命令字节数<br>0: 仅进入就地执行后的第一帧发送命令字节<br>1: 每一帧都发送命令字节 |

#### 10.5.2.4 QSPI 闪存 ID 寄存器（QSPIFLASHID）

表 10-10: QSPI 闪存 ID 寄存器（QSPIFLASHID）位段定义

|                                                                    |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| QSPIFLASHID (QSPI FLASH ID Register)                               |    |    |    |    |    |    |    |
| Access: QSPI->QSPIFLASHID    Offset: 0x000C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                                |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                |    |    |    |    |    |    |    |

表 10-11: QSPI 闪存 ID 寄存器（QSPIFLASHID）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                          |
|-------|----------------|----|-----|-----------------------------------------------------------------------------|
| 31:24 | RESERVED_31_24 | RO | 0x0 | 保留                                                                          |
| 23:0  | VAL            | RW | 0x0 | 本寄存器用于保存闪存 ID 信息，便于软件开发工具包提供对不同厂商闪存的支持<br>QSPIREGKEY 需先写 0xFEEDBEEF 才能写本寄存器 |

## 10.5.2.5 QSPI 接收 FIFO 当前长度寄存器 (QSPIRXLVL)

表 10-12: QSPI 接收 FIFO 当前长度寄存器 (QSPIRXLVL) 位段定义

| QSPIRXLVL (QSPI Receive FIFO Level Register)                     |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: QSPI->QSPIRXLVL    Offset: 0x0010    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 7<br>RESERVED                                                    | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 10-13: QSPI 接收 FIFO 当前长度寄存器 (QSPIRXLVL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                     |
|------|---------------|----|-----|------------------------|
| 31:7 | RESERVED_31_7 | RO | 0x0 | 保留                     |
| 6:0  | VAL           | RO | 0x0 | 接收 FIFO 中的数据字节数 (0~64) |

## 10.5.2.6 QSPI 发送 FIFO 当前长度寄存器 (QSPITXLVL)

表 10-14: QSPI 发送 FIFO 当前长度寄存器 (QSPITXLVL) 位段定义

| QSPITXLVL (QSPI Transmit FIFO Level Register)                    |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: QSPI->QSPITXLVL    Offset: 0x0014    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 7<br>RESERVED                                                    | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 10-15: QSPI 发送 FIFO 当前长度寄存器 (QSPITXLVL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                     |
|------|---------------|----|-----|------------------------|
| 31:7 | RESERVED_31_7 | RO | 0x0 | 保留                     |
| 6:0  | VAL           | RO | 0x0 | 发送 FIFO 中的数据字节数 (0~64) |

### 10.5.2.7 QSPI 接收 FIFO 长度阈值寄存器 (QSPIRXTH)

表 10-16: QSPI 接收 FIFO 长度阈值寄存器 (QSPIRXTH) 位段定义

| QSPIRXTH (QSPI Receive FIFO Threshold Register) |    |                |    |                     |    |    |    |
|-------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: QSPI->QSPIRXTH                          |    | Offset: 0x0018 |    | Default: 0x00000000 |    |    |    |
| 31                                              | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| RESERVED                                        |    |                |    |                     |    |    |    |
| 23                                              | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| RESERVED                                        |    |                |    |                     |    |    |    |
| 15                                              | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| RESERVED                                        |    |                |    |                     |    |    |    |
| 7                                               | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| RESERVED                                        |    | VAL            |    |                     |    |    |    |

表 10-17: QSPI 接收 FIFO 长度阈值寄存器 (QSPIRXTH) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                            |
|------|---------------|----|-----|-----------------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                            |
| 5:0  | VAL           | RW | 0x0 | 设置阈值使得 QSPIRXLVL > QSPIRXTH 时触发接收 FIFO 数据读取请求 |

### 10.5.2.8 QSPI 发送 FIFO 长度阈值寄存器 (QSPITXTH)

表 10-18: QSPI 发送 FIFO 长度阈值寄存器 (QSPITXTH) 位段定义

| QSPITXTH (QSPI Transmit FIFO Threshold Register) |    |                |    |                     |    |    |    |
|--------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: QSPI->QSPITXTH                           |    | Offset: 0x001C |    | Default: 0x00000000 |    |    |    |
| 31                                               | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| RESERVED                                         |    |                |    |                     |    |    |    |
| 23                                               | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| RESERVED                                         |    |                |    |                     |    |    |    |
| 15                                               | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| RESERVED                                         |    |                |    |                     |    |    |    |
| 7                                                | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| RESERVED                                         |    | VAL            |    |                     |    |    |    |

表 10-19: QSPI 发送 FIFO 长度阈值寄存器 (QSPITXTH) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                            |
|------|---------------|----|-----|-----------------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                            |
| 5:0  | VAL           | RW | 0x0 | 设置阈值使得 QSPITXLVL ≤ QSPITXTH 时触发发送 FIFO 数据写入请求 |

## 10.5.2.9 QSPI 数据寄存器 (QSPIDAT)

表 10-20: QSPI 数据寄存器 (QSPIDAT) 位段定义

| QSPIDAT (QSPI Data Register) |    |                |    |                     |    |    |    |
|------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: QSPI->QSPIDAT        |    | Offset: 0x0020 |    | Default: 0x00000000 |    |    |    |
| 31                           | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                          |    |                |    |                     |    |    |    |
| 23                           | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                          |    |                |    |                     |    |    |    |
| 15                           | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                          |    |                |    |                     |    |    |    |
| 7                            | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                          |    |                |    |                     |    |    |    |

表 10-21: QSPI 数据寄存器 (QSPIDAT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                                                                |
|------|-----|----|-----|-------------------------------------------------------------------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 写本寄存器往发送 FIFO 放入数据；<br>读本寄存器从接收 FIFO 取出数据。<br>当 QSPICTL0.BUS32 = 0 时，仅最低字节有效；<br>当 QSPICTL0.BUS32 = 1 时，从最低字节开始收发 |

## 10.5.2.10 QSPI 命令寄存器 (QSPICMD)

表 10-22: QSPI 命令寄存器 (QSPICMD) 位段定义

| QSPICMD (QSPI Command Register) |    |                |    |                     |    |    |    |
|---------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: QSPI->QSPICMD           |    | Offset: 0x0024 |    | Default: 0x00000000 |    |    |    |
| 31                              | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| RESERVED                        |    |                |    |                     |    |    |    |
| 23                              | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| RESERVED                        |    |                |    |                     |    |    |    |
| 15                              | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                             |    |                |    |                     |    |    |    |
| 7                               | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                             |    |                |    |                     |    |    |    |

表 10-23: QSPI 命令寄存器 (QSPICMD) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                               |
| 15:0  | VAL            | RW | 0x0 | 每一帧首先传输的命令字节<br>QSPICTL.EXECUTION 置 1 后从最低字节开始传输 |

### 10.5.2.11 QSPI 地址寄存器（QSPIADDR）

表 10-24: QSPI 地址寄存器（QSPIADDR）位段定义

| QSPIADDR (QSPI Address Register) |    |                |    |                     |    |    |    |
|----------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: QSPI->QSPIADDR           |    | Offset: 0x0028 |    | Default: 0x00000000 |    |    |    |
| 31                               | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                              |    |                |    |                     |    |    |    |
| 23                               | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                              |    |                |    |                     |    |    |    |
| 15                               | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                              |    |                |    |                     |    |    |    |
| 7                                | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                              |    |                |    |                     |    |    |    |

表 10-25: QSPI 地址寄存器（QSPIADDR）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                     |
|------|-----|----|-----|----------------------------------------|
| 31:0 | VAL | RW | 0x0 | 继 QSPICMD 之后开始传输的地址字节<br>本寄存器从最高字节开始传输 |

### 10.5.2.12 QSPI 读模式寄存器（QSPIRMODE）

表 10-26: QSPI 读模式寄存器（QSPIRMODE）位段定义

| QSPIRMODE (QSPI Read Mode Register) |    |                |    |                     |    |    |    |
|-------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: QSPI->QSPIRMODE             |    | Offset: 0x002C |    | Default: 0x00000000 |    |    |    |
| 31                                  | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| RESERVED                            |    |                |    |                     |    |    |    |
| 23                                  | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| RESERVED                            |    |                |    |                     |    |    |    |
| 15                                  | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                 |    |                |    |                     |    |    |    |
| 7                                   | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                 |    |                |    |                     |    |    |    |

表 10-27: QSPI 读模式寄存器（QSPIRMODE）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                   |
|-------|----------------|----|-----|--------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                   |
| 15:0  | VAL            | RW | 0x0 | 继 QSPIADDR 之后开始传输的读模式字节<br>从最低字节开始传输 |

## 10.5.2.13 QSPI 输入数据长度寄存器（QSPIDINLEN）

表 10-28: QSPI 输入数据长度寄存器（QSPIDINLEN）位段定义

| QSPIDINLEN (QSPI Data Input Length Register)                      |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: QSPI->QSPIDINLEN    Offset: 0x0030    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                          |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                               |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                               |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                               |    |    |    |    |    |    |    |

表 10-29: QSPI 输入数据长度寄存器（QSPIDINLEN）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                  |
|-------|----------------|----|-----|-------------------------------------------------------------------------------------------------------------------------------------|
| 31:24 | RESERVED_31_24 | RO | 0x0 | 保留                                                                                                                                  |
| 23:0  | VAL            | RW | 0x0 | 接收模式（QSPICTL1.TR = 0）时输入数据预期的总字节数<br>若本寄存器不为 0，则状态机在接收到 QSPIDINLEN 个字节数据后停止传输。<br>若本寄存器设为 0，则表示持续接收，直到通过 QSPICTL1.EXECUTION 写 0 停止。 |



### 10.5.2.14 QSPI 状态寄存器（QSPISTS）

表 10-30: QSPI 状态寄存器（QSPISTS）位段定义

|                                                                |    |           |         |      |         |        |      |
|----------------------------------------------------------------|----|-----------|---------|------|---------|--------|------|
| QSPISTS (QSPI Status Register)                                 |    |           |         |      |         |        |      |
| Access: QSPI->QSPISTS    Offset: 0x0038    Default: 0x0000000C |    |           |         |      |         |        |      |
| 31                                                             | 30 | 29        | 28      | 27   | 26      | 25     | 24   |
| RESERVED                                                       |    |           |         |      |         |        |      |
| 23                                                             | 22 | 21        | 20      | 19   | 18      | 17     | 16   |
| RESERVED                                                       |    |           |         |      |         |        |      |
| 15                                                             | 14 | 13        | 12      | 11   | 10      | 9      | 8    |
| RESERVED                                                       |    |           |         |      |         |        |      |
| 7                                                              | 6  | 5         | 4       | 3    | 2       | 1      | 0    |
| RESERVED                                                       |    | WITHCACHE | WITHXIP | TXNF | TXEMPTY | RXFULL | RXNE |

表 10-31: QSPI 状态寄存器（QSPISTS）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                             |
|------|---------------|----|-----|--------------------------------------------------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                                                             |
| 5    | WITHCACHE     | RO | 0x0 | 闪存就地执行读缓存支持<br>0: 不支持<br>1: 支持 16KB 就地执行读缓存                                    |
| 4    | WITHXIP       | RO | 0x0 | 闪存就地执行支持<br>0: 不支持<br>1: 支持就地执行                                                |
| 3    | TXNF          | RO | 0x1 | 发送 FIFO 非满（QSPITXLVL < 64）<br>0: 发送 FIFO 满，无法存放新数据<br>1: 发送 FIFO 含至少一个空位可以存放数据 |
| 2    | TXEMPTY       | RO | 0x1 | 发送 FIFO 空（QSPITXLVL = 0）<br>0: 发送 FIFO 里有至少一个数据<br>1: 发送 FIFO 为空（没有数据）         |
| 1    | RXFULL        | RO | 0x0 | 接收 FIFO 满（QSPIRXLVL = 64）<br>0: 接收 FIFO 含至少一个空位可以存放数据<br>1: 接收 FIFO 满，无法存放新数据  |
| 0    | RXNE          | RO | 0x0 | 接收 FIFO 非空（QSPIRXLVL > 0）<br>0: 接收 FIFO 为空（没有数据）<br>1: 接收 FIFO 里有至少一个数据        |

## 10.5.2.15 QSPI 中断原始事件标志寄存器（QSPIRAWIF）

表 10-32: QSPI 中断原始事件标志寄存器（QSPIRAWIF）位段定义

| QSPIRAWIF (QSPI Interrupt Raw Flag Register)                     |    |      |       |       |       |       |       |
|------------------------------------------------------------------|----|------|-------|-------|-------|-------|-------|
| Access: QSPI->QSPIRAWIF    Offset: 0x0040    Default: 0x00000000 |    |      |       |       |       |       |       |
| 31                                                               | 30 | 29   | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                         |    |      |       |       |       |       |       |
| 23                                                               | 22 | 21   | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                         |    |      |       |       |       |       |       |
| 15                                                               | 14 | 13   | 12    | 11    | 10    | 9     | 8     |
| RESERVED                                                         |    |      |       |       |       |       |       |
| 7                                                                | 6  | 5    | 4     | 3     | 2     | 1     | 0     |
| RESERVED                                                         |    | DONE | TXREQ | TXOVF | RXREQ | RXOVF | RXUDF |

表 10-33: QSPI 中断原始事件标志寄存器（QSPIRAWIF）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                                                 |
|------|---------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                                                                                                                                 |
| 5    | DONE          | RO | 0x0 | 传输完成事件标志<br>0: 事件未发生<br>1: 事件已发生                                                                                                                   |
| 4    | TXREQ         | RO | 0x0 | 发送 FIFO 数据写请求事件标志<br>0: 值为 0 表示发送 FIFO 中含足够的数据;<br>当 QSPITXLVL ≤ QSPITXTH 时位段变 1<br>1: 值为 1 表示发送 FIFO 中需写入更多数据;<br>当 QSPITXLVL > QSPITXTH 时位段变 0   |
| 3    | TXOVF         | RO | 0x0 | 发送 FIFO 上溢事件标志<br>表示发送 FIFO 满时发生了 QSPIDAT 写操作<br>0: 事件未发生<br>1: 事件已发生                                                                              |
| 2    | RXREQ         | RO | 0x0 | 接收 FIFO 数据读请求事件标志<br>0: 值为 0 表示接收 FIFO 中未存入足够的数据; 当<br>QSPIRXLVL > QSPIRXTH 时位段变 1<br>1: 值为 1 表示接收 FIFO 中存入了足够的数据; 当<br>QSPIRXLVL ≤ QSPIRXTH 位段变 0 |
| 1    | RXOVF         | RO | 0x0 | 接收 FIFO 上溢事件标志<br>表示接收 FIFO 为满时收到新数据（会被丢弃）<br>0: 事件未发生<br>1: 事件已发生                                                                                 |
| 0    | RXUDF         | RO | 0x0 | 接收 FIFO 下溢事件标志<br>表示接收 FIFO 为空时发生了 QSPIDAT 读操作<br>0: 事件未发生<br>1: 事件已发生                                                                             |

### 10.5.2.16 QSPI 中断标志寄存器（QSPIIF）

表 10-34: QSPI 中断标志寄存器（QSPIIF）位段定义

| QSPIIF (QSPI Interrupt Flag Register) |     |                |       |                     |       |       |       |
|---------------------------------------|-----|----------------|-------|---------------------|-------|-------|-------|
| Access: QSPI->QSPIIF                  |     | Offset: 0x0044 |       | Default: 0x00000000 |       |       |       |
| 31                                    | 30  | 29             | 28    | 27                  | 26    | 25    | 24    |
| RESERVED                              |     |                |       |                     |       |       |       |
| 23                                    | 22  | 21             | 20    | 19                  | 18    | 17    | 16    |
| RESERVED                              |     |                |       |                     |       |       |       |
| 15                                    | 14  | 13             | 12    | 11                  | 10    | 9     | 8     |
| RESERVED                              |     |                |       |                     |       |       |       |
| 7                                     | 6   | 5              | 4     | 3                   | 2     | 1     | 0     |
| RESERVED                              | INT | DONE           | TXREQ | TXOVF               | RXREQ | RXOVF | RXUDF |

表 10-35: QSPI 中断标志寄存器（QSPIIF）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                               |
|------|---------------|----|-----|------------------------------------------------------------------|
| 31:7 | RESERVED_31_7 | RO | 0x0 | 保留                                                               |
| 6    | INT           | RO | 0x0 | QSPI 全局中断标志<br>0: 中断未发生<br>1: 中断已产生，并已经通知 CPU<br>本位段被清除之前不会产生新中断 |
| 5    | DONE          | RO | 0x0 | 传输完成中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断             |
| 4    | TXREQ         | RO | 0x0 | 发送 FIFO 数据写请求中断标志<br>0: 中断未发生<br>1: 中断已发生                        |
| 3    | TXOVF         | RO | 0x0 | 发送 FIFO 上溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断       |
| 2    | RXREQ         | RO | 0x0 | 接收 FIFO 数据读请求中断标志<br>0: 中断未发生<br>1: 中断已发生                        |
| 1    | RXOVF         | RO | 0x0 | 接收 FIFO 上溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断       |
| 0    | RXUDF         | RO | 0x0 | 接收 FIFO 下溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断       |

## 10.5.2.17 QSPI 中断清除寄存器 (QSPIIC)

表 10-36: QSPI 中断清除寄存器 (QSPIIC) 位段定义

|                                                               |     |      |          |       |          |       |       |
|---------------------------------------------------------------|-----|------|----------|-------|----------|-------|-------|
| QSPIIC (QSPI Interrupt Clear Register)                        |     |      |          |       |          |       |       |
| Access: QSPI->QSPIIC    Offset: 0x0048    Default: 0x00000000 |     |      |          |       |          |       |       |
| 31                                                            | 30  | 29   | 28       | 27    | 26       | 25    | 24    |
| RESERVED                                                      |     |      |          |       |          |       |       |
| 23                                                            | 22  | 21   | 20       | 19    | 18       | 17    | 16    |
| RESERVED                                                      |     |      |          |       |          |       |       |
| 15                                                            | 14  | 13   | 12       | 11    | 10       | 9     | 8     |
| RESERVED                                                      |     |      |          |       |          |       |       |
| 7                                                             | 6   | 5    | 4        | 3     | 2        | 1     | 0     |
| RESERVED                                                      | INT | DONE | RESERVED | TXOVF | RESERVED | RXOVF | RXUDF |

表 10-37: QSPI 中断清除寄存器 (QSPIIC) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                              |
|------|---------------|-----|-----|-----------------------------------------------------------------|
| 31:7 | RESERVED_31_7 | RO  | 0x0 | 保留                                                              |
| 6    | INT           | W1C | 0x0 | 全局中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零            |
| 5    | DONE          | W1C | 0x0 | 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零       |
| 4    | RESERVED_4    | RO  | 0x0 | 保留                                                              |
| 3    | TXOVF         | W1C | 0x0 | 发送 FIFO 上溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 2    | RESERVED_2    | RO  | 0x0 | 保留                                                              |
| 1    | RXOVF         | W1C | 0x0 | 接收 FIFO 上溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 0    | RXUDF         | W1C | 0x0 | 接收 FIFO 下溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |

### 10.5.2.18 QSPI 中断使能寄存器（QSPIIE）

表 10-38: QSPI 中断使能寄存器（QSPIIE）位段定义

|                                                               |    |      |       |       |       |       |       |
|---------------------------------------------------------------|----|------|-------|-------|-------|-------|-------|
| QSPIIE (QSPI Interrupt Enable Register)                       |    |      |       |       |       |       |       |
| Access: QSPI->QSPIIE    Offset: 0x004C    Default: 0x00000000 |    |      |       |       |       |       |       |
| 31                                                            | 30 | 29   | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                      |    |      |       |       |       |       |       |
| 23                                                            | 22 | 21   | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                      |    |      |       |       |       |       |       |
| 15                                                            | 14 | 13   | 12    | 11    | 10    | 9     | 8     |
| RESERVED                                                      |    |      |       |       |       |       |       |
| 7                                                             | 6  | 5    | 4     | 3     | 2     | 1     | 0     |
| RESERVED                                                      |    | DONE | TXREQ | TXOVF | RXREQ | RXOVF | RXUDF |

表 10-39: QSPI 中断使能寄存器（QSPIIE）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                  |
|------|---------------|----|-----|-------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                  |
| 5    | DONE          | RW | 0x0 | 传输完成中断使能<br>0: 关闭<br>1: 使能          |
| 4    | TXREQ         | RW | 0x0 | 发送 FIFO 数据写请求中断使能<br>0: 关闭<br>1: 使能 |
| 3    | TXOVF         | RW | 0x0 | 发送 FIFO 上溢中断使能<br>0: 关闭<br>1: 使能    |
| 2    | RXREQ         | RW | 0x0 | 接收 FIFO 数据读请求中断使能<br>0: 关闭<br>1: 使能 |
| 1    | RXOVF         | RW | 0x0 | 接收 FIFO 上溢中断使能<br>0: 关闭<br>1: 使能    |
| 0    | RXUDF         | RW | 0x0 | 接收 FIFO 下溢中断使能<br>0: 关闭<br>1: 使能    |

### 10.5.2.19 QSPI 模块写使能寄存器（QSPIREGKEY）

表 10-40: QSPI 模块写使能寄存器（QSPIREGKEY）位段定义

| QSPIREGKEY (QSPI Register Write-Allow Key Register)               |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: QSPI->QSPIREGKEY    Offset: 0x0050    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                               |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                               |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                               |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| KEY                                                               |    |    |    |    |    |    |    |

表 10-41: QSPI 模块写使能寄存器（QSPIREGKEY）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                            |
|------|-----|----|-----|-------------------------------|
| 31:0 | KEY | RW | 0x0 | 写入 0x1ACCE551 解锁受保护的 QSPI 寄存器 |

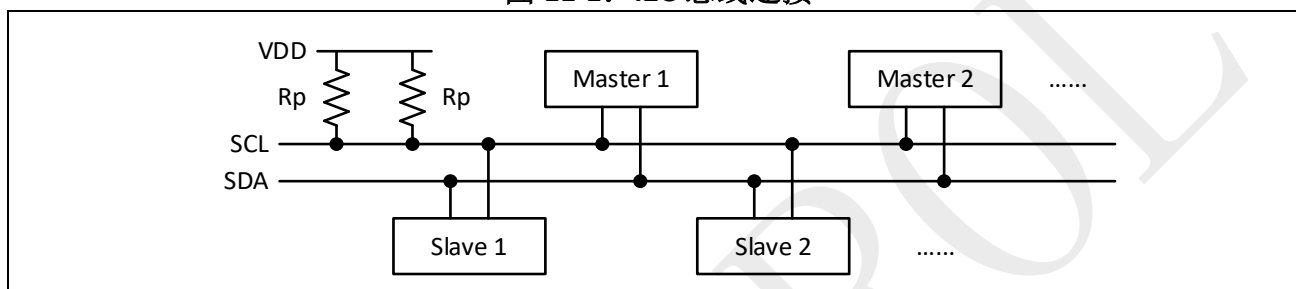
## 11 内部集成电路总线（I2C）

### 11.1 概述

I2C 模块为 MCU 和任何通过 I2C 串行总线相连的 I2C 总线兼容设备之间提供了一个接口。连接在 I2C 总线上的外部设备，通过两线 I2C 接口能够串行地发送数据或者接收数据。

I2C 总线连接如图 11-1 所示，支持多主机从机模式。每个 I2C 从机设备通过其唯一的地址来区分。I2C 设备既可以作为发送器，也可以作为接收器。需要注意的是，主机是在总线上发起数据传输并生成时钟信号以允许数据传输的设备。

图 11-1: I2C 总线连接



SPC1185 提供了 3 个 I2C 模块，其特性如下：

- 兼容《I2C-Bus Specification and User Manual Rev6》
- 支持多种速度模式
  - 标准模式（最高 100Kbps）；
  - 快速及快速增强模式（最高 1Mbps）；
  - 高速模式（最高 3.4Mbps）；
  - 超快速模式（最高 5Mbps）；
- 支持主机和从机；
- 支持 7 位或 10 位寻址模式；
- 支持 7 位或 10 位组合格式传输；
- 支持时钟拉伸；
- 支持发送异常中止的侦测；
- 收发各有 16 字节的 FIFO；
- 收发均支持 DMA 硬件握手。



11.2 I2C 端口信号

表 11-1 罗列并描述了外部端口信号 SCL 和 SDA 如何连接到 I2C 模块。它们采用通道复用最终连到 GPIO 引脚。参考 章节 4.2 配置引脚通道功能。

表 11-1: I2C 端口信号

| 信号名 | 类型    | 描述                                                   |
|-----|-------|------------------------------------------------------|
| SCL | 输入/输出 | <b>I2C 时钟线</b><br>超快速模式下为推挽输出，否则为开漏输出（内部有约 47 kΩ 上拉） |
| SDA | 输入/输出 | <b>I2C 数据线</b><br>超快速模式下为推挽输出，否则为开漏输出（内部有约 47 kΩ 上拉） |

11.3 I2C 协议

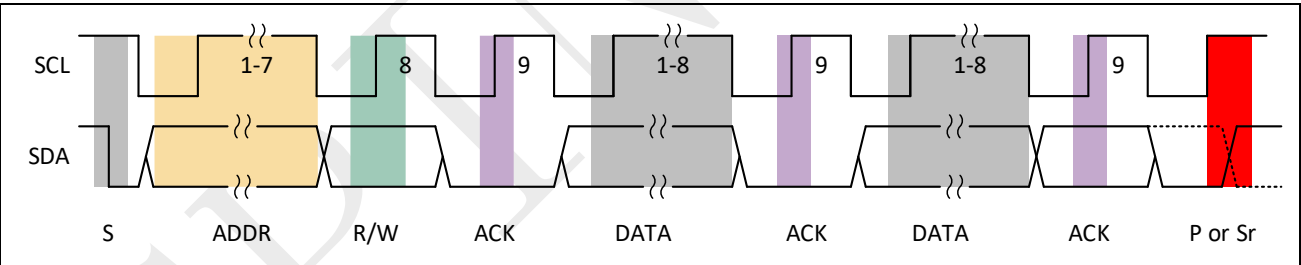
11.3.1 字节格式

I2C 的字节格式有以下特点：

- 以字节为传输单位，且从最高位开始传输；
- 每次传输的字节数不受限制；
- 每个字节后都要有一个应答位，且应答位由接收机发出。

I2C 传输基本格式如 图 11-2，其中开始（S）、重复开始（Sr）、从机地址（ADDR）、读写控制位（R/W）和停止（P）都是由主机发出。I2C 总是以开始作为数据传输的起点，以停止作为传输的终点。

图 11-2: I2C 协议基本格式



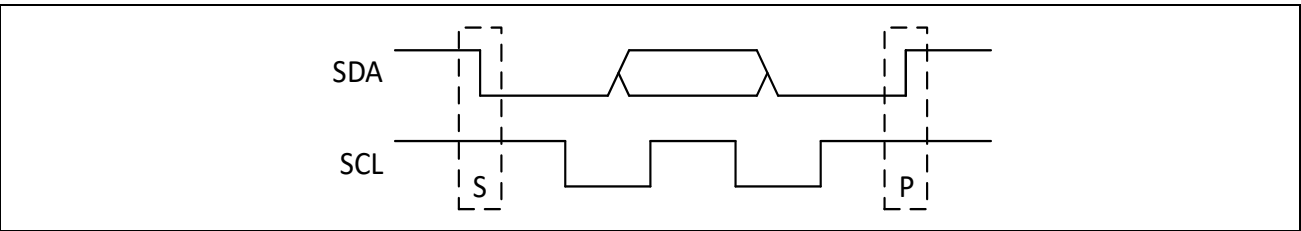
11.3.2 开始信号与停止信号

SDA 在 SCL 为高电平期间出现下降沿为开始信号，表示数据传输开始。I2C 模块配置为主机模式时，当发送 FIFO 不为空，则发出开始信号。

SDA 在 SCL 为高电平期间出现上升沿为停止信号，表示数据传输结束。I2C 模块配置为主机模块时，当发送 FIFO 为空，则发出停止信号。

数据传输时，SDA 仅在 SCL 为低电平期间发生改变。

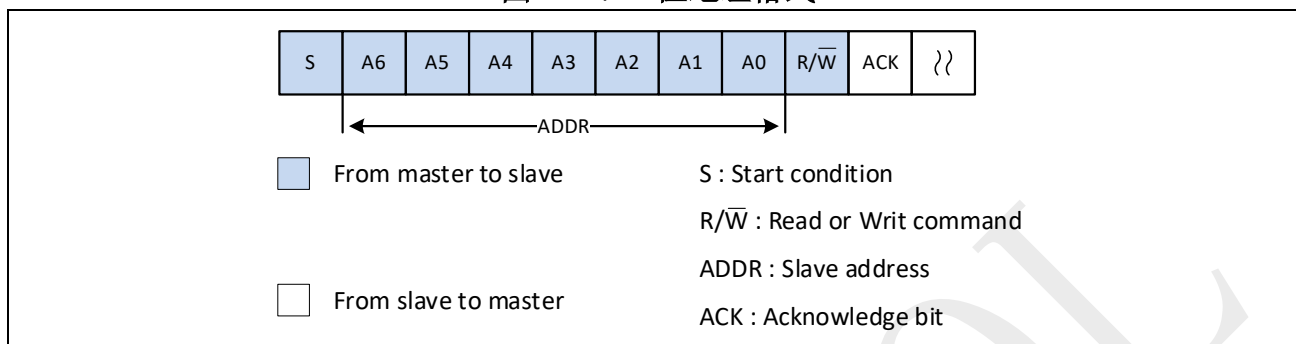
图 11-3: 开始与结束信号



### 11.3.3 地址模式

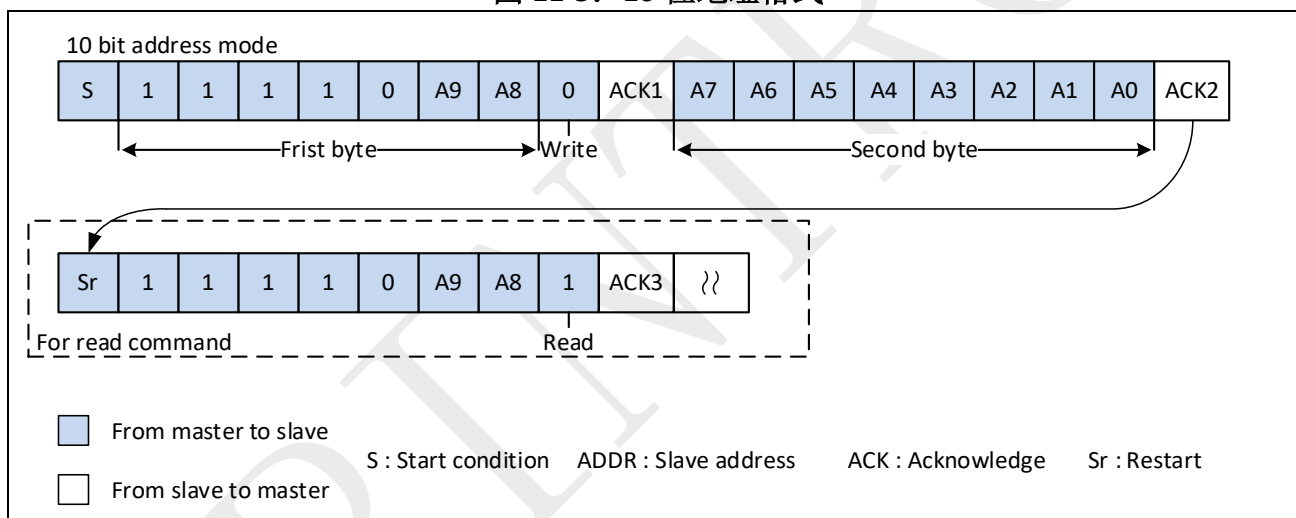
7 位地址寻址格式如图 11-4 所示，7 位地址之后是一个读写控制位，表示主机对从机的操作：0 表示写，1 表示读。当地址匹配，从机发出地址应答。

图 11-4：7 位地址格式



10 位地址寻址格式图 11-5 如所示，10 位地址需要两个字节表示。若主机读从机数据，则需要发送虚框中的第三个字节。

图 11-5：10 位地址格式



I2C 模块的地址模式由 I2CCTL.ADDRMODE 配置，主机模式下寻址由 I2CMADDR.TARADDR 配置。从机模式下地址由 I2CSADDR 配置。

主机模式下发送 FIFO 非空则进行寻址，并将 FIFO 中的数据发送输出。

### 11.3.4 应答与非应答

在传输完一个字节之后为应答位，接收机的 SDA 发出低电平表示应答，高电平表示非应答。非应答会在下面情况产生：

- 从机地址不匹配；
- 主机接收完毕；
- 从机作为接收机，接收 FIFO 满，且禁止了时钟拉伸（此时数据将丢失）；
- 高速主机码之后的应答位。

超快速模式为单向传输，所以接收机不会发从应答信号，应答位只是在形式上保留，不具备任何意义。

## 11.4 I2C 时序参数

### 11.4.1 电平时间配置

各速度模式下的 SCL 电平时间由表 11-2 确定，由此决定 SCL 的周期  $T_{SCL} = t_{low}(SCL) + t_{high}(SCL)$ 。表中的  $T_{CLK\_I2C}$  为 I2C 模块的时钟周期。

在各速度模式下 I2C 模块时钟频率有如下要求：

- 标准速度模式：  $f_{CLK\_I2C} \geq 2\text{MHz}$ ；
- 快速及快速增强模式：  $f_{CLK\_I2C} \geq 20\text{MHz}$ ；
- 高速模式：  $f_{CLK\_I2C} \geq 75\text{MHz}$ ；
- 超快速模式：  $f_{CLK\_I2C} \geq 100\text{MHz}$ 。

表 11-2：I2C 各速度模式 SCL 电平时间

| 速度模式       | 高电平时间 $t_{high}(SCL)$                                           | 低电平时间 $t_{low}(SCL)$                        |
|------------|-----------------------------------------------------------------|---------------------------------------------|
| 标准速度       | $(I2CSSCNT[31:16] + 3 + I2CSPKLEN[7:0]) \times T_{CLK\_I2C}$    | $(I2CSSCNT[15:0] + 1) \times T_{CLK\_I2C}$  |
| 快速<br>快速增强 | $(I2CFSCNT[31:16] + 3 + I2CSPKLEN[15:8]) \times T_{CLK\_I2C}$   | $(I2CFSCNT[15:0] + 1) \times T_{CLK\_I2C}$  |
| 高速         | $(I2CHSCNT[31:16] + 3 + I2CSPKLEN[23:16]) \times T_{CLK\_I2C}$  | $(I2CHSCNT[15:0] + 1) \times T_{CLK\_I2C}$  |
| 超快速        | $(I2CUFSCNT[31:16] + 3 + I2CSPKLEN[31:24]) \times T_{CLK\_I2C}$ | $(I2CUFSCNT[15:0] + 1) \times T_{CLK\_I2C}$ |

### 11.4.2 滤波配置

I2C 模块支持消抖滤波，以避免 I2C 总线的尖峰脉冲干扰对通信的影响。各速度模式下的滤波时间由表 11-3 确定。表中的  $T_{CLK\_I2C}$  为 I2C 模块的时钟周期。

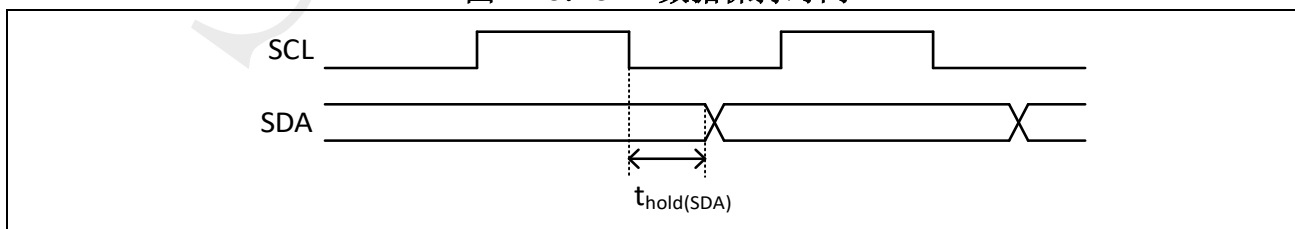
表 11-3：I2C 各速度模式滤波时间

| 速度模式    | 能滤除的最大尖峰脉冲宽度 $t_{spike}$               |
|---------|----------------------------------------|
| 标准速度    | $I2CSPKLEN[7:0] \times T_{CLK\_I2C}$   |
| 快速/快速增强 | $I2CSPKLEN[15:8] \times T_{CLK\_I2C}$  |
| 高速      | $I2CSPKLEN[23:16] \times T_{CLK\_I2C}$ |
| 超快速     | $I2CSPKLEN[31:24] \times T_{CLK\_I2C}$ |

### 11.4.3 数据保持时间配置

SDA 数据保持时间如图 11-6 所示， $t_{hold}(SDA) = (I2CSDAHOLD + 4) \times T_{CLK\_I2C}$ 。

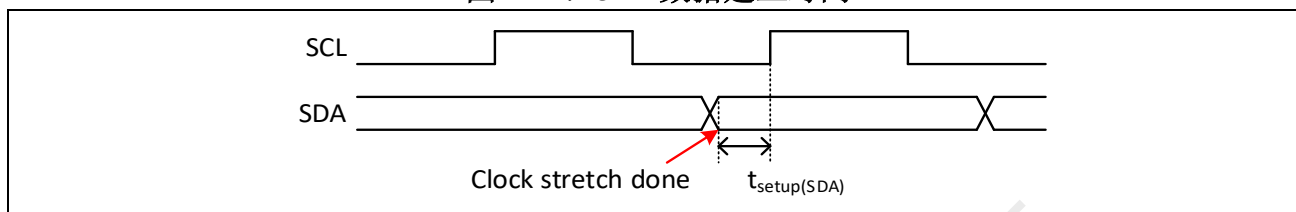
图 11-6：SDA 数据保持时间



#### 11.4.4 数据建立时间配置

如图 11-7 所示，SDA 的建立时间要求可以配置为： $t_{\text{setup}}(\text{SDA}) = (\text{I2CSDASETUP}+1) \times T_{\text{CLK\_I2C}}$ ，仅适用于从机发生时钟拉伸后的场合（超快速模式下无效），主机模式不需要配置。

图 11-7：SDA 数据建立时间



### 11.5 I2C 主机模式

主机模式下使用流程如下：

- 通过 I2CCTL.EN=0 关闭 I2C 模块以使能配置；
- 通过 I2CCTL 其他位段做必要的配置；
- 通过 I2CMADDR 寄存器配置寻址；
- 通过 I2CSSCNT、I2CFSCNT、I2CHSCNT、I2CUFSCNT 配置不同速率下的时钟电平时间；
- 通过 I2CSPKLEN 配置尖峰滤波；
- 通过 I2CSDAHOLD 配置数据保持时间寄存器；
- 通过 I2CCTL.EN=1 使能 I2C 模块；
- 通过 I2CDATACMD 写入读写命令和收发数据。

#### 11.5.1 主机发送数据

发送 FIFO 的位宽为 9，最高位表示读写命令（0 为写，1 为读），低 8 位表示数据。往 I2CDATACMD 寄存器写 0x0xx 可向发送 FIFO 中写入数据和发送命令。

当 I2C 模块检测到发送 FIFO 非空就会发起开始信号传输数据，当检测到发送 FIFO 为空就会发起停止信号结束传输。

在传输过程中从机非应答则会停止传输，并自动清空发送 FIFO。

**注意：** 主机模式下使能了广播请求（General Call）时，不应该往发送 FIFO 写读指令，否则将导致总线在产生完广播地址寻址字节后就结束传输。

#### 11.5.2 主机接收数据

往 I2CDATACMD 写 0x100 可向发送 FIFO 中写入读命令，当 I2C 模块检测到发送 FIFO 非空就会发起开始信号传输数据，当检测到发送 FIFO 为空就会发送非应答和停止信号结束传输。

在传输过程中从机非应答则会停止传输，并自动清空发送 FIFO。

主机接收到的数据存放在接收 FIFO 中，通过 I2CDATACMD 可以读取这些数据。

### 11.5.3 主机组合传输

如果连续写入发送 FIFO 中的命令发生改变，那么数据传输方向也会发生相应的改变。若 I2CCTL.RESTARTEN=0，主机会发送停止信号来改变传输方向；若 I2CCTL.RESTARTEN=1，主机会发送重复开始信号来改变传输方向。

主机接收到的数据存放在接收 FIFO 中，通过 I2CDATA CMD 可以读取这些数据。

## 11.6 I2C 从机模式

从机模式下使用流程如下：

- 通过 I2CCTL.EN=0 关闭 I2C 模块以使能配置；
- 通过 I2CCTL 其他位段做必要的配置；
- 通过 I2CSADDR 配置从机地址寄存器；
- 通过 I2CSSCNT、I2CFSCNT、I2CHSCNT、I2CUFSCNT 配置不同速率下的时钟电平时间；
- 通过 I2CSPKLEN 配置尖峰滤波；
- 通过 I2CSDAHOLD 配置数据保持时间；
- 通过 I2CSDASETUP 配置数据建立时间；
- 通过 I2CCTL.EN=1 使能 I2C 模块。

### 11.6.1 地址匹配

当主机寻址地址与 I2CSADDR 地址相同时表示地址匹配，从机回 ACK 并会处理主机的读写请求。

另外，若 I2CCTL.ACKID=1，从机会应答 1111\_1xx 设备号保留地址，同时处理主机的读请求；同理，若 I2CCTL.ACKGC=1，从机会应答 0000\_000 广播保留地址，同时接收主机广播数据。

### 11.6.2 从机发送数据

当主机有读请求时触发 RDREQ 中断事件，从机向发送 FIFO 写入数据和发送命令；之后若主机连续读数据，则触发 ACKDET 中断事件，从机向发送 FIFO 写入后续的数据。主机读请求结束时触发 RDDONE 中断事件。

当收到主机的设备号读请求时触发 DEVID 中断，从机通过连续写 3 次发送 FIFO 写入 24 位设备号。

为保证数据完整性，从机必须等到主机读请求后才能写发送 FIFO，否则触发 TXABRT 中断事件并记录 SINVLDTXD 发送中止源到 I2CTXABRTSRC 寄存器，同时清空发送 FIFO。

同理，当主机读请求结束时发送 FIFO 必须为空，否则触发 TXABRT 中断事件并记录 STARILTXD 发送中止源到 I2CTXABRTSRC 寄存器，同时清空发送 FIFO。

---

注意： 从机模式下不应该往发送 FIFO 写读指令，否则将导致发送中止以及 SDA 总线一直为低电平。

---

### 11.6.3 从机接收数据

从机会将接收数据存放在接收 FIFO 中，通过 I2CDATACMD 可以读取这些数据。从机接收到数据之后回 ACK 表示数据接收成功，若接收数据失败则回 NACK。

当收到广播地址时触发 GENCALL 中断事件，广播数据将存入接收 FIFO。

### 11.6.4 从机时钟拉伸

当 I2CCTL.CLKSTRETCH=1 时可以使能时钟拉伸功能，并在以下情况会发生时钟拉伸：

- 从机收到主机读请求之后，发送 FIFO 中尚未写入数据，导致从机无法发送数据；
- 从机在接收到数据后接收 FIFO 满，后续接收可能有数据丢失的风险。

### 11.7 I2C 发送中止

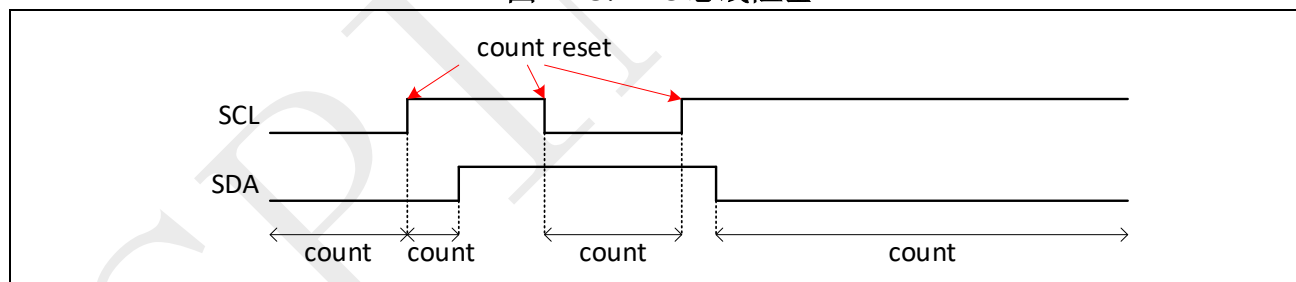
I2C 模块在发送数据时出现异常会中止传输，并且有以下行为：

- 清空发送 FIFO；
- 触发 TXABRT 中断事件，I2CRAWIF.TXABRT 置 1；
- 记录中止源在 I2CTXABRTSRC 寄存器中。

### 11.8 总线阻塞检测

如图 11-8 所示，当 SCL 或者 SDA 为低电平时开始计数总线阻塞时间，当 SCL 信号翻转计数复位。可以通过 I2CBSTH 设置总线阻塞时间阈值为  $t_{BS} = (I2CBSTH + 1) \times T_{CLK\_I2C}$ 。当检测到总线维持电平不变超过该阈值，则触发 BUSSTUCK 中断事件，I2CRAWIF.BUSSTUCK 置 1。

图 11-8: I2C 总线阻塞



## 11.9 寄存器

### 11.9.1 I2C 寄存器列表

表 11-4: I2C 模块基地址

| 外设模块 | 基地址         |
|------|-------------|
| I2C0 | 0x4000 7000 |
| I2C1 | 0x4000 7100 |
| I2C2 | 0x4000 7200 |

表 11-5: I2C 寄存器列表

| 寄存器                                 | 偏移地址   | 描述                  | 复位值        |
|-------------------------------------|--------|---------------------|------------|
| <a href="#"><u>I2CCTL*</u></a>      | 0x0000 | I2C 控制寄存器           | 0x00000780 |
| <a href="#"><u>I2CSADDR*</u></a>    | 0x0004 | I2C 从机地址寄存器         | 0x00000055 |
| <a href="#"><u>I2CMADDR</u></a>     | 0x0008 | I2C 主机寻址寄存器         | 0x00090055 |
| <a href="#"><u>I2CDATCMD</u></a>    | 0x0010 | I2C 数据和命令寄存器        | 0x00000000 |
| <a href="#"><u>I2CSSCNT*</u></a>    | 0x0018 | I2C 标准速度模式时钟计数寄存器   | 0x01F4024C |
| <a href="#"><u>I2CFSCNT*</u></a>    | 0x001C | I2C 快速模式时钟计数寄存器     | 0x004B00A3 |
| <a href="#"><u>I2CHSCNT*</u></a>    | 0x0020 | I2C 高速模式时钟计数寄存器     | 0x00080014 |
| <a href="#"><u>I2CUFSCNT*</u></a>   | 0x0024 | I2C 超快速模式时钟计数寄存器    | 0x00050005 |
| <a href="#"><u>I2CUFSBFT*</u></a>   | 0x0028 | I2C 超快速模式总线释放时间寄存器  | 0x00000010 |
| <a href="#"><u>I2CSPKLEN*</u></a>   | 0x002C | I2C 尖峰抑制阈值寄存器       | 0x02040606 |
| <a href="#"><u>I2CSDASETUP*</u></a> | 0x0030 | I2C 数据建立时间寄存器       | 0x00000064 |
| <a href="#"><u>I2CSDAHOLD*</u></a>  | 0x0034 | I2C 数据保持时间寄存器       | 0x00000001 |
| <a href="#"><u>I2CTXLVL</u></a>     | 0x0038 | I2C 发送 FIFO 当前长度寄存器 | 0x00000000 |
| <a href="#"><u>I2CRXLVL</u></a>     | 0x003C | I2C 接收 FIFO 当前长度寄存器 | 0x00000000 |
| <a href="#"><u>I2CTXTH*</u></a>     | 0x0040 | I2C 发送 FIFO 长度阈值寄存器 | 0x00000000 |
| <a href="#"><u>I2CRXTH*</u></a>     | 0x0044 | I2C 接收 FIFO 长度阈值寄存器 | 0x00000000 |
| <a href="#"><u>I2CSTS</u></a>       | 0x0048 | I2C 状态寄存器           | 0x0000000C |
| <a href="#"><u>I2CTXABRTSRC</u></a> | 0x004C | I2C 发送中止源寄存器        | 0x00000000 |
| <a href="#"><u>I2CRAWIF</u></a>     | 0x0050 | I2C 中断原始事件标志寄存器     | 0x00000000 |
| <a href="#"><u>I2CIF</u></a>        | 0x0054 | I2C 中断标志寄存器         | 0x00000000 |
| <a href="#"><u>I2CIE*</u></a>       | 0x0058 | I2C 中断使能寄存器         | 0x00000000 |
| <a href="#"><u>I2CIC</u></a>        | 0x0060 | I2C 中断清除寄存器         | 0x00000000 |
| <a href="#"><u>I2CBSTH*</u></a>     | 0x0068 | I2C 总线阻塞阈值寄存器       | 0xFFFFFFFF |
| <a href="#"><u>I2CREGKEY</u></a>    | 0x0070 | I2C 模块写使能寄存器        | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 I2CREGKEY=0x1ACCE551 时才可以改写。



## 11.9.2 I2C 寄存器

### 11.9.2.1 I2C 控制寄存器（I2CCTL）

表 11-6: I2C 控制寄存器（I2CCTL）位段定义

| I2CCTL (I2C Control Register)                                |          |       |    |         |            |         |       |
|--------------------------------------------------------------|----------|-------|----|---------|------------|---------|-------|
| Access: I2C->I2CCTL    Offset: 0x0000    Default: 0x00000780 |          |       |    |         |            |         |       |
| 31                                                           | 30       | 29    | 28 | 27      | 26         | 25      | 24    |
| RESERVED                                                     |          |       |    |         |            |         |       |
| 23                                                           | 22       | 21    | 20 | 19      | 18         | 17      | 16    |
| RESERVED                                                     |          |       |    |         |            | CLRTF   | CLRRF |
| 15                                                           | 14       | 13    | 12 | 11      | 10         | 9       | 8     |
| RESERVED                                                     |          |       |    | SWAPPIN | CLKSTRETCH | ACKID   | ACKGC |
| 7                                                            | 6        | 5     | 4  | 3       | 2          | 1       | 0     |
| RESTARTEN                                                    | ADDRMODE | SPEED |    | MODE    | TXDMAEN    | RXDMAEN | EN    |

表 11-7: I2C 控制寄存器（I2CCTL）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                   |
|-------|----------------|-----|-----|----------------------------------------------------------------------------------------------------------------------|
| 31:18 | RESERVED_31_18 | RO  | 0x0 | 保留                                                                                                                   |
| 17    | CLRTF          | W1C | 0x0 | 清除发送 FIFO，本位段不影响发送移位寄存器<br>本位段不受 I2CREGKEY 限制，始终可写。<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除发送 FIFO 并设置 TXREQ 标志位；<br>本位段自动清零 |
| 16    | CLRRF          | W1C | 0x0 | 清除接收 FIFO，本位段不影响接收移位寄存器<br>本位段不受 I2CREGKEY 限制，始终可写。<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除接收 FIFO，本位段自动清零                   |
| 15:12 | RESERVED_15_12 | RO  | 0x0 | 保留                                                                                                                   |
| 11    | SWAPPIN        | RW  | 0x0 | 交换 SDA 和 SCL 引脚功能<br>本位段仅当 I2CCTL.EN 为 0 时才能改写<br>0: SCL 用作时钟，SDA 用作数据<br>1: SCL 用作数据，SDA 用作时钟                       |
| 10    | CLKSTRETCH     | RW  | 0x1 | 时钟拉伸使能<br>本位段仅适用于非超快速下的从机模式，且仅当 I2CCTL.EN=0 才能改写<br>0: 关闭<br>1: 使能                                                   |
| 9     | ACKID          | RW  | 0x1 | 对于设备 ID 寻址（1111 1XX）的应答<br>本位段仅适用于从机模式，且仅当 I2CCTL.EN=0 才能改写<br>0: 非应答（NACK）<br>1: 应答（ACK）                            |

| 位段  | 位段名       | 属性 | 复位值 | 描述                                                                                                                |
|-----|-----------|----|-----|-------------------------------------------------------------------------------------------------------------------|
| 8   | ACKGC     | RW | 0x1 | 对于广播寻址（General Call: 0000 000）的应答<br>本位段仅适用于从机模式，且仅当 I2CCTL.EN=0 才能改写<br>0: 非应答（NACK）<br>1: 应答（ACK）               |
| 7   | RESTARTEN | RW | 0x1 | 重新开始（RESTART）使能<br>本位段不适用于超快速模式，仅当 I2CCTL.EN=0 才能改写<br>0: 关闭<br>1: 使能                                             |
| 6   | ADDRMODE  | RW | 0x0 | 寻址模式<br>本位段仅当 I2CCTL.EN=0 才能改写<br>0: 7 位寻址<br>1: 10 位寻址                                                           |
| 5:4 | SPEED     | RW | 0x0 | 速度模式<br>本位段仅当 I2CCTL.EN=0 才能改写<br>0: 标准速度模式（≤100Kbps）<br>1: 快速模式（≤1Mbps）<br>2: 高速模式（≤3.4Mbps）<br>3: 超快速模式（≤5Mbps） |
| 3   | MODE      | RW | 0x0 | 工作模式<br>本位段仅当 I2CCTL.EN=0 才能改写<br>0: 主机模式<br>1: 从机模式                                                              |
| 2   | TXDMAEN   | RW | 0x0 | 发送器 DMA 使能<br>本位段仅当 I2CCTL.EN=0 才能改写<br>0: 关闭<br>1: 使能                                                            |
| 1   | RXDMAEN   | RW | 0x0 | 接收器 DMA 使能<br>本位段仅当 I2CCTL.EN=0 才能改写<br>0: 关闭<br>1: 使能                                                            |
| 0   | EN        | RW | 0x0 | I2C 模块使能<br>0: 关闭<br>1: 使能                                                                                        |

### 11.9.2.2 I2C 从机地址寄存器 (I2CSADDR)

表 11-8: I2C 从机地址寄存器 (I2CSADDR) 位段定义

| I2CSADDR (I2C Slave Address Register)                          |    |    |    |    |    |     |    |
|----------------------------------------------------------------|----|----|----|----|----|-----|----|
| Access: I2C->I2CSADDR    Offset: 0x0004    Default: 0x00000055 |    |    |    |    |    |     |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                       |    |    |    |    |    |     |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                       |    |    |    |    |    |     |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                       |    |    |    |    |    | VAL |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| VAL                                                            |    |    |    |    |    |     |    |

表 11-9: I2C 从机地址寄存器 (I2CSADDR) 位段描述

| 位段    | 位段名            | 属性 | 复位值  | 描述                                 |
|-------|----------------|----|------|------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0  | 保留                                 |
| 9:0   | VAL            | RW | 0x55 | I2C 从机地址<br>本位段仅当 I2CCTL.EN=0 才能改写 |

## 11.9.2.3 I2C 主机寻址寄存器 (I2CMADDR)

表 11-10: I2C 主机寻址寄存器 (I2CMADDR) 位段定义

| I2CMADDR (I2C Master Address Register)                         |    |    |    |    |    |            |    |
|----------------------------------------------------------------|----|----|----|----|----|------------|----|
| Access: I2C->I2CMADDR    Offset: 0x0008    Default: 0x00090055 |    |    |    |    |    |            |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25         | 24 |
| RESERVED                                                       |    |    |    |    |    | SPECIALCMD |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17         | 16 |
| HSMCODE                                                        |    |    |    |    |    |            |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9          | 8  |
| RESERVED                                                       |    |    |    |    |    | TARADDR    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1          | 0  |
| TARADDR                                                        |    |    |    |    |    |            |    |

表 11-11: I2C 主机寻址寄存器 (I2CMADDR) 位段描述

| 位段    | 位段名            | 属性 | 复位值  | 描述                                                                                  |
|-------|----------------|----|------|-------------------------------------------------------------------------------------|
| 31:26 | RESERVED_31_26 | RO | 0x0  | 保留                                                                                  |
| 25:24 | SPECIALCMD     | RW | 0x0  | 特殊寻址命令<br>0: 普通寻址 (按照 TARADDR 位段)<br>2: 广播请求 (General Call)<br>3: 开始字节 (Start Byte) |
| 23:16 | HSMCODE        | RW | 0x9  | 高速模式下 8 位主机代码 (格式为 00001XXX)                                                        |
| 15:10 | RESERVED_15_10 | RO | 0x0  | 保留                                                                                  |
| 9:0   | TARADDR        | RW | 0x55 | 主机传输的目标地址<br>本位段在发起广播请求时会被忽略                                                        |

### 11.9.2.4 I2C 数据和命令寄存器 (I2CDATCMD)

表 11-12: I2C 数据和命令寄存器 (I2CDATCMD) 位段定义

| I2CDATCMD (I2C Data and Command Register) |    |                |    |                     |    |    |     |
|-------------------------------------------|----|----------------|----|---------------------|----|----|-----|
| Access: I2C->I2CDATCMD                    |    | Offset: 0x0010 |    | Default: 0x00000000 |    |    |     |
| 31                                        | 30 | 29             | 28 | 27                  | 26 | 25 | 24  |
| RESERVED                                  |    |                |    |                     |    |    |     |
| 23                                        | 22 | 21             | 20 | 19                  | 18 | 17 | 16  |
| RESERVED                                  |    |                |    |                     |    |    |     |
| 15                                        | 14 | 13             | 12 | 11                  | 10 | 9  | 8   |
| RESERVED                                  |    |                |    |                     |    |    | CMD |
| 7                                         | 6  | 5              | 4  | 3                   | 2  | 1  | 0   |
| DATA                                      |    |                |    |                     |    |    |     |

表 11-13: I2C 数据和命令寄存器 (I2CDATCMD) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                             |
|------|---------------|----|-----|----------------------------------------------------------------|
| 31:9 | RESERVED_31_9 | RO | 0x0 | 保留                                                             |
| 8    | CMD           | RW | 0x0 | 读写控制<br>0: 写<br>1: 读 (主机模式下使能了广播请求时或者从机模式下本位段不应写 1)            |
| 7:0  | DATA          | RW | 0x0 | I2C 总线上发送或者接受的数据<br>写本寄存器往发送 FIFO 放入数据;<br>读本寄存器从接收 FIFO 取出数据。 |

## 11.9.2.5 I2C 标准速度模式时钟计数寄存器 (I2CSSCNT)

表 11-14: I2C 标准速度模式时钟计数寄存器 (I2CSSCNT) 位段定义

| I2CSSCNT (I2C Standard Speed Mode SCL Count Register)          |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: I2C->I2CSSCNT    Offset: 0x0018    Default: 0x01F4024C |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| HCNT                                                           |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| HCNT                                                           |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| LCNT                                                           |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| LCNT                                                           |    |    |    |    |    |    |    |

表 11-15: I2C 标准速度模式时钟计数寄存器 (I2CSSCNT) 位段描述

| 位段    | 位段名  | 属性 | 复位值   | 描述                                                                                      |
|-------|------|----|-------|-----------------------------------------------------------------------------------------|
| 31:16 | HCNT | RW | 0x1F4 | 设置标准速度下时钟高电平持续时间为 (HCNT + 1) 个 I2C 模块时钟<br>本位段仅当 I2CCTL.EN=0 才能改写<br>写入的值应当至少为 5，否则会被忽略 |
| 15:0  | LCNT | RW | 0x24C | 设置标准速度下时钟低电平持续时间为 (LCNT + 1) 个 I2C 模块时钟<br>本位段仅当 I2CCTL.EN=0 才能改写<br>写入的值应当至少为 4，否则会被忽略 |

### 11.9.2.6 I2C 快速模式时钟计数寄存器 (I2CFSCNT)

表 11-16: I2C 快速模式时钟计数寄存器 (I2CFSCNT) 位段定义

| I2CFSCNT (I2C Fast Speed Mode SCL Count Register)              |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: I2C->I2CFSCNT    Offset: 0x001C    Default: 0x004B00A3 |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| HCNT                                                           |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| HCNT                                                           |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| LCNT                                                           |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| LCNT                                                           |    |    |    |    |    |    |    |

表 11-17: I2C 快速模式时钟计数寄存器 (I2CFSCNT) 位段描述

| 位段    | 位段名  | 属性 | 复位值  | 描述                                                                                      |
|-------|------|----|------|-----------------------------------------------------------------------------------------|
| 31:16 | HCNT | RW | 0x4B | 设置快速模式下时钟高电平持续时间为 (HCNT + 1) 个 I2C 模块时钟<br>本位段仅当 I2CCTL.EN=0 才能改写<br>写入的值应当至少为 5，否则会被忽略 |
| 15:0  | LCNT | RW | 0xA3 | 设置快速模式下时钟低电平持续时间为 (LCNT + 1) 个 I2C 模块时钟<br>本位段仅当 I2CCTL.EN=0 才能改写<br>写入的值应当至少为 4，否则会被忽略 |



### 11.9.2.7 I2C 高速模式时钟计数寄存器 (I2CFSCNT)

表 11-18: I2C 高速模式时钟计数寄存器 (I2CFSCNT) 位段定义

|                                                                |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| I2CHSCNT (I2C High Speed Mode SCL Count Register)              |    |    |    |    |    |    |    |
| Access: I2C->I2CHSCNT    Offset: 0x0020    Default: 0x00080014 |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| HCNT                                                           |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| HCNT                                                           |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| LCNT                                                           |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| LCNT                                                           |    |    |    |    |    |    |    |

表 11-19: I2C 高速模式时钟计数寄存器 (I2CFSCNT) 位段描述

| 位段    | 位段名  | 属性 | 复位值  | 描述                                                                                      |
|-------|------|----|------|-----------------------------------------------------------------------------------------|
| 31:16 | HCNT | RW | 0x8  | 设置高速模式下时钟高电平持续时间为 (HCNT + 1) 个 I2C 模块时钟<br>本位段仅当 I2CCTL.EN=0 才能改写<br>写入的值应当至少为 5，否则会被忽略 |
| 15:0  | LCNT | RW | 0x14 | 设置高速模式下时钟低电平持续时间为 (LCNT + 1) 个 I2C 模块时钟<br>本位段仅当 I2CCTL.EN=0 才能改写<br>写入的值应当至少为 4，否则会被忽略 |

### 11.9.2.8 I2C 超快速模式时钟计数寄存器 (I2CUFSCNT)

表 11-20: I2C 超快速模式时钟计数寄存器 (I2CUFSCNT) 位段定义

| I2CUFSCNT (I2C Ultra Fast Speed Mode SCL Count Register) |    |                |    |                     |    |    |    |
|----------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: I2C->I2CUFSCNT                                   |    | Offset: 0x0024 |    | Default: 0x00050005 |    |    |    |
| 31                                                       | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| HCNT                                                     |    |                |    |                     |    |    |    |
| 23                                                       | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| HCNT                                                     |    |                |    |                     |    |    |    |
| 15                                                       | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| LCNT                                                     |    |                |    |                     |    |    |    |
| 7                                                        | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| LCNT                                                     |    |                |    |                     |    |    |    |

表 11-21: I2C 超快速模式时钟计数寄存器 (I2CUFSCNT) 位段描述

| 位段    | 位段名  | 属性 | 复位值 | 描述                                                                                       |
|-------|------|----|-----|------------------------------------------------------------------------------------------|
| 31:16 | HCNT | RW | 0x5 | 设置超快速模式下时钟高电平持续时间为 (HCNT + 1) 个 I2C 模块时钟<br>本位段仅当 I2CCTL.EN=0 才能改写<br>写入的值应当至少为 5，否则会被忽略 |
| 15:0  | LCNT | RW | 0x5 | 设置超快模式下时钟低电平持续时间为 (LCNT + 1) 个 I2C 模块时钟<br>本位段仅当 I2CCTL.EN=0 才能改写<br>写入的值应当至少为 4，否则会被忽略  |

### 11.9.2.9 I2C 超快速模式总线释放时间寄存器 (I2CUFSBFT)

表 11-22: I2C 超快速模式总线释放时间寄存器 (I2CUFSBFT) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| I2CUFSBFT (I2C Ultra Fast Speed Mode Bus Free Time Register)    |    |    |    |    |    |    |    |
| Access: I2C->I2CUFSBFT    Offset: 0x0028    Default: 0x00000010 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 11-23: I2C 超快速模式总线释放时间寄存器 (I2CUFSBFT) 位段描述

| 位段    | 位段名            | 属性 | 复位值  | 描述                                                                                       |
|-------|----------------|----|------|------------------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0  | 保留                                                                                       |
| 15:0  | VAL            | RW | 0x10 | 设置超快模式下总线释放时间（即帧间隙）为 (VAL+ 1)个 I2C 模块时钟<br>本位段仅当 I2CCTL.EN=0 才能改写<br>写入的值应当至少为 16，否则会被忽略 |

## 11.9.2.10 I2C 尖峰抑制阈值寄存器 (I2CSPKLEN)

表 11-24: I2C 尖峰抑制阈值寄存器 (I2CSPKLEN) 位段定义

| I2CSPKLEN (I2C Spike Suppresion Threshold Register)             |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: I2C->I2CSPKLEN    Offset: 0x002C    Default: 0x02040606 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| UFMSPKTH                                                        |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| HMSPKTH                                                         |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| FMSPKTH                                                         |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| SMSPKTH                                                         |    |    |    |    |    |    |    |

表 11-25: I2C 尖峰抑制阈值寄存器 (I2CSPKLEN) 位段描述

| 位段    | 位段名      | 属性 | 复位值 | 描述                                                                                                            |
|-------|----------|----|-----|---------------------------------------------------------------------------------------------------------------|
| 31:24 | UFMSPKTH | RW | 0x2 | 超快速模式下, SCL 或者 SDA 信号线上持续时间不超过 (UFMSPKTH + 1) 个模块时钟周期的尖峰均被抑制<br>本位段仅当 I2CCTL.EN=0 才能改写<br>写入的值应当至少为 1, 否则会被忽略 |
| 23:16 | HMSPKTH  | RW | 0x4 | 高速模式下, SCL 或者 SDA 信号线上持续时间不超过 (HMSPKTH + 1) 个模块时钟周期的尖峰均被抑制<br>本位段仅当 I2CCTL.EN=0 才能改写<br>写入的值应当至少为 1, 否则会被忽略   |
| 15:8  | FMSPKTH  | RW | 0x6 | 快速模式下, SCL 或者 SDA 信号线上持续时间不超过 (FMSPKTH + 1) 个模块时钟周期的尖峰均被抑制<br>本位段仅当 I2CCTL.EN=0 才能改写<br>写入的值应当至少为 1, 否则会被忽略   |
| 7:0   | SMSPKTH  | RW | 0x6 | 标准速度模式下, SCL 或者 SDA 信号线上持续时间不超过 (SMSPKTH + 1) 个模块时钟周期的尖峰均被抑制<br>本位段仅当 I2CCTL.EN=0 才能改写                        |

## 11.9.2.11 I2C 数据建立时间寄存器 (I2CSDASETUP)

表 11-26: I2C 数据建立时间寄存器 (I2CSDASETUP) 位段定义

| I2CSDASETUP (I2C SDA Setup Time Register)                         |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: I2C->I2CSDASETUP    Offset: 0x0030    Default: 0x00000064 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                          |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                          |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| RESERVED                                                          |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                               |    |    |    |    |    |    |    |

表 11-27: I2C 数据建立时间寄存器 (I2CSDASETUP) 位段描述

| 位段   | 位段名           | 属性 | 复位值  | 描述                                                                                                                  |
|------|---------------|----|------|---------------------------------------------------------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0  | 保留                                                                                                                  |
| 7:0  | VAL           | RW | 0x64 | 设置 SDA 的建立时间为 (VAL+1) 个模块时钟。<br>本位段仅当 I2CCTL.EN=0 才能改写，仅适用于从机发生时钟拉伸后的场合（超快速模式下无效），主机模式不需要配置。<br>写入的值应当至少为 2，否则会被忽略。 |

## 11.9.2.12 I2C 数据保持时间寄存器 (I2CSDAHOLD)

表 11-28: I2C 数据保持时间寄存器 (I2CSDAHOLD) 位段定义

| I2CSDAHOLD (I2C SDA Hold Time Register)                          |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: I2C->I2CSDAHOLD    Offset: 0x0034    Default: 0x00000001 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                              |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 11-29: I2C 数据保持时间寄存器 (I2CSDAHOLD) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                    |
|-------|----------------|----|-----|-------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                    |
| 15:0  | VAL            | RW | 0x1 | 设置 SDA 的保持时间为 (VAL+1) 个模块时钟<br>本位段仅当 I2CCTL.EN=0 才能改写 |

### 11.9.2.13 I2C 发送 FIFO 当前长度寄存器 (I2CTXLVL)

表 11-30: I2C 发送 FIFO 当前长度寄存器 (I2CTXLVL) 位段定义

|                                                                |    |    |     |    |    |    |    |
|----------------------------------------------------------------|----|----|-----|----|----|----|----|
| I2CTXLVL (I2C Transmit FIFO Level Register)                    |    |    |     |    |    |    |    |
| Access: I2C->I2CTXLVL    Offset: 0x0038    Default: 0x00000000 |    |    |     |    |    |    |    |
| 31                                                             | 30 | 29 | 28  | 27 | 26 | 25 | 24 |
| RESERVED                                                       |    |    |     |    |    |    |    |
| 23                                                             | 22 | 21 | 20  | 19 | 18 | 17 | 16 |
| RESERVED                                                       |    |    |     |    |    |    |    |
| 15                                                             | 14 | 13 | 12  | 11 | 10 | 9  | 8  |
| RESERVED                                                       |    |    |     |    |    |    |    |
| 7                                                              | 6  | 5  | 4   | 3  | 2  | 1  | 0  |
| RESERVED                                                       |    |    | VAL |    |    |    |    |

表 11-31: I2C 发送 FIFO 当前长度寄存器 (I2CTXLVL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                     |
|------|---------------|----|-----|------------------------|
| 31:5 | RESERVED_31_5 | RO | 0x0 | 保留                     |
| 4:0  | VAL           | RO | 0x0 | 发送 FIFO 内保存的字节数 (0~16) |

### 11.9.2.14 I2C 接收 FIFO 当前长度寄存器 (I2CRXLVL)

表 11-32: I2C 接收 FIFO 当前长度寄存器 (I2CRXLVL) 位段定义

|                                                                |    |    |     |    |    |    |    |
|----------------------------------------------------------------|----|----|-----|----|----|----|----|
| I2CRXLVL (I2C Receive FIFO Level Register)                     |    |    |     |    |    |    |    |
| Access: I2C->I2CRXLVL    Offset: 0x003C    Default: 0x00000000 |    |    |     |    |    |    |    |
| 31                                                             | 30 | 29 | 28  | 27 | 26 | 25 | 24 |
| RESERVED                                                       |    |    |     |    |    |    |    |
| 23                                                             | 22 | 21 | 20  | 19 | 18 | 17 | 16 |
| RESERVED                                                       |    |    |     |    |    |    |    |
| 15                                                             | 14 | 13 | 12  | 11 | 10 | 9  | 8  |
| RESERVED                                                       |    |    |     |    |    |    |    |
| 7                                                              | 6  | 5  | 4   | 3  | 2  | 1  | 0  |
| RESERVED                                                       |    |    | VAL |    |    |    |    |

表 11-33: I2C 接收 FIFO 当前长度寄存器 (I2CRXLVL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                     |
|------|---------------|----|-----|------------------------|
| 31:5 | RESERVED_31_5 | RO | 0x0 | 保留                     |
| 4:0  | VAL           | RO | 0x0 | 接收 FIFO 内保存的字节数 (0~16) |

## 11.9.2.15 I2C 发送 FIFO 长度阈值寄存器 (I2CTXTH)

表 11-34: I2C 发送 FIFO 长度阈值寄存器 (I2CTXTH) 位段定义

| I2CTXTH (I2C Transmit FIFO Threshold Register)                |    |    |    |     |    |    |    |
|---------------------------------------------------------------|----|----|----|-----|----|----|----|
| Access: I2C->I2CTXTH    Offset: 0x0040    Default: 0x00000000 |    |    |    |     |    |    |    |
| 31                                                            | 30 | 29 | 28 | 27  | 26 | 25 | 24 |
| RESERVED                                                      |    |    |    |     |    |    |    |
| 23                                                            | 22 | 21 | 20 | 19  | 18 | 17 | 16 |
| RESERVED                                                      |    |    |    |     |    |    |    |
| 15                                                            | 14 | 13 | 12 | 11  | 10 | 9  | 8  |
| RESERVED                                                      |    |    |    |     |    |    |    |
| 7                                                             | 6  | 5  | 4  | 3   | 2  | 1  | 0  |
| RESERVED                                                      |    |    |    | VAL |    |    |    |

表 11-35: I2C 发送 FIFO 长度阈值寄存器 (I2CTXTH) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                               |
|------|---------------|----|-----|--------------------------------------------------|
| 31:4 | RESERVED_31_4 | RO | 0x0 | 保留                                               |
| 3:0  | VAL           | RW | 0x0 | 设置阈值使得 $I2CTXLVL \leq I2CTXTH$ 时触发发送 FIFO 数据写入请求 |

## 11.9.2.16 I2C 接收 FIFO 长度阈值寄存器 (I2CRXTH)

表 11-36: I2C 接收 FIFO 长度阈值寄存器 (I2CRXTH) 位段定义

| I2CRXTH (I2C Receive FIFO Threshold Register)                 |    |    |    |     |    |    |    |
|---------------------------------------------------------------|----|----|----|-----|----|----|----|
| Access: I2C->I2CRXTH    Offset: 0x0044    Default: 0x00000000 |    |    |    |     |    |    |    |
| 31                                                            | 30 | 29 | 28 | 27  | 26 | 25 | 24 |
| RESERVED                                                      |    |    |    |     |    |    |    |
| 23                                                            | 22 | 21 | 20 | 19  | 18 | 17 | 16 |
| RESERVED                                                      |    |    |    |     |    |    |    |
| 15                                                            | 14 | 13 | 12 | 11  | 10 | 9  | 8  |
| RESERVED                                                      |    |    |    |     |    |    |    |
| 7                                                             | 6  | 5  | 4  | 3   | 2  | 1  | 0  |
| RESERVED                                                      |    |    |    | VAL |    |    |    |

表 11-37: I2C 接收 FIFO 长度阈值寄存器 (I2CRXTH) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                            |
|------|---------------|----|-----|-----------------------------------------------|
| 31:4 | RESERVED_31_4 | RO | 0x0 | 保留                                            |
| 3:0  | VAL           | RW | 0x0 | 设置阈值使得 $I2CRXLVL > I2CRXTH$ 时触发接收 FIFO 数据读取请求 |



### 11.9.2.17 I2C 状态寄存器 (I2CSTS)

表 11-38: I2C 状态寄存器 (I2CSTS) 位段定义

|                                                              |    |    |      |      |         |        |      |
|--------------------------------------------------------------|----|----|------|------|---------|--------|------|
| I2CSTS (I2C Status Register)                                 |    |    |      |      |         |        |      |
| Access: I2C->I2CSTS    Offset: 0x0048    Default: 0x0000000C |    |    |      |      |         |        |      |
| 31                                                           | 30 | 29 | 28   | 27   | 26      | 25     | 24   |
| RESERVED                                                     |    |    |      |      |         |        |      |
| 23                                                           | 22 | 21 | 20   | 19   | 18      | 17     | 16   |
| RESERVED                                                     |    |    |      |      |         |        |      |
| 15                                                           | 14 | 13 | 12   | 11   | 10      | 9      | 8    |
| RESERVED                                                     |    |    |      |      |         |        |      |
| 7                                                            | 6  | 5  | 4    | 3    | 2       | 1      | 0    |
| RESERVED                                                     |    |    | BUSY | TXNF | TXEMPTY | RXFULL | RXNE |

表 11-39: I2C 状态寄存器 (I2CSTS) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                              |
|------|---------------|----|-----|-----------------------------------------------------------------|
| 31:5 | RESERVED_31_5 | RO | 0x0 | 保留                                                              |
| 4    | BUSY          | RO | 0x0 | I2C 忙<br>0: 空闲<br>1: 忙                                          |
| 3    | TXNF          | RO | 0x1 | 发送 FIFO 非满<br>0: 发送 FIFO 满, 无法存放新数据<br>1: 发送 FIFO 含至少一个空位可以存放数据 |
| 2    | TXEMPTY       | RO | 0x1 | 发送 FIFO 空<br>0: 发送 FIFO 里有至少一个数据<br>1: 发送 FIFO 为空 (没有数据)        |
| 1    | RXFULL        | RO | 0x0 | 接收 FIFO 满<br>0: 接收 FIFO 含至少一个空位可以存放数据<br>1: 接收 FIFO 满, 无法存放新数据  |
| 0    | RXNE          | RO | 0x0 | 接收 FIFO 非空<br>0: 接收 FIFO 为空 (没有数据)<br>1: 接收 FIFO 里有至少一个数据       |

## 11.9.2.18 I2C 发送中止源寄存器 (I2CTXABRTSRC)

表 11-40: I2C 发送中止源寄存器 (I2CTXABRTSRC) 位段定义

| I2CTXABRTSRC (I2C Transmit Abort Source Register)                  |          |           |           |          |                |                |             |
|--------------------------------------------------------------------|----------|-----------|-----------|----------|----------------|----------------|-------------|
| Access: I2C->I2CTXABRTSRC    Offset: 0x004C    Default: 0x00000000 |          |           |           |          |                |                |             |
| 31                                                                 | 30       | 29        | 28        | 27       | 26             | 25             | 24          |
| RESERVED                                                           |          |           |           |          |                |                |             |
| 23                                                                 | 22       | 21        | 20        | 19       | 18             | 17             | 16          |
| RESERVED                                                           |          |           |           |          |                |                | RDERR       |
| 15                                                                 | 14       | 13        | 12        | 11       | 10             | 9              | 8           |
| SCMDERR                                                            | SARBLOST | STRAILTXD | SINVLDTXD | MARBLOST | RD10BNORESTART | STARTNORESTART | HSNORESTART |
| 7                                                                  | 6        | 5         | 4         | 3        | 2              | 1              | 0           |
| STARTACK                                                           | HSMCAACK | GCREAD    | GCNACK    | TXDNACK  | ADDR10B2NACK   | ADDR10B1NACK   | ADDR7BNACK  |

表 11-41: I2C 发送中止源寄存器 (I2CTXABRTSRC) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                    |
|-------|----------------|----|-----|-----------------------------------------------------------------------|
| 31:17 | RESERVED_31_17 | RO | 0x0 | 保留                                                                    |
| 16    | RDERR          | RO | 0x0 | 超快速模式下发出读命令<br>本位段仅适用于主机模式<br>0: 事件未发生<br>1: 事件已发生                    |
| 15    | SCMDERR        | RO | 0x0 | 从机模式下发出读命令<br>本位段仅适用于非超快速的从机模式<br>0: 事件未发生<br>1: 事件已发生                |
| 14    | SARBLOST       | RO | 0x0 | 从机给外部主机发送时失去仲裁<br>本位段仅适用于非超快速的从机模式<br>0: 事件未发生<br>1: 事件已发生            |
| 13    | STRAILTXD      | RO | 0x0 | 从机发送 FIFO 非空时收到外部主机的 NACK<br>本位段仅适用于非超快速的从机模式<br>0: 事件未发生<br>1: 事件已发生 |
| 12    | SINVLDTXD      | RO | 0x0 | 未收到外部主机读请求时写了发送 FIFO<br>本位段仅适用于从机模式<br>0: 事件未发生<br>1: 事件已发生           |
| 11    | MARBLOST       | RO | 0x0 | 主机发送时失去仲裁<br>本位段仅适用于非超快速的主机模式<br>0: 事件未发生<br>1: 事件已发生                 |

| 位段 | 位段名            | 属性 | 复位值 | 描述                                                                    |
|----|----------------|----|-----|-----------------------------------------------------------------------|
| 10 | RD10BNORESTART | RO | 0x0 | 禁用 RESTART 时发出 10 位寻址的读命令<br>本位段仅适用于非超快速的主机模式<br>0: 事件未发生<br>1: 事件已发生 |
| 9  | STARTNORESTART | RO | 0x0 | 禁用 RESTART 时发出开始字节<br>本位段仅适用主机模式<br>0: 事件未发生<br>1: 事件已发生              |
| 8  | HSNORESTART    | RO | 0x0 | 禁用 RESTART 时试图以高速主机发送数据<br>本位段仅适用于高速主机模式<br>0: 事件未发生<br>1: 事件已发生      |
| 7  | STARTACK       | RO | 0x0 | 发送开始字节后收到了外部从机的 ACK 应答<br>本位段仅适用于主机模式<br>0: 事件未发生<br>1: 事件已发生         |
| 6  | HSMCACK        | RO | 0x0 | 发送主机码后收到外部从机的 ACK 应答<br>本位段仅适用于高速主机模式<br>0: 事件未发生<br>1: 事件已发生         |
| 5  | GCREAD         | RO | 0x0 | 发送广播寻址后发出读命令<br>本位段仅适用于主机模式<br>0: 事件未发生<br>1: 事件已发生                   |
| 4  | GCNACK         | RO | 0x0 | 广播寻址后未收到外部从机的 ACK 应答<br>本位段仅适用于非超快速的主机模式<br>0: 事件未发生<br>1: 事件已发生      |
| 3  | TXDNACK        | RO | 0x0 | 发送的写数据未收到外部从机的 ACK 应答<br>本位段仅适用于非超快速的主机模式<br>0: 事件未发生<br>1: 事件已发生     |
| 2  | ADDR10B2NACK   | RO | 0x0 | 10 位寻址的第 2 字节未收到从机 ACK 应答<br>本位段仅适用于非超快速的主机模式<br>0: 事件未发生<br>1: 事件已发生 |

| 位段 | 位段名          | 属性 | 复位值 | 描述                                                                    |
|----|--------------|----|-----|-----------------------------------------------------------------------|
| 1  | ADDR10B1NACK | RO | 0x0 | 10 位寻址的第 1 字节未收到从机 ACK 应答<br>本位段仅适用于非超快速的主机模式<br>0: 事件未发生<br>1: 事件已发生 |
| 0  | ADDR7BNACK   | RO | 0x0 | 7 位寻址未收到外部从机的 ACK 应答<br>本位段仅适用于非超快速的主机模式<br>0: 事件未发生<br>1: 事件已发生      |

### 11.9.2.19 I2C 中断原始事件标志寄存器 (I2CRAWIF)

表 11-42: I2C 中断原始事件标志寄存器 (I2CRAWIF) 位段定义

|                                                                |          |       |         |          |         |        |        |
|----------------------------------------------------------------|----------|-------|---------|----------|---------|--------|--------|
| I2CRAWIF (I2C Interrupt Raw Flag Register)                     |          |       |         |          |         |        |        |
| Access: I2C->I2CRAWIF    Offset: 0x0050    Default: 0x00000000 |          |       |         |          |         |        |        |
| 31                                                             | 30       | 29    | 28      | 27       | 26      | 25     | 24     |
| RESERVED                                                       |          |       |         |          |         |        |        |
| 23                                                             | 22       | 21    | 20      | 19       | 18      | 17     | 16     |
| RESERVED                                                       |          |       |         |          |         |        |        |
| 15                                                             | 14       | 13    | 12      | 11       | 10      | 9      | 8      |
| RESERVED                                                       | BUSSTUCK | DEVID | GENCALL | STARTDET | STOPDET | ACKDET | RDDONE |
| 7                                                              | 6        | 5     | 4       | 3        | 2       | 1      | 0      |
| RDREQ                                                          | TXABRT   | TXREQ | TXOVF   | TXUDF    | RXREQ   | RXOVF  | RXUDF  |

表 11-43: I2C 中断原始事件标志寄存器 (I2CRAWIF) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                |
|-------|----------------|----|-----|---------------------------------------------------|
| 31:15 | RESERVED_31_15 | RO | 0x0 | 保留                                                |
| 14    | BUSSTUCK       | RO | 0x0 | 总线阻塞事件标志<br>0: 事件未发生<br>1: 事件已发生                  |
| 13    | DEVID          | RO | 0x0 | 收到设备 ID 寻址并已应答事件标志<br>0: 事件未发生<br>1: 事件已发生        |
| 12    | GENCALL        | RO | 0x0 | 收到广播寻址并已应答事件标志<br>0: 事件未发生<br>1: 事件已发生            |
| 11    | STARTDET       | RO | 0x0 | 收到 START 和 RESTART 信号事件标志<br>0: 事件未发生<br>1: 事件已发生 |
| 10    | STOPDET        | RO | 0x0 | 收到 STOP 信号事件标志<br>0: 事件未发生<br>1: 事件已发生            |
| 9     | ACKDET         | RO | 0x0 | 收到外部接收器 ACK 应答事件标志<br>0: 事件未发生<br>1: 事件已发生        |
| 8     | RDDONE         | RO | 0x0 | 外部主机读完成事件标志<br>0: 事件未发生<br>1: 事件已发生               |
| 7     | RDREQ          | RO | 0x0 | 外部主机读请求事件标志<br>0: 事件未发生<br>1: 事件已发生               |

| 位段 | 位段名    | 属性 | 复位值 | 描述                                                                                                                                                    |
|----|--------|----|-----|-------------------------------------------------------------------------------------------------------------------------------------------------------|
| 6  | TXABRT | RO | 0x0 | 发送中止事件标志<br>可以通过 I2CTXABRTSRC 查询具体原因<br>0: 事件未发生<br>1: 事件已发生                                                                                          |
| 5  | TXREQ  | RO | 0x0 | 发送 FIFO 数据写请求事件标志<br>0: 值为 0 表示发送 FIFO 中含足够的数据;<br>当 $I2CTXLVL \leq I2CTXTH$ 时位段变 1<br>1: 值为 1 表示发送 FIFO 中需写入更多数据;<br>当 $I2CTXLVL > I2CTXTH$ 时位段变 0   |
| 4  | TXOVF  | RO | 0x0 | 发送 FIFO 上溢事件标志<br>表示发送 FIFO 满时发生了 I2CDATACMD 写操作<br>0: 事件未发生<br>1: 事件已发生                                                                              |
| 3  | TXUDF  | RO | 0x0 | 发送 FIFO 下溢事件标志<br>表示发送 FIFO 空时从机发生了数据发送操作<br>0: 事件未发生<br>1: 事件已发生                                                                                     |
| 2  | RXREQ  | RO | 0x0 | 接收 FIFO 数据读请求事件标志<br>0: 值为 0 表示接收 FIFO 中未存入足够的数据;<br>当 $I2CRXLVL > I2CRXTH$ 时位段变 1<br>1: 值为 1 表示接收 FIFO 中存入了足够的数据;<br>当 $I2CRXLVL \leq I2CRXTH$ 位段变 0 |
| 1  | RXOVF  | RO | 0x0 | 接收 FIFO 上溢事件标志<br>表示接收 FIFO 为满时收到新数据（会被丢弃）<br>0: 事件未发生<br>1: 事件已发生                                                                                    |
| 0  | RXUDF  | RO | 0x0 | 接收 FIFO 下溢事件标志<br>表示接收 FIFO 为空时发生 I2CDATACMD 读操作<br>0: 事件未发生<br>1: 事件已发生                                                                              |

### 11.9.2.20 I2C 中断标志寄存器 (I2CIF)

表 11-44: I2C 中断标志寄存器 (I2CIF) 位段定义

|                                                             |          |       |         |          |         |        |        |
|-------------------------------------------------------------|----------|-------|---------|----------|---------|--------|--------|
| I2CIF (I2C Interrupt Flag Register)                         |          |       |         |          |         |        |        |
| Access: I2C->I2CIF    Offset: 0x0054    Default: 0x00000000 |          |       |         |          |         |        |        |
| 31                                                          | 30       | 29    | 28      | 27       | 26      | 25     | 24     |
| RESERVED                                                    |          |       |         |          |         |        |        |
| 23                                                          | 22       | 21    | 20      | 19       | 18      | 17     | 16     |
| RESERVED                                                    |          |       |         |          |         |        |        |
| 15                                                          | 14       | 13    | 12      | 11       | 10      | 9      | 8      |
| INT                                                         | BUSSTUCK | DEVID | GENCALL | STARTDET | STOPDET | ACKDET | RDDONE |
| 7                                                           | 6        | 5     | 4       | 3        | 2       | 1      | 0      |
| RDREQ                                                       | TXABRT   | TXREQ | TXOVF   | TXUDF    | RXREQ   | RXOVF  | RXUDF  |

表 11-45: I2C 中断标志寄存器 (I2CIF) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                    |
|-------|----------------|----|-----|-----------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                    |
| 15    | INT            | RO | 0x0 | UART 全局中断标志<br>0: 中断未发生<br>1: 中断已产生, 并已经通知 CPU<br>本位段被清除之前不会产生新中断     |
| 14    | BUSSTUCK       | RO | 0x0 | 总线阻塞中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断                  |
| 13    | DEVID          | RO | 0x0 | 收到设备 ID 寻址并已应答中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断        |
| 12    | GENCALL        | RO | 0x0 | 收到广播寻址并已应答中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断            |
| 11    | STARTDET       | RO | 0x0 | 收到 START 和 RESTART 信号中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 10    | STOPDET        | RO | 0x0 | 收到 STOP 信号中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断            |



| 位段 | 位段名    | 属性 | 复位值 | 描述                                                             |
|----|--------|----|-----|----------------------------------------------------------------|
| 9  | ACKDET | RO | 0x0 | 收到外部接收器 ACK 应答中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 8  | RDDONE | RO | 0x0 | 外部主机读完成中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断        |
| 7  | RDREQ  | RO | 0x0 | 外部主机读请求中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断        |
| 6  | TXABRT | RO | 0x0 | 发送中止中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断           |
| 5  | TXREQ  | RO | 0x0 | 发送 FIFO 数据写请求中断标志<br>0: 中断未发生<br>1: 中断已发生                      |
| 4  | TXOVF  | RO | 0x0 | 发送 FIFO 上溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断     |
| 3  | TXUDF  | RO | 0x0 | 发送 FIFO 下溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断     |
| 2  | RXREQ  | RO | 0x0 | 接收 FIFO 数据读请求中断标志<br>0: 中断未发生<br>1: 中断已发生                      |
| 1  | RXOVF  | RO | 0x0 | 接收 FIFO 上溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断     |
| 0  | RXUDF  | RO | 0x0 | 接收 FIFO 下溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断     |

### 11.9.2.21 I2C 中断使能寄存器 (I2CIE)

表 11-46: I2C 中断使能寄存器 (I2CIE) 位段定义

|                                                             |          |       |         |          |         |        |        |
|-------------------------------------------------------------|----------|-------|---------|----------|---------|--------|--------|
| I2CIE (I2C Interrupt Enable Register)                       |          |       |         |          |         |        |        |
| Access: I2C->I2CIE    Offset: 0x0058    Default: 0x00000000 |          |       |         |          |         |        |        |
| 31                                                          | 30       | 29    | 28      | 27       | 26      | 25     | 24     |
| RESERVED                                                    |          |       |         |          |         |        |        |
| 23                                                          | 22       | 21    | 20      | 19       | 18      | 17     | 16     |
| RESERVED                                                    |          |       |         |          |         |        |        |
| 15                                                          | 14       | 13    | 12      | 11       | 10      | 9      | 8      |
| RESERVED                                                    | BUSSTUCK | DEVID | GENCALL | STARTDET | STOPDET | ACKDET | RDDONE |
| 7                                                           | 6        | 5     | 4       | 3        | 2       | 1      | 0      |
| RDREQ                                                       | TXABRT   | TXREQ | TXOVF   | TXUDF    | RXREQ   | RXOVF  | RXUDF  |

表 11-47: I2C 中断使能寄存器 (I2CIE) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                          |
|-------|----------------|----|-----|---------------------------------------------|
| 31:15 | RESERVED_31_15 | RO | 0x0 | 保留                                          |
| 14    | BUSSTUCK       | RW | 0x0 | 总线阻塞中断使能<br>0: 关闭<br>1: 使能                  |
| 13    | DEVID          | RW | 0x0 | 收到设备 ID 寻址并已应答中断使能<br>0: 关闭<br>1: 使能        |
| 12    | GENCALL        | RW | 0x0 | 收到广播寻址并已应答中断使能<br>0: 关闭<br>1: 使能            |
| 11    | STARTDET       | RW | 0x0 | 收到 START 和 RESTART 信号中断使能<br>0: 关闭<br>1: 使能 |
| 10    | STOPDET        | RW | 0x0 | 收到 STOP 信号中断使能<br>0: 关闭<br>1: 使能            |
| 9     | ACKDET         | RW | 0x0 | 收到外部接收器 ACK 应答中断使能<br>0: 关闭<br>1: 使能        |
| 8     | RDDONE         | RW | 0x0 | 外部主机读完成中断使能<br>0: 关闭<br>1: 使能               |
| 7     | RDREQ          | RW | 0x0 | 外部主机读请求中断使能<br>0: 关闭<br>1: 使能               |

| 位段 | 位段名    | 属性 | 复位值 | 描述                                  |
|----|--------|----|-----|-------------------------------------|
| 6  | TXABRT | RW | 0x0 | 发送中止中断使能<br>0: 关闭<br>1: 使能          |
| 5  | TXREQ  | RW | 0x0 | 发送 FIFO 数据写请求中断使能<br>0: 关闭<br>1: 使能 |
| 4  | TXOVF  | RW | 0x0 | 发送 FIFO 上溢中断使能<br>0: 关闭<br>1: 使能    |
| 3  | TXUDF  | RW | 0x0 | 发送 FIFO 下溢中断使能<br>0: 关闭<br>1: 使能    |
| 2  | RXREQ  | RW | 0x0 | 接收 FIFO 数据读请求中断使能<br>0: 关闭<br>1: 使能 |
| 1  | RXOVF  | RW | 0x0 | 接收 FIFO 上溢中断使能<br>0: 关闭<br>1: 使能    |
| 0  | RXUDF  | RW | 0x0 | 接收 FIFO 下溢中断使能<br>0: 关闭<br>1: 使能    |

### 11.9.2.22 I2C 中断清除寄存器 (I2CIC)

表 11-48: I2C 中断清除寄存器 (I2CIC) 位段定义

|                                                             |          |          |         |          |          |        |        |
|-------------------------------------------------------------|----------|----------|---------|----------|----------|--------|--------|
| I2CIC (I2C Interrupt Clear Register)                        |          |          |         |          |          |        |        |
| Access: I2C->I2CIC    Offset: 0x0060    Default: 0x00000000 |          |          |         |          |          |        |        |
| 31                                                          | 30       | 29       | 28      | 27       | 26       | 25     | 24     |
| RESERVED                                                    |          |          |         |          |          |        |        |
| 23                                                          | 22       | 21       | 20      | 19       | 18       | 17     | 16     |
| RESERVED                                                    |          |          |         |          |          |        |        |
| 15                                                          | 14       | 13       | 12      | 11       | 10       | 9      | 8      |
| INT                                                         | BUSSTUCK | DEVID    | GENCALL | STARTDET | STOPDET  | ACKDET | RDDONE |
| 7                                                           | 6        | 5        | 4       | 3        | 2        | 1      | 0      |
| RDREQ                                                       | TXABRT   | RESERVED | TXOVF   | TXUDF    | RESERVED | RXOVF  | RXUDF  |

表 11-49: I2C 中断清除寄存器 (I2CIC) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                         |
|-------|----------------|-----|-----|----------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                                         |
| 15    | INT            | W1C | 0x0 | 全局中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零                       |
| 14    | BUSSTUCK       | W1C | 0x0 | 总线阻塞中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零                  |
| 13    | DEVID          | W1C | 0x0 | 收到设备 ID 寻址并已应答中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零        |
| 12    | GENCALL        | W1C | 0x0 | 收到广播寻址并已应答中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零            |
| 11    | STARTDET       | W1C | 0x0 | 收到 START 和 RESTART 信号中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 10    | STOPDET        | W1C | 0x0 | 收到 STOP 信号中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零            |
| 9     | ACKDET         | W1C | 0x0 | 收到外部接收器 ACK 应答中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零        |
| 8     | RDDONE         | W1C | 0x0 | 外部主机读完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零               |

| 位段 | 位段名        | 属性  | 复位值 | 描述                                                              |
|----|------------|-----|-----|-----------------------------------------------------------------|
| 7  | RDREQ      | W1C | 0x0 | 外部主机读请求中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零    |
| 6  | TXABRT     | W1C | 0x0 | 发送中止中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零       |
| 5  | RESERVED_5 | RO  | 0x0 | 保留                                                              |
| 4  | TXOVF      | W1C | 0x0 | 发送 FIFO 上溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 3  | TXUDF      | W1C | 0x0 | 发送 FIFO 下溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 2  | RESERVED_2 | RO  | 0x0 | 接收数据读请求中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零    |
| 1  | RXOVF      | W1C | 0x0 | 接收 FIFO 上溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 0  | RXUDF      | W1C | 0x0 | 接收 FIFO 下溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |

### 11.9.2.23 I2C 总线阻塞阈值寄存器 (I2CBSTH)

表 11-50: I2C 总线阻塞阈值寄存器 (I2CBSTH) 位段定义

|                                                               |    |    |    |    |    |    |    |
|---------------------------------------------------------------|----|----|----|----|----|----|----|
| I2CBSTH (I2C Bus Stuck Threshold Register)                    |    |    |    |    |    |    |    |
| Access: I2C->I2CBSTH    Offset: 0x0068    Default: 0xFFFFFFFF |    |    |    |    |    |    |    |
| 31                                                            | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                           |    |    |    |    |    |    |    |
| 23                                                            | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                           |    |    |    |    |    |    |    |
| 15                                                            | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                           |    |    |    |    |    |    |    |
| 7                                                             | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                           |    |    |    |    |    |    |    |

表 11-51: I2C 总线阻塞阈值寄存器 (I2CBSTH) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                                                                          |
|------|-----|----|------------|-----------------------------------------------------------------------------|
| 31:0 | VAL | RW | 0xFFFFFFFF | 当 SDA 或 SCL 保持为低超过 (I2CBSTH + 1) 个模块时钟周期时触发总线阻塞中断<br>本位段仅当 I2CCTL.EN=0 才能改写 |

### 11.9.2.24 I2C 模块写使能寄存器 (I2CREGKEY)

表 11-52: I2C 模块写使能寄存器 (I2CREGKEY) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| I2CREGKEY (I2C Register Write-Allow Key Register)               |    |    |    |    |    |    |    |
| Access: I2C->I2CREGKEY    Offset: 0x0070    Default: 0x1ACCE551 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| KEY                                                             |    |    |    |    |    |    |    |

表 11-53: I2C 模块写使能寄存器 (I2CREGKEY) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                           |
|------|-----|----|------------|------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 I2C 寄存器 |

## 12 控制器局域网（CAN）

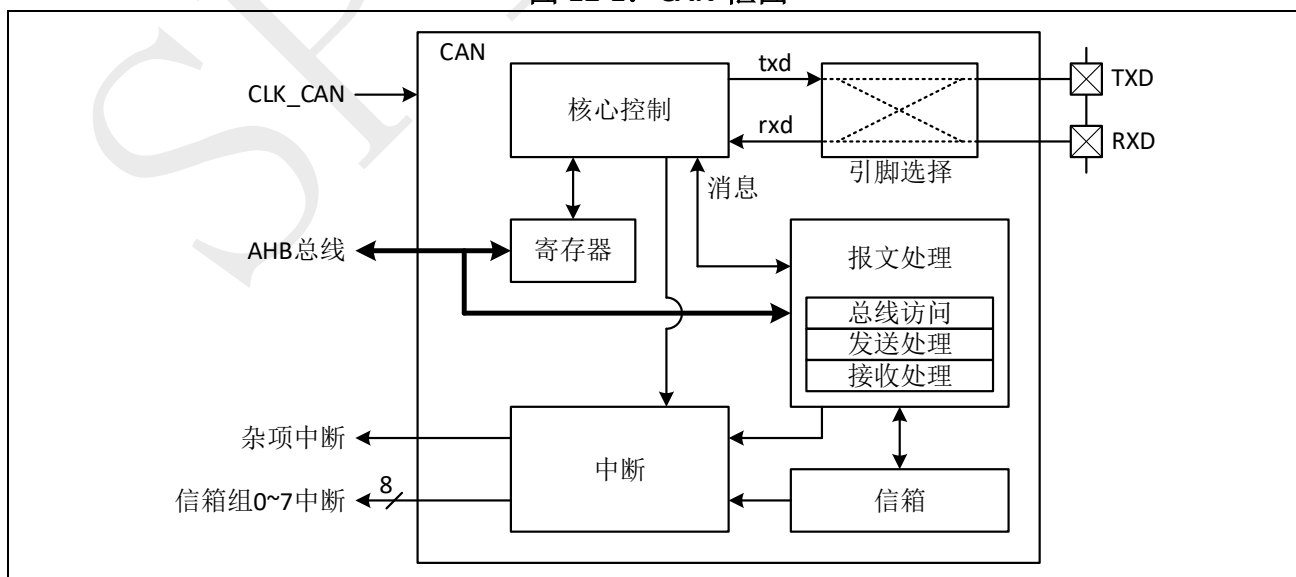
### 12.1 概述

SPC1185 提供 2 个 CAN 模块，根据 CAN 协议通信，同时需要外部 CAN 收发器芯片将其连接到物理层（CAN 总线）。CAN 模块特性如下：

- 兼容 ISO-11898-1:2015 标准，相应的帧格式称之为经典 CAN 和 ISO-FDCAN；
- 兼容 BOSCH CAN2.0B 标准
  - 其帧格式与 ISO-11898-1:2015 标准经典 CAN 兼容；
- 兼容 BOSCH FDCAN V1.0 标准，相应的帧格式称之为 NONISO-FDCAN
  - 其帧格式与 ISO-11898-1:2015 标准 ISO-FDCAN 不兼容；
- 支持 CAN 总线关闭（Bus Off）恢复；
- 支持发送失败时的自动重传；
- 支持限制（Restricted）模式；
- 支持监视模式；
- 支持测试模式；
- 支持 64 个信箱（Mailbox），每个有独立的 ID 过滤规则；
- 支持远程帧的自动响应；
- 支持 CAN 总线错误的记录；
- 支持 32 位时间戳。

**注意：** SPC1185 的 CAN 模块不支持唤醒功能。用户需要选用支持唤醒功能的 CAN 收发器，并将其唤醒信号连到 SPC1185 的 GPIO 引脚，来实现 CAN 唤醒功能。

图 12-1: CAN 框图





如图 12-1 所示，CAN 模块主要包括：寄存器控制接口、引脚选择逻辑、核心控制、消息处理、信箱报文存储和中断控制。

核心控制子模块控制 CAN 帧的传输和 CAN 总线状态的检测。

CAN 网络上通信的报文对象可以单独配置。信箱用来存储报文对象，包括其报文标识符掩码。它支持 32 位写访问和 8 位、16 位、32 位读访问，并提供 ECC 以确保数据完整性。

报文处理程序控制信箱访问并自动仲裁通过发送处理程序、接收处理程序、核心控制和 AHB 进行访问的优先级。

使能 CAN 模块后，发送处理器从第 1 个信箱开始逐个检查所有信箱。如果有信箱请求报文传输，发送处理器通知核心控制模块读取信箱内的报文内容并传输。当前报文传输成功或用户取消后，将开始检查下一个信箱。

当接收到报文标识符时，接收处理器总是从第一个信箱开始搜索。一旦找到一个有效的信箱能够存储数据，就会通知核心控制模块将所有接收到的报文数据保存到这个信箱中。

AHB 可以随时写入任何信箱，除非要写入的信箱当前正用于消息传输。在这种情况下，AHB 对该信箱的写访问被阻止。若要配置信箱，用户应首先禁用信箱并回读状态以检查是否成功禁用。如果仍然启用，用户不应该配置该信箱，而是等到当前消息传输完成。

引脚选择逻辑支持 TXD 和 RXD 之间的引脚功能交换。

每 8 个连续的信箱共享一个报文传输完成中断。因此，CAN 模块有 8 个报文传输完成中断。诸如 RAM ECC 错误或 CAN 总线错误等事件，共享一个杂项中断。

- 注意：
1. 允许通过 DMA 访问信箱报文内存；
  2. 报文发送期间，用户不应该禁用 CAN 模块；
  3. 在写信箱 MBOX<sub>n</sub> 的 MBOXMCTL 寄存器时，需要确保信箱 MBOX<sub>n-1</sub> 处于以下情况之一，详见《CAN 使用指南》
    - a) 未使能
    - b) 用于接收报文
    - c) 用于发送报文，且正处于报文发送状态或者报文发送结束状态

## 12.2 CAN 端口信号

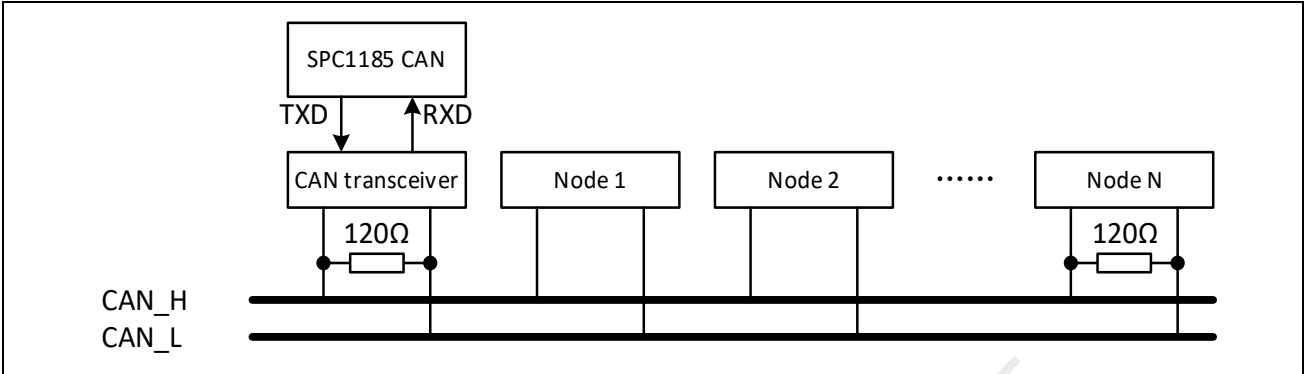
表 12-1 罗列并描述了外部端口信号 TXD 和 RXD 如何连接到 CAN 模块。它们都是数字 CMOS 电平信号，采用通道复用最终连到 GPIO 引脚。参考 4.2 配置引脚通道功能。

表 12-1: CAN 端口信号

| 信号名 | 类型 | 描述                                             |
|-----|----|------------------------------------------------|
| RXD | 输入 | 串行输入<br>送入接收移位寄存器的串行数据，连接到 CAN 收发器的 RXD 引脚。    |
| TXD | 输出 | 串行输出<br>发送的串行数据，连接到 CAN 收发器的 TXD 引脚，复位时该信号为 1。 |

SPC1185 上的 CAN 模块应当按照如图 12-2 所示的方式通过 CAN 收发器连接到网络上的其他 CAN 设备。其中 CAN\_H 和 CAN\_L 是一对双绞线。

图 12-2: CAN 设备连接

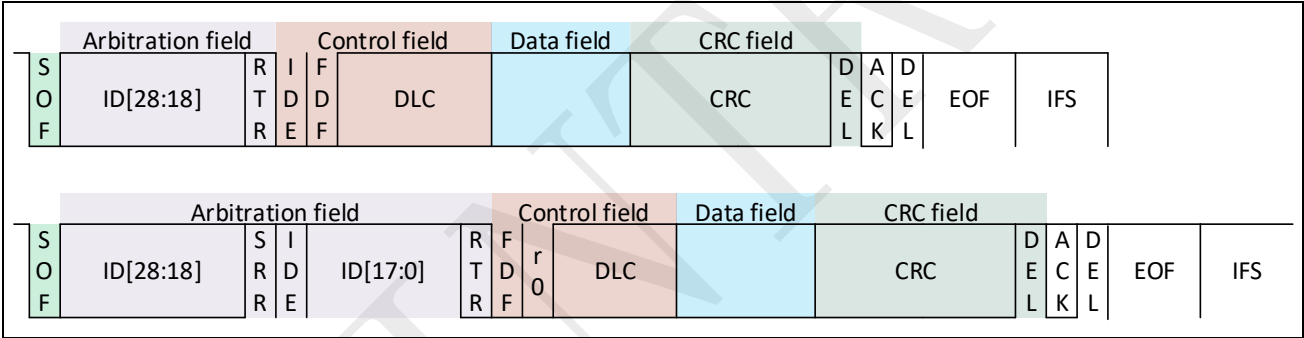


12.3 CAN 帧格式

12.3.1 ISO 经典 CAN

如图 12-3 所示，ISO 经典 CAN 支持标准帧和扩展帧两种帧格式，其标识符分别是 11 位和 29 位。两种帧的 CRC 位段都是 15 位。更多细节可以参见 ISO-11898-1:2015 标准。

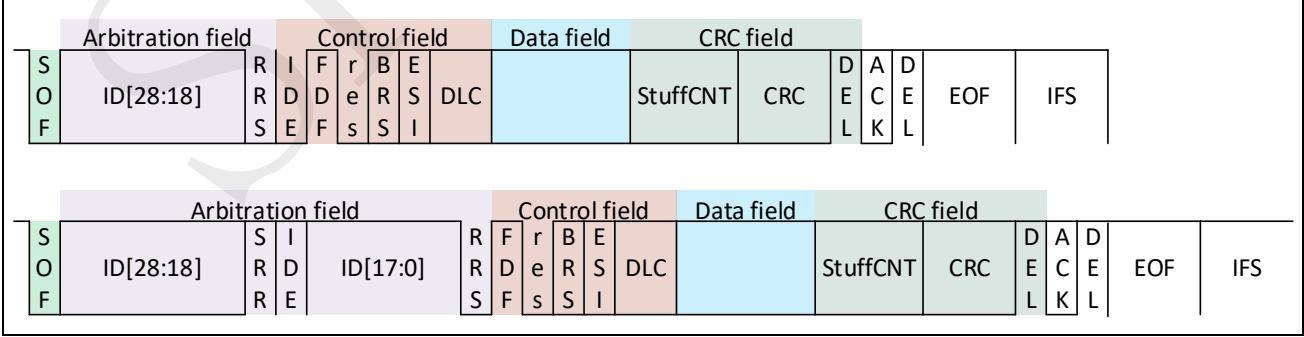
图 12-3: ISO 经典 CAN 帧格式



12.3.2 ISO FDCAN

如图 12-4 所示，ISO FDCAN 支持两种帧格式，且仅支持数据帧的传输。更多细节可以参见 ISO-11898-1:2015 标准。

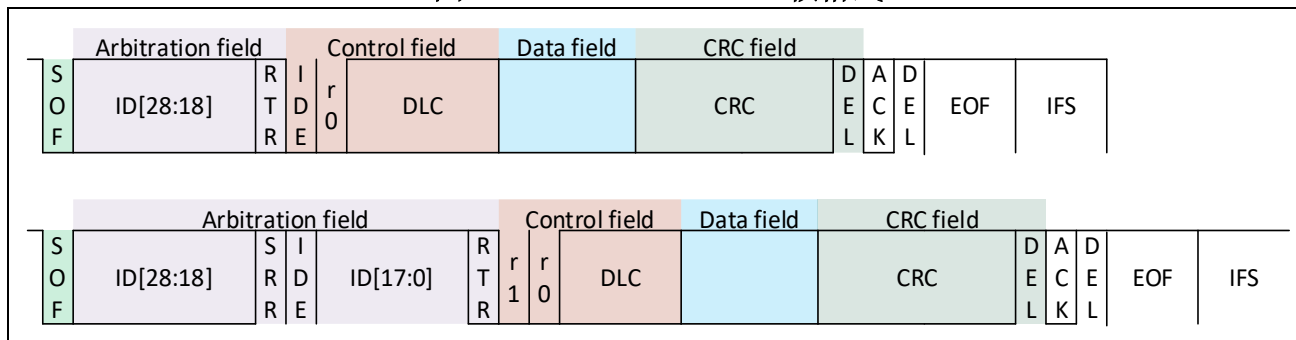
图 12-4: ISO FDCAN 帧格式



12.3.3 BOSCH CAN2.0B

如图 12-5 所示，BOSCH CAN2.0B 支持两种帧格式，与 ISO 经典 CAN 帧格式相同。更多细节可以参见 BOSCH CAN2.0B 标准。

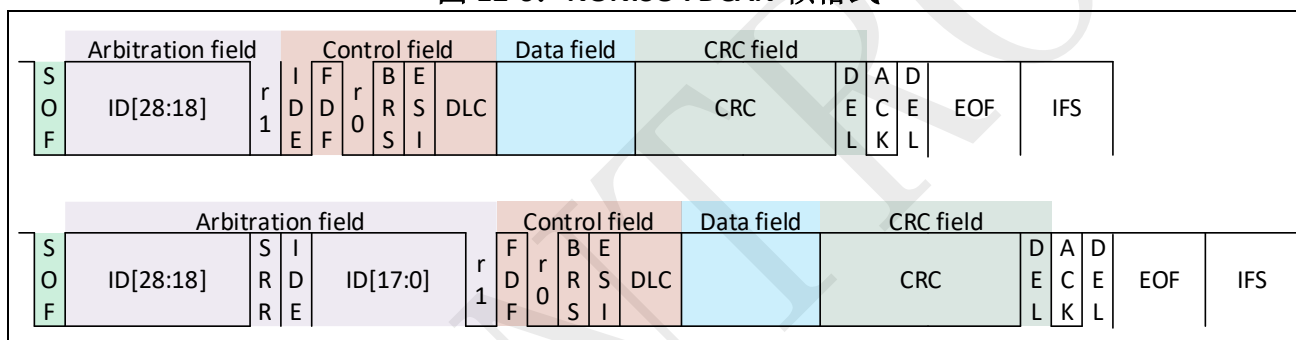
图 12-5: BOSCH CAN2.0B 帧格式



### 12.3.4 NONISO FDCAN

如图 12-6 所示，NONISO FDCAN 支持两种帧格式，且仅支持数据帧的传输。与 ISO FDCAN 相比，NONISO FDCAN 的 CRC 位段没有填充位数（stuff count），且采用了不同的 CRC 算法。更多细节可以参见 BOSCH FDCAN V1.0 标准。

图 12-6: NONISO FDCAN 帧格式

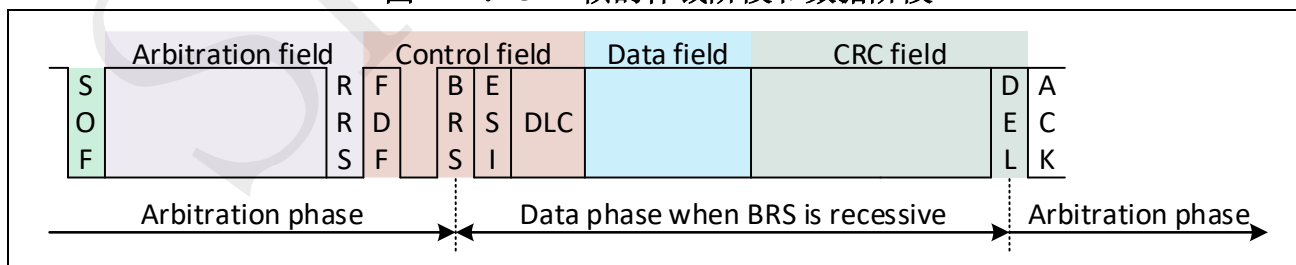


### 12.3.5 仲裁阶段和数据阶段

对于启用了速率切换的 ISO-FDCAN 或 NONISO-FDCAN 帧传输，有两个具有独立速率配置的阶段。如图 12-7 所示，BRS 位采样点之后到 CRC 定界符采样点之前的传输称为数据阶段。所有其他位传输称为仲裁阶段。数据阶段的速率通常比仲裁阶段的速率快。

对于禁用速率切换的 FDCAN 帧或经典 CAN 帧，只有仲裁阶段可用。

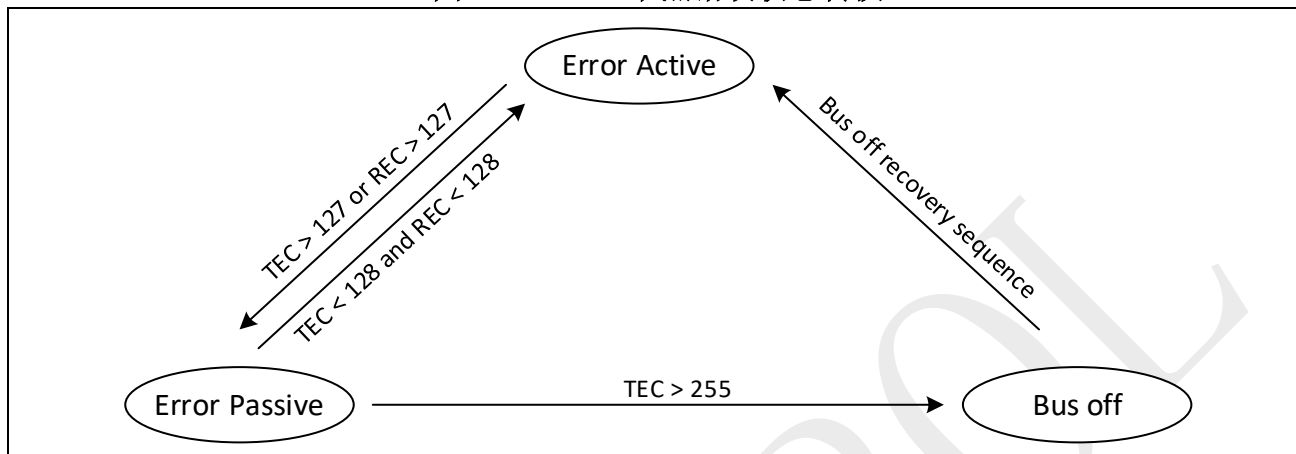
图 12-7: CAN 帧的仲裁阶段和数据阶段



## 12.4 CAN 错误状态

CAN 节点的错误状态如图 12-8 所示。TEC 是发送器错误计数，REC 是接收器错误计数。相应规范中定义了为各种 CAN 模式更新 TEC 和 REC 的规则。REC 的最大值为 128。

图 12-8: CAN 节点错误状态转换



### 12.4.1 错误记录

CAN 错误包括位错误、填充错误、CRC 错误、格式错误和 ACK 错误。仲裁阶段发生的错误记录在 CANLEC.LEC 中，数据阶段发生的错误记录在 CANLEC.DLEC 中。

### 12.4.2 主动错误状态

当 TEC 和 REC 均低于 128 时，CAN 节点处于主动错误（Error Active）状态，并在检测到错误事件时发送主动错误标志。一旦 TEC 或 REC 增加超过 CANECCTL.ERRWARN 中定义的阈值，将生成错误警告中断。

### 12.4.3 被动错误状态

当 TEC 或 REC 大于 127 时，CAN 节点处于被动错误（Error Passive）状态，并在检测到错误事件时发送被动错误标志。当节点进入被动错误状态时，会产生被动错误中断。当 TEC 和 REC 都下降到 128 以下时，节点再次进入主动错误状态。

如果 CAN 节点由于 REC 增加到 127 以上而 TEC 保持在 128 以下而进入被动错误状态，则 REC 将在报文成功接收后加载为 CANECCTL.RECLD。

### 12.4.4 总线关闭恢复

当 TEC 增加到 255 以上时，CAN 节点进入总线关闭状态并生成总线关闭中断。如果启用总线关闭自动恢复，则总线关闭恢复序列将在指定的延迟后启动。用户还可以通过设置 CANCTL.RECOVER 立即启动总线关闭恢复序列。

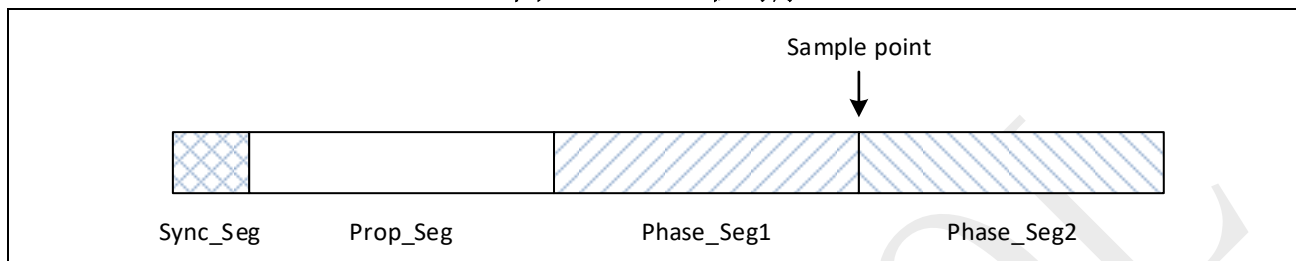
在总线关闭恢复序列期间，每检测到 11 个连续的隐性位，REC 将减 1。同时，产生一个位 0 错误中断。当 REC 达到 0 时，总线关闭恢复序列完成，CAN 节点已经准备好再次正常传输报文。

## 12.5 CAN 操作

### 12.5.1 速率配置

CAN 帧中的每一位可分为 4 段，如图 12-9 所示。每个持续时间均以模块时钟预分频器生成的特定时间量子（Time-quantum）表示。

图 12-9: CAN 位时序



Sync\_Seg 称为同步段，用于同步总线上的各种 CAN 节点。预期将在此段内检测到下降沿。

Prop\_Seg 称为传播时间段，用于补偿网络内的物理延迟，包括总线上的信号传播时间和 CAN 节点的内部延迟。

Phase\_Seg1 和 Phase\_Seg2 称为相位缓冲段 1 和 2，它们用于补偿边缘相位误差。这些段可能会因重新同步而延长或缩短。采样点正好在 Phase\_Seg1 和 Phase\_Seg2 之间的边界处。

仲裁阶段的速率称为标称速率，通过 CANNBTQ 寄存器配置，可以计算为：

$$f_{\text{CLK\_CAN}} / (\text{NBRP} + 1) / (1 + \text{NSEG1} + 1 + \text{NSEG2} + 1)$$

数据阶段的速率称为数据速率，通过 CANDBTQ 寄存器配置，可以计算为：

$$f_{\text{CLK\_CAN}} / (\text{DBRP} + 1) / (1 + \text{DSEG1} + 1 + \text{DSEG2} + 1)$$

Prop\_Seg 和 Phase\_Seg1 合并在一起，总持续时间通过 CANNBTQ 或 CANDBTQ 寄存器中的 SEG1 字段配置。

---

注意： CANNBTQ.NBRP 和 CANDBTQ.DBRP 必须相等，否则可能导致传输异常。

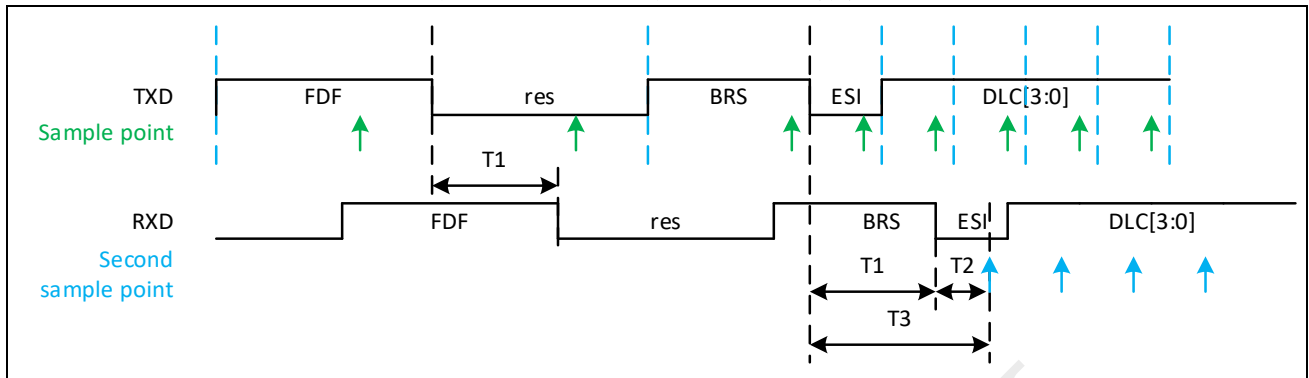
---

在启用 BRS 的 FDCAN 帧传输期间，支持发送器延迟补偿以生成第二个采样点。它可以检查采样数据是否与传输数据匹配。如图 12-10 所示：

- T1 是从 TXD 发送低电平到 RXD 检测到低电平的测量延迟。它必须长于通过 CANTDC.TDCW 指定的延迟滤波窗口。否则，指定的延迟窗口将用作测量的延迟；
- T2 是由 CANTDC.TDCO 设置的发送器延迟偏移；
- T3 是由 T1 和 T2 相加的发送器总延迟。它可以通过 CANTDC.TDCV 读取。

在 BRS 位采样点之后，CAN 节点从标称速率变为数据速率。第二个采样点是在每个 TXD 位的总发送器延迟之后生成的。

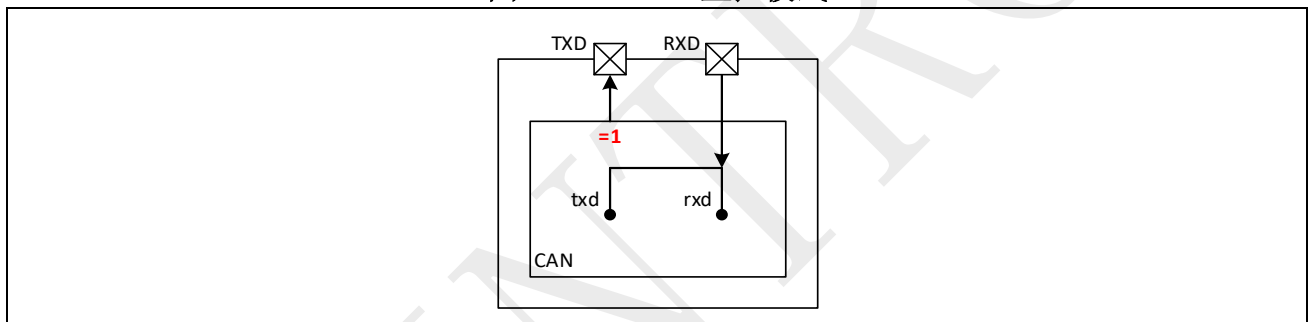
图 12-10: CAN 发送器延时补偿



### 12.5.2 监控模式

如图 12-11 所示，在监控模式下（CANCTL.MONMODE=1），CAN 节点不能发送帧，只能接收有效数据帧或远程帧。TXD 引脚保持隐性。内部 txd 位直接环回以生成 ACK 位、过载标志和主动错误标志等情况所需的显性位。

图 12-11: CAN 监控模式



### 12.5.3 限制模式

在限制模式下（CANCTL.RESMODE=1），CAN 节点能够接收数据帧、远程帧并确认有效帧。但是，它不能发送数据帧、远程帧、主动错误帧和过载帧。在发生错误事件或过载事件时，节点进入集成状态（integration state）并在检测到空闲条件（11 个连续的隐性采样位）时恢复。TEC 和 REC 在限制模式下不受影响，而错误事件检测仍处于活动状态。

限制模式不能与监控模式或任何环回模式一起使用。

### 12.5.4 测试模式

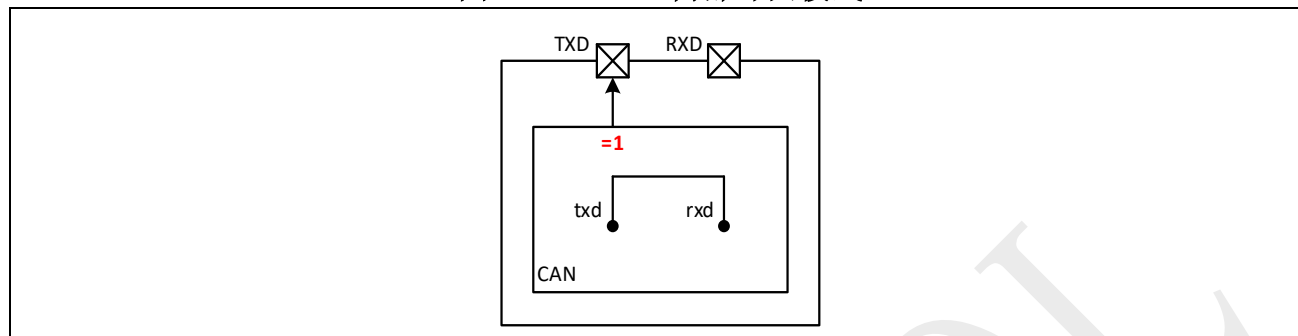
在测试模式下（CANCTL.TESTMODE=1），用户可以启用内部环回模式（CANTEST.ILPBK）或外部环回模式（CANTEST.ELPBK）。用户还可以通过 CANTEST.TXMODE 寄存器位将 TXD 输出设置为始终为低、始终为高或采样点模式。对于采样点模式，TXD 在采样点输出显性，在驱动点输出隐性。当 CANCTL.TESTMODE 位被清除时，寄存器 CANTEST 中的 ILPBK、ELPBK 和 TXMODE 将被重置为默认值。

当寄存器 CANTEST 中的 ILPBK、ELPBK 和 TXMODE 位保持默认值时，CAN 节点可以在测试模式下正常使用。

环回模式不能与受限模式或监控模式一起使用，并且内部环回模式和外部环回模式不能同时启用。

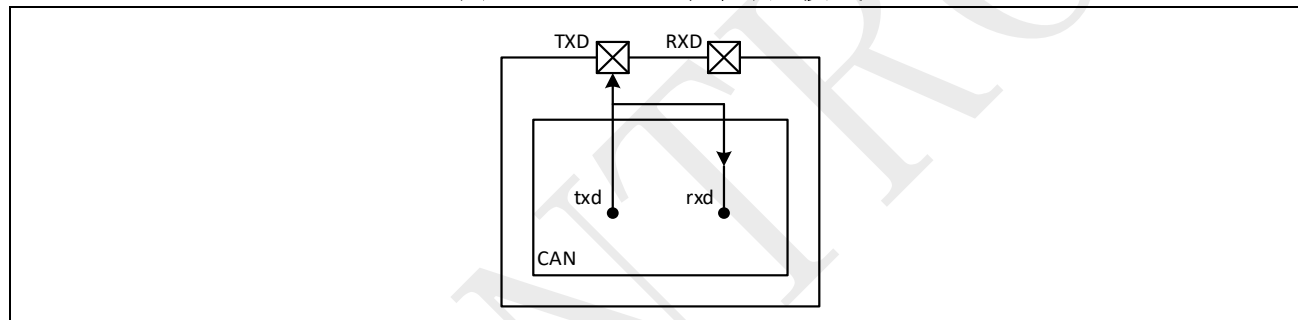
内部环回模式的连接如图 12-12 所示。TXD 总是隐性的。内部 rxd 从 RXD 引脚断开。在帧传输期间，当需要来自其他节点的 ACK 位时，内部逻辑将生成一个 ACK 位到 rxd。这样环回测试就不会产生 ACK 错误。

图 12-12: CAN 内部环回模式



如图 12-13 所示，在外部环回模式下，CAN 节点的行为类似于内部环回模式。但是 TXD 引脚是实际发送的数据，并连接到 rxd。

图 12-13: CAN 外部环回模式





## 12.6 信箱控制

信箱的报文存放于 RAM 内，该 RAM 在模块使能前必须初始化成全 0，从而避免因为上电后 RAM 内容的不确定性导致异常。

### 12.6.1 信箱信息

表 12-2：信箱控制位

| EN | DIR | RMTEN | NEW | LOST | TXREQ | IF | IE | EOB | OVWR | LOCK |
|----|-----|-------|-----|------|-------|----|----|-----|------|------|
| 0  | 0   | 0     | 0   | 0    | 0     | 0  | 0  | 0   | 0    | 0    |

信箱的控制位如表 12-2 所示。

- EN：使能当前信箱。
- DIR：控制报文数据传输方向。
  - 0：信箱当前用于接收报文数据。
  - 1：信箱当前用于发送报文数据。
- RMTEN：使能自动应答接收到的远程帧，或自动发送远程帧以请求数据。
  - 当 DIR = 0 时，先发送远程帧到其他节点，然后等待并接收其他节点应答的数据。
  - 当 DIR = 1 时，发送数据帧来应答接收到的来自其他节点的远程帧。
- NEW：新报文标志。
  - 当 DIR = 0 时，使能信箱前应先清除本标志，硬件在成功收到报文后会将本标志置位。注意，若使能了 EOB 和 OVWR 控制位段，且 NEW 已经置位，则接收到标识符匹配的新报文时，硬件会清除 NEW 标志，同时将 LOST 置位。当整个报文接收完成后硬件将再次将 NEW 标志置位。
  - 当 DIR = 1 时，使能信箱前应先置位本标志。若使能了自动重发，本标志在报文开始发送时自动清零；若禁用了自动重发，本标志在报文完成发送时自动清零。
- LOST：报文数据丢失标志。
  - 当 DIR 为 0 且 NEW 已经置位，本标志在接收到标识符匹配的新报文时被置位。
  - 当 DIR 为 1 时，本标志无用。
- TXREQ：帧发送请求。
  - 当 DIR = 0：
    - 若 RMTEN = 0，应当在使能信箱前清除 TXREQ。
    - 若 RMTEN = 1，应当在使能信箱前将 TXREQ 置位。如果禁用了自动重发，TXREQ 在本信箱开始发送远程帧时自动清零，否则在完成远程帧发送时自动清零。
  - 当 DIR = 1：
    - 若 RMTEN = 0，应当在使能本信箱前将 TXREQ 置位。如果禁用了自动重发，TXREQ 在本信箱开始发送报文时自动清零，否则在完成报文发送时自动清零。
    - 若 RMTEN = 1，应当在使能信箱前清除 TXREQ。TXREQ 在接收到标识符匹配的远程帧请求时自动置位。如果禁用了自动重发，TXREQ 在开始发送应答的数据帧时自动清零，否则在完成应答的数据帧发送时自动清零。
- IF：报文传输完成中断标志。
- IE：报文传输完成中断使能。

- **EOB**: 编号连续的信箱可以分组为一个块。该位将当前信箱设置为块的最后一个信箱。同一个块中的所有信箱都可以接收报文，并且可能具有相似的标识符掩码过滤条件。信箱用于报文发送时，该位无用。
- **OVWR**: 使能用新收到的报文覆盖信箱里的旧内容。本位段仅对于使能了 **EOB** 的信箱有用。
- **LOCK**: 信箱在传输报文的过程中，该位自动置位，从而禁止 **AHB** 总线对信箱的写操作。传输完成后，该位自动清零，恢复 **AHB** 总线对信箱的写权限。

注意： 报文总是存放于同时符合标识符匹配且未被使用两个条件的第一个信箱里。用户应当先处理好存放于同一个信箱体里的报文，再使能下一个信箱体块的报文接收。

## 12.6.2 非自动应答远程帧时的报文发送

表 12-3: 用于普通报文发送的信箱控制位设置

| EN | DIR | RMTEN | NEW | LOST | TXREQ | IF | IE  | EOB | OVWR | LOCK |
|----|-----|-------|-----|------|-------|----|-----|-----|------|------|
| 1  | 1   | 0     | 1   | 0    | 1     | 0  | 0/1 | 0   | 0    | 0    |

用户可以按照如下步骤采用轮询模式发送报文：

1. 等待硬件清除 **NEW** 和 **TXREQ**，表明信箱准备就绪，可以用于报文发送。
2. 通过 **FID**、**FDF**、**BRS**、**ESICTL**、**ESI**、**DLC**、**FDW[0]**到 **FDW[15]**寄存器配置报文信息。推荐将报文超出 **DLC** 范围的数据段填充 **0xCC**。
3. 按照表 12-3 配置信箱控制位。
4. 等待硬件清除 **NEW** 和 **TXREQ** 位，表明报文已经成功发送。
5. 在信箱真正开始工作前可以取消报文传输。用户可以通过清除 **MCTL.EN** 位来禁用信箱，并且必须回读该位以检查它是否被成功清除，然后可以重新配置此信箱用于其他用途。如果无法清除 **MCTL.EN**，则表明此信箱中的报文传输正在进行中，用户必须等到它完成。

## 12.6.3 自动应答远程帧时的报文发送

表 12-4: 用于自动应答远程帧时的报文发送信箱控制位设置

| EN | DIR | RMTEN | NEW | LOST | TXREQ | IF | IE  | EOB | OVWR | LOCK |
|----|-----|-------|-----|------|-------|----|-----|-----|------|------|
| 1  | 1   | 1     | 1   | 0    | 0     | 0  | 0/1 | 0   | 0    | 0    |

用户可以按照如下步骤采用轮询模式发送报文：

1. 等待硬件清除 **NEW** 和 **TXREQ**，表明信箱准备就绪，可以用于报文发送。
2. 使用 **FID** 和 **FMSK** 寄存器配置远程帧标识符掩码过滤器。**RTR** 位掩码被接收处理程序忽略，接收到的 **RTR** 必须为 1。**FID** 在接收到的标识符比较期间用作参考标识符。当接收到的标识符和 **FMSK** 做与运算后，其结果和 (**FID & FMSK**) 相同时，可以将帧保存到当前信箱。
3. 通过 **ESICTL**、**FDW[0]**到 **FDW[15]**寄存器配置应答的报文信息。推荐将报文超出 **DLC** 范围的数据段填充 **0xCC**。
4. 按照表 12-4 配置信箱控制位。
5. 当接收到标识符匹配的远程帧时，硬件自动将 **TXREQ** 置位，并按照接收到的远程帧更新

FID（RTR 位不变）、FDF、BRS、ESI、DLC 寄存器，然后信箱开始发送数据帧来应答远程节点的请求。

6. 等待硬件清除 NEW 和 TXREQ 位，表明报文已经成功发送。
7. 在信箱真正开始工作前可以取消报文传输。用户可以通过清除 MCTL.EN 位来禁用信箱，并且必须回读该位以检查它是否被成功清除，然后可以重新配置此信箱用于其他用途。如果无法清除 MCTL.EN，则表明此信箱中的报文传输正在进行中，用户必须等到它完成。

#### 12.6.4 未对其他节点发出远程帧数据请求时的报文接收

表 12-5: 用于普通报文接收的信箱控制位设置

| EN | DIR | RMTEN | NEW | LOST | TXREQ | IF | IE  | EOB | OVWR | LOCK |
|----|-----|-------|-----|------|-------|----|-----|-----|------|------|
| 1  | 0   | 0     | 0   | 0    | 0     | 0  | 0/1 | 0   | 0    | 0    |

用户可以按照如下步骤采用轮询模式接收报文：

1. 使用 FID 和 FMSK 寄存器配置远程帧标识符掩码过滤器。FID 在接收到的标识符比较期间用作参考标识符。当接收到的标识符和 FMSK 做与运算后，其结果和（FID & FMSK）相同时，可以将帧保存到当前信箱。
2. 按照表 12-5 配置信箱控制位。
3. 等待 NEW 被自动置位，表明接收到了标识符匹配的报文。
4. 在信箱真正开始工作前可以取消报文传输。用户可以通过清除 MCTL.EN 位来禁用信箱，并且必须回读该位以检查它是否被成功清除，然后可以重新配置此信箱用于其他用途。如果无法清除 MCTL.EN，则表明此信箱中的报文传输正在进行中，用户必须等到它完成。

#### 12.6.5 对其他节点发出远程帧数据请求时的报文接收

表 12-6: 用于接收其他节点应答远程帧的报文的信箱控制位设置

| EN | DIR | RMTEN | NEW | LOST | TXREQ | IF | IE  | EOB | OVWR | LOCK |
|----|-----|-------|-----|------|-------|----|-----|-----|------|------|
| 1  | 0   | 1     | 0   | 0    | 1     | 0  | 0/1 | 0   | 0    | 0    |

用户可以按照如下步骤采用轮询模式接收报文：

1. 通过 FID、FDF、BRS、ESICTL、ESI、DLC 寄存器配置报文信息。
2. 使用 FID 和 FMSK 寄存器配置远程帧标识符掩码过滤器。RTR 位掩码应当清零，它被发送处理程序忽略并总是将 RTR 发送为 1。FID 在接收到的标识符比较期间用作参考标识符。当接收到的标识符和 FMSK 做与运算后，其结果和（FID & FMSK）相同时，可以将帧保存到当前信箱。FID 同时作为远程帧标识符以发送数据请求给其他节点。
3. 按照表 12-6 配置信箱控制位。
4. 远程帧发送后 TXREQ 被自动清零，然后信箱开始等待其他节点的应答报文。
5. 等待 NEW 被自动置位，表明从其他节点接收到了标识符匹配的应答报文。
6. 在信箱真正开始工作前可以取消报文传输。用户可以通过清除 MCTL.EN 位来禁用信箱，并且必须回读该位以检查它是否被成功清除，然后可以重新配置此信箱用于其他用途。如果无法清除 MCTL.EN，则表明此信箱中的报文传输正在进行中，用户必须等到它完成。

## 12.7 寄存器

### 12.7.1 CAN 寄存器列表

表 12-7: CAN 模块基地址

| 外设模块 | 基地址                        |
|------|----------------------------|
| CAN0 | 0x4000 3400 <sup>[1]</sup> |
| CAN1 | 0x4000 5400 <sup>[1]</sup> |

[1] 为了使用方便, SDK 中已经将 CANMBOX 包含在 CAN 寄存器定义里, 因此 CAN0 和 CAN1 的地址分别定义为 0x4000 2000 和 0x4000 4000。

表 12-8: CAN 寄存器列表

| 寄存器                           | 偏移地址   | 描述                         | 复位值        |
|-------------------------------|--------|----------------------------|------------|
| <a href="#">CANCTL</a> *      | 0x0000 | CAN 控制寄存器                  | 0x00000060 |
| <a href="#">CANNBTQ</a> *     | 0x0004 | CAN 标称位时间量子寄存器             | 0x00090403 |
| <a href="#">CANDBTQ</a> *     | 0x0008 | CAN 数据位时间量子寄存器             | 0x00090403 |
| <a href="#">CANTDC</a> *      | 0x000C | CAN 发送器延时补偿寄存器             | 0x00000000 |
| <a href="#">CANBRDLY</a> *    | 0x0010 | CAN 总线关闭恢复延时寄存器            | 0x00000000 |
| <a href="#">CANSTS</a>        | 0x0014 | CAN 状态寄存器                  | 0x00000000 |
| <a href="#">CANLEC</a>        | 0x0018 | CAN 最新错误码寄存器               | 0x00000000 |
| <a href="#">CANMIE</a> *      | 0x001C | CAN 杂项中断使能寄存器              | 0x00000000 |
| <a href="#">CANMRAWIF</a>     | 0x0020 | CAN 杂项中断原始事件标志寄存器          | 0x00000000 |
| <a href="#">CANMIF</a>        | 0x0024 | CAN 杂项中断标志寄存器              | 0x00000000 |
| <a href="#">CANMIC</a>        | 0x0028 | CAN 杂项中断清除寄存器              | 0x00000000 |
| <a href="#">CANTGIF</a>       | 0x002C | CAN 信箱组传输完成中断标志寄存器         | 0x00000000 |
| <a href="#">CANTGIC</a>       | 0x0030 | CAN 信箱组传输完成中断清除寄存器         | 0x00000000 |
| <a href="#">CANMEMERRADDR</a> | 0x0034 | CAN 内存错误地址寄存器              | 0x00000000 |
| <a href="#">CANTEST</a> *     | 0x0038 | CAN 测试控制寄存器                | 0x00000030 |
| <a href="#">CANECCTL</a> *    | 0x003C | CAN 错误计数控制寄存器              | 0x0000307F |
| <a href="#">CANTXREQ</a>      | 0x0040 | CAN 发送请求寄存器 n([0:1])       | 0x00000000 |
| <a href="#">CANMSGNEW</a>     | 0x0050 | CAN 新报文标志寄存器 n([0:1])      | 0x00000000 |
| <a href="#">CANMSGIF</a>      | 0x0060 | CAN 信箱传输完成中断标志寄存器 n([0:1]) | 0x00000000 |
| <a href="#">CANMBEN</a>       | 0x0070 | CAN 信箱使能寄存器 n([0:1])       | 0x00000000 |
| <a href="#">CANTSCTL</a> *    | 0x0080 | CAN 时间戳控制寄存器               | 0x00000000 |
| <a href="#">CANTSCNT</a> *    | 0x0084 | CAN 时间戳计数寄存器               | 0x00000000 |
| <a href="#">CANMERRPAT</a> *  | 0x0088 | CAN 内存错误注入样式寄存器 n([0:1])   | 0x00000000 |
| <a href="#">CANREGKEY</a>     | 0x0090 | CAN 模块写使能寄存器               | 0x1ACCE551 |

注意: 由\*标记的寄存器仅当 CANREGKEY=0x1ACCE551 时才可以改写。

## 12.7.2 CAN 寄存器

### 12.7.2.1 CAN 控制寄存器 (CANCTL)

表 12-9: CAN 控制寄存器 (CANCTL) 位段定义

| CANCTL (CAN Control Register)                                |      |          |         |         |          |         |          |
|--------------------------------------------------------------|------|----------|---------|---------|----------|---------|----------|
| Access: CAN->CANCTL    Offset: 0x0000    Default: 0x00000060 |      |          |         |         |          |         |          |
| 31                                                           | 30   | 29       | 28      | 27      | 26       | 25      | 24       |
| RESERVED                                                     |      |          |         |         |          |         |          |
| 23                                                           | 22   | 21       | 20      | 19      | 18       | 17      | 16       |
| RESERVED                                                     |      |          |         |         |          |         | PRTYCHK  |
| 15                                                           | 14   | 13       | 12      | 11      | 10       | 9       | 8        |
| NONISO                                                       | FDEN | TESTMODE | MONMODE | RESMODE | EDGEFLT  | TXPAUSE | RESERVED |
| 7                                                            | 6    | 5        | 4       | 3       | 2        | 1       | 0        |
| SWAPPIN                                                      | RETX | AUTOON   | RECOVEN | RST     | RESERVED |         | EN       |

表 12-10: CAN 控制寄存器 (CANCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                               |
|-------|----------------|----|-----|------------------------------------------------------------------------------------------------------------------|
| 31:17 | RESERVED_31_17 | RO | 0x0 | 保留                                                                                                               |
| 16    | ECCEN          | RW | 0x0 | 报文内存 ECC 使能<br>0: 关闭<br>1: 使能                                                                                    |
| 15    | NONISO         | RW | 0x0 | NON-ISO CAN 格式模式<br>本位段仅当 CANSTS.OP = 0 时允许更改<br>0: ISO11898-1:2015 定义的格式<br>1: BOSCH CAN2.0B 和 FDCAN_V1.0 定义的格式 |
| 14    | FDEN           | RW | 0x0 | FDCAN 使能<br>本位段仅当 CANSTS.OP = 0 时允许更改<br>0: 关闭<br>1: 使能                                                          |
| 13    | TESTMODE       | RW | 0x0 | 测试模式使能<br>本位段仅当 CANSTS.OP = 0 时允许更改<br>0: 关闭<br>1: 使能                                                            |
| 12    | MONMODE        | RW | 0x0 | 监控模式使能<br>本位段仅当 CANSTS.OP = 0 时允许写 1<br>任何时候都允许写 0<br>0: 关闭<br>1: 使能                                             |
| 11    | RESMODE        | RW | 0x0 | 限制模式使能<br>本位段仅当 CANSTS.OP = 0 时允许写 1<br>任何时候都允许写 0<br>0: 关闭<br>1: 使能                                             |



| 位段  | 位段名          | 属性  | 复位值 | 描述                                                                                                                                                              |
|-----|--------------|-----|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 10  | EDGEFLT      | RW  | 0x0 | 集成（Integration）状态下的边沿滤波使能<br>0: 关闭<br>1: 使能，隐性位后出现两个连续的显性位才判定为下降沿                                                                                               |
| 9   | TXPAUSE      | RW  | 0x0 | 在连续发送两个帧之间插入 2 个标称位<br>该位段使能时，处于 active error 的发送器：<br>1. 连续发送数据帧或远程帧，帧间间隔额外插入 2 个 bit 时间。<br>2. 发送数据帧或远程帧时出错，后续第一次发送主动错误帧后，会额外插入 2 个 bit 时间。<br>0: 关闭<br>1: 使能 |
| 8   | RESERVED_8   | RW  | 0x0 | 保留                                                                                                                                                              |
| 7   | SWAPPIN      | RW  | 0x0 | 使能 TXD/RXD 引脚交换<br>本位段仅当 CANSTS.OP = 0 时允许更改<br>0: 关闭<br>1: 使能                                                                                                  |
| 6   | RETX         | RW  | 0x1 | 使能自动重发未成功发送的帧<br>本位段仅当 CANSTS.OP = 0 时允许更改<br>0: 关闭<br>1: 使能                                                                                                    |
| 5   | AUTOON       | RW  | 0x1 | 使能总线自动恢复，从而总线关闭后经过由 CANBRDLY 指定的延时，开始自动恢复<br>调试模式下不支持本模式。<br>0: 关闭<br>1: 使能                                                                                     |
| 4   | RECOVEN      | W1C | 0x0 | 使能总线关闭恢复<br>本位段不受 CANREGKEY 保护<br>0: 写 0 无效，读总是 0<br>1: 写 1 立即启动总线关闭恢复序列，本位段自动清零                                                                                |
| 3   | RST          | W1C | 0x0 | 软件复位<br>用户应当先往 CANCTL.EN 写 0 关闭 CAN 模块后再发起软件复位。<br>直到 CAN 进入空闲状态时才会真正执行复位<br>0: 写 0 无效<br>1: 写 1 请求复位，复位结束后位段自动清零                                               |
| 2:1 | RESERVED_2_1 | RO  | 0x0 | 保留                                                                                                                                                              |

| 位段 | 位段名 | 属性 | 复位值 | 描述                         |
|----|-----|----|-----|----------------------------|
| 0  | EN  | RW | 0x0 | CAN 模块使能<br>0: 关闭<br>1: 使能 |

### 12.7.2.2 CAN 标称位时间量子寄存器 (CANNBTQ)

表 12-11: CAN 标称位时间量子寄存器 (CANNBTQ) 位段定义

|                                                                                                                    |       |    |    |    |    |    |    |
|--------------------------------------------------------------------------------------------------------------------|-------|----|----|----|----|----|----|
| CANNBTQ (CAN Nominal Bit Timing Quantum Register)<br>Access: CAN->CANNBTQ    Offset: 0x0004    Default: 0x00090403 |       |    |    |    |    |    |    |
| 31<br>RESERVED                                                                                                     | 30    | 29 | 28 | 27 | 26 | 25 | 24 |
|                                                                                                                    | NSJW  |    |    |    |    |    |    |
| 23<br>RESERVED                                                                                                     | 22    | 21 | 20 | 19 | 18 | 17 | 16 |
|                                                                                                                    | NSEG2 |    |    |    |    |    |    |
| 15                                                                                                                 | 14    | 13 | 12 | 11 | 10 | 9  | 8  |
| NSEG1                                                                                                              |       |    |    |    |    |    |    |
| 7                                                                                                                  | 6     | 5  | 4  | 3  | 2  | 1  | 0  |
| NBRP                                                                                                               |       |    |    |    |    |    |    |

表 12-12: CAN 标称位时间量子寄存器 (CANNBTQ) 位段描述

| 位段    | 位段名         | 属性 | 复位值 | 描述                                                                               |
|-------|-------------|----|-----|----------------------------------------------------------------------------------|
| 31    | RESERVED_31 | RO | 0x0 | 保留                                                                               |
| 30:24 | NSJW        | RW | 0x0 | 设定标称速率下的同步跳转宽度为 (NSJW+1) NTq<br>本位段仅当 CANSTS.OP = 0 时允许更改                        |
| 23    | RESERVED_23 | RO | 0x0 | 保留                                                                               |
| 22:16 | NSEG2       | RW | 0x9 | 设定标称速率下采样点后的时段宽度为 (NSEG2+1) NTq<br>NSEG2 不能设为 0<br>本位段仅当 CANSTS.OP = 0 时允许更改     |
| 15:8  | NSEG1       | RW | 0x4 | 设定标称速率下采样点前的时段宽度为 (NSEG1+1) NTq<br>NSEG1 不能设为 0<br>本位段仅当 CANSTS.OP = 0 时允许更改     |
| 7:0   | NBRP        | RW | 0x3 | 标称速率预分频值<br>仲裁阶段的时间量子 NTq 被设为 (NBRP+1) 个 CAN 模块时钟周期<br>本位段仅当 CANSTS.OP = 0 时允许更改 |



### 12.7.2.3 CAN 数据位时间量子寄存器 (CANDBTQ)

表 12-13: CAN 数据位时间量子寄存器 (CANDBTQ) 位段定义

| CANDBTQ (CAN Data Bit Timing Quantum Register)                |    |    |       |       |    |    |    |
|---------------------------------------------------------------|----|----|-------|-------|----|----|----|
| Access: CAN->CANDBTQ    Offset: 0x0008    Default: 0x00090403 |    |    |       |       |    |    |    |
| 31<br>TDC                                                     | 30 | 29 | 28    | 27    | 26 | 25 | 24 |
| RESERVED                                                      |    |    |       | DSJW  |    |    |    |
| 23                                                            | 22 | 21 | 20    | 19    | 18 | 17 | 16 |
| RESERVED                                                      |    |    |       | DSEG2 |    |    |    |
| 15                                                            | 14 | 13 | 12    | 11    | 10 | 9  | 8  |
| RESERVED                                                      |    |    | DSEG1 |       |    |    |    |
| 7                                                             | 6  | 5  | 4     | 3     | 2  | 1  | 0  |
| DBRP                                                          |    |    |       |       |    |    |    |

表 12-14: CAN 数据位时间量子寄存器 (CANDBTQ) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                          |
|-------|----------------|----|-----|-------------------------------------------------------------------------------------------------------------|
| 31    | TDC            | RW | 0x0 | 发送器延时补偿使能<br>本位段仅当 CANSTS.OP = 0 时允许更改<br>0: 关闭<br>1: 使能                                                    |
| 30:28 | RESERVED_30_28 | RO | 0x0 | 保留                                                                                                          |
| 27:24 | DSJW           | RW | 0x0 | 设定数据速率下的同步跳转宽度为(DSJW+1) DTq<br>本位段仅当 CANSTS.OP = 0 时允许更改                                                    |
| 23:20 | RESERVED_23_20 | RO | 0x0 | 保留                                                                                                          |
| 19:16 | DSEG2          | RW | 0x9 | 设定数据速率下采样点后的时段宽度为 (DSEG2+1) DTq<br>DSEG2 不能设为 0<br>本位段仅当 CANSTS.OP = 0 时允许更改                                |
| 15:13 | RESERVED_15_13 | RO | 0x0 | 保留                                                                                                          |
| 12:8  | DSEG1          | RW | 0x4 | 设定数据速率下采样点前的时段宽度为 (DSEG1+1) DTq<br>DSEG1 不能设为 0<br>本位段仅当 CANSTS.OP = 0 时允许更改                                |
| 7:0   | DBRP           | RW | 0x3 | 数据速率预分频值<br>数据阶段的时间量子 DTq 被设为(DBRP+1)个 CAN 模块时钟周期<br>本位段仅当 CANSTS.OP = 0 时允许更改<br>注意: DBRP 应当设定为与 NBRP 相同的值 |

## 12.7.2.4 CAN 发送器延时补偿寄存器 (CANTDC)

表 12-15: CAN 发送器延时补偿寄存器 (CANTDC) 位段定义

| CANTDC (CAN Transmitter Delay Compensation Register) |    |                |    |                     |    |      |    |
|------------------------------------------------------|----|----------------|----|---------------------|----|------|----|
| Access: CAN->CANTDC                                  |    | Offset: 0x000C |    | Default: 0x00000000 |    |      |    |
| 31                                                   | 30 | 29             | 28 | 27                  | 26 | 25   | 24 |
| RESERVED                                             |    | TDCV           |    |                     |    |      |    |
| 23                                                   | 22 | 21             | 20 | 19                  | 18 | 17   | 16 |
| TDCV                                                 |    |                |    | TDCW                |    |      |    |
| 15                                                   | 14 | 13             | 12 | 11                  | 10 | 9    | 8  |
| TDCW                                                 |    |                |    |                     |    | TDCO |    |
| 7                                                    | 6  | 5              | 4  | 3                   | 2  | 1    | 0  |
| TDCO                                                 |    |                |    |                     |    |      |    |

表 12-16: CAN 发送器延时补偿寄存器 (CANTDC) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                      |
|-------|----------------|----|-----|-----------------------------------------|
| 31:30 | RESERVED_31_30 | RO | 0x0 | 保留                                      |
| 29:20 | TDCV           | RO | 0x0 | 以 DTq 计算的发送器延时补偿值<br>它是 TDCO 和测量得到的延时的和 |
| 19:10 | TDCW           | RW | 0x0 | 设定发送器延时补偿滤波窗口大小为 TDCW DTq               |
| 9:0   | TDCO           | RW | 0x0 | 设定发送器延时补偿第二采样点偏移量为 TDCO DTq             |

## 12.7.2.5 CAN 总线关闭恢复延时寄存器 (CANBRDLY)

表 12-17: CAN 总线关闭恢复延时寄存器 (CANBRDLY) 位段定义

| CANBRDLY (CAN Bus-Off Recovery Delay Register) |    |                |    |                     |    |    |    |
|------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: CAN->CANBRDLY                          |    | Offset: 0x0010 |    | Default: 0x00000000 |    |    |    |
| 31                                             | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| RESERVED                                       |    |                |    |                     |    |    |    |
| 23                                             | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| RESERVED                                       |    |                |    |                     |    |    |    |
| 15                                             | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| DLY                                            |    |                |    |                     |    |    |    |
| 7                                              | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| DLY                                            |    |                |    |                     |    |    |    |

表 12-18: CAN 总线关闭恢复延时寄存器 (CANBRDLY) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                             |
|-------|----------------|----|-----|----------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                             |
| 15:0  | DLY            | RW | 0x0 | 总线关闭恢复的延时<br>若 CANCTL.AUTOON=1, 则总线关闭后经过 (DLY+1)个标称位时间后自动开始恢复。 |

### 12.7.2.6 CAN 状态（CANSTS）

表 12-19: CAN 状态（CANSTS）位段定义

|                                                              |     |    |    |        |    |    |         |
|--------------------------------------------------------------|-----|----|----|--------|----|----|---------|
| CANSTS (CAN Status Register)                                 |     |    |    |        |    |    |         |
| Access: CAN->CANSTS    Offset: 0x0014    Default: 0x00000000 |     |    |    |        |    |    |         |
| 31                                                           | 30  | 29 | 28 | 27     | 26 | 25 | 24      |
| RESERVED                                                     |     |    |    |        |    |    |         |
| 23                                                           | 22  | 21 | 20 | 19     | 18 | 17 | 16      |
| RESERVED                                                     |     |    |    | OPMODE |    |    | ERRWARN |
| 15                                                           | 14  | 13 | 12 | 11     | 10 | 9  | 8       |
| ERRPASSIVE                                                   | REC |    |    |        |    |    |         |
| 7                                                            | 6   | 5  | 4  | 3      | 2  | 1  | 0       |
| TEC                                                          |     |    |    |        |    |    |         |

表 12-20: CAN 状态（CANSTS）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                             |
|-------|----------------|----|-----|--------------------------------------------------------------------------------|
| 31:20 | RESERVED_31_20 | RO | 0x0 | 保留                                                                             |
| 19:17 | OPMODE         | RO | 0x0 | 工作模式<br>0: 停止状态<br>1: 集成状态<br>2: 空闲状态<br>3: 忙于发送报文<br>4: 忙于接收报文<br>6: 总线关闭     |
| 16    | ERRWARN        | RO | 0x0 | 错误警告<br>0: TEC 和 REC 均低于 CANECCTL.ERRWARN<br>1: TEC 或 REC 不低于 CANECCTL.ERRWARN |
| 15    | ERRPASSIVE     | RO | 0x0 | 被动错误状态<br>0: 总线错误时发送主动错误帧<br>1: 总线错误时发送被动错误帧                                   |
| 14:8  | REC            | RO | 0x0 | 接收器错误计数值，其范围为[0, 128]<br>注意：总线关闭恢复过程中每检测到 11 个连续的隐性位，计数值减 1                    |
| 7:0   | TEC            | RO | 0x0 | 发送器错误计数值，其范围为[0, 255]                                                          |

## 12.7.2.7 CAN 最新错误码寄存器 (CANLEC)

表 12-21: CAN 最新错误码寄存器 (CANLEC) 位段定义

| CANLEC (CAN Last Error Code Register) |    |                |    |                     |      |    |       |
|---------------------------------------|----|----------------|----|---------------------|------|----|-------|
| Access: CAN->CANLEC                   |    | Offset: 0x0018 |    | Default: 0x00000000 |      |    |       |
| 31                                    | 30 | 29             | 28 | 27                  | 26   | 25 | 24    |
| RESERVED                              |    |                |    |                     |      |    |       |
| 23                                    | 22 | 21             | 20 | 19                  | 18   | 17 | 16    |
| RESERVED                              |    |                |    |                     |      |    | WRLCK |
| 15                                    | 14 | 13             | 12 | 11                  | 10   | 9  | 8     |
| RESERVED                              |    |                |    |                     | DLEC |    |       |
| 7                                     | 6  | 5              | 4  | 3                   | 2    | 1  | 0     |
| RESERVED                              |    |                |    |                     | LEC  |    |       |

表 12-22: CAN 最新错误码寄存器 (CANLEC) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                           |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:17 | RESERVED_31_17 | RO | 0x0 | 保留                                                                                                                                                                                                                                                           |
| 16    | WRLCK          | RC | 0x0 | 对锁定的信箱（正在传输数据）进行写操作（会被忽略）<br>推荐按字节读取本位段<br>0: 事件未发生<br>1: 事件已发生                                                                                                                                                                                              |
| 15:11 | RESERVED_15_11 | RO | 0x0 | 保留                                                                                                                                                                                                                                                           |
| 10:8  | DLEC           | RS | 0x0 | 数据阶段的错误码，推荐按字节读取本位段<br>0: 默认为 0，报文传输完成后本位段清零<br>1: 填充位错误<br>2: 格式错误<br>4: 位 1 错误（发送 1 但总线回读 0）<br>5: 位 0 错误（发送 0 但总线回读 1）<br>7: 从上次位段读取后未发生错误<br>每次本位段被读取后值自动恢复为 7                                                                                           |
| 7:3   | RESERVED_7_3   | RO | 0x0 | 保留                                                                                                                                                                                                                                                           |
| 2:0   | LEC            | RS | 0x0 | 仲裁阶段的错误码，推荐按字节读取本位段<br>0: 默认为 0，报文传输完成后本位段清零<br>1: 填充位错误<br>2: 格式错误<br>3: 发送的报文未收到其他节点的回应<br>4: 位 1 错误（发送 1 但总线回读 0）<br>5: 位 0 错误（发送 0 但总线回读 1）<br>总线关闭恢复过程中，每检测到 11 个隐性位本位段就会被设为 5，由此 CPU 可以检测恢复的进程（总线未被卡在显性位）<br>6: 接收到的报文有 CRC 错误<br>7: 每次本位段被读取后值自动恢复为 7 |

### 12.7.2.8 CAN 杂项中断使能寄存器 (CANMIE)

表 12-23: CAN 杂项中断使能寄存器 (CANMIE) 位段定义

|                                                              |        |          |       |        |            |         |         |
|--------------------------------------------------------------|--------|----------|-------|--------|------------|---------|---------|
| CANMIE (CAN Miscellaneous Interrupt Enable Register)         |        |          |       |        |            |         |         |
| Access: CAN->CANMIE    Offset: 0x001C    Default: 0x00000000 |        |          |       |        |            |         |         |
| 31                                                           | 30     | 29       | 28    | 27     | 26         | 25      | 24      |
| RESERVED                                                     |        |          |       |        |            |         |         |
| 23                                                           | 22     | 21       | 20    | 19     | 18         | 17      | 16      |
| RESERVED                                                     |        |          |       |        |            |         |         |
| 15                                                           | 14     | 13       | 12    | 11     | 10         | 9       | 8       |
| RESERVED                                                     |        |          |       |        |            | MSGLOST | TSOV    |
| 7                                                            | 6      | 5        | 4     | 3      | 2          | 1       | 0       |
| MEMMBE                                                       | MEMSBE | RESERVED | FLTOK | BUSOFF | ERRPASSIVE | ERRWARN | TRANERR |

表 12-24: CAN 杂项中断使能寄存器 (CANMIE) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                |
|-------|----------------|----|-----|-----------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                |
| 9     | MSGLOST        | RW | 0x0 | 报文丢失中断使能<br>0: 关闭<br>1: 使能        |
| 8     | TSOV           | RW | 0x0 | 时间戳计数溢出中断使能<br>0: 关闭<br>1: 使能     |
| 7     | MEMMBE         | RW | 0x0 | 内存多比特错误中断使能<br>0: 关闭<br>1: 使能     |
| 6     | MEMSBE         | RW | 0x0 | 内存单比特错误中断使能<br>0: 关闭<br>1: 使能     |
| 5     | RESERVED_5     | RW | 0x0 | 保留                                |
| 4     | FLTOK          | RW | 0x0 | 接收到标识符匹配的报文中断使能<br>0: 关闭<br>1: 使能 |
| 3     | BUSOFF         | RW | 0x0 | 进入总线关闭状态中断使能<br>0: 关闭<br>1: 使能    |
| 2     | ERRPASSIVE     | RW | 0x0 | 进入被动错误状态中断使能<br>0: 关闭<br>1: 使能    |

| 位段 | 位段名     | 属性 | 复位值 | 描述                           |
|----|---------|----|-----|------------------------------|
| 1  | ERRWARN | RW | 0x0 | 错误警告中断使能<br>0: 关闭<br>1: 使能   |
| 0  | TRANERR | RW | 0x0 | 报文传输错误中断使能<br>0: 关闭<br>1: 使能 |

### 12.7.2.9 CAN 杂项中断原始事件标志寄存器 (CANMRAWIF)

表 12-25: CAN 杂项中断原始事件标志寄存器 (CANMRAWIF) 位段定义

|                                                                 |         |          |       |        |            |         |         |
|-----------------------------------------------------------------|---------|----------|-------|--------|------------|---------|---------|
| CANMRAWIF (CAN Miscellaneous Interrupt Raw Flag Register)       |         |          |       |        |            |         |         |
| Access: CAN->CANMRAWIF    Offset: 0x0020    Default: 0x00000000 |         |          |       |        |            |         |         |
| 31                                                              | 30      | 29       | 28    | 27     | 26         | 25      | 24      |
| RESERVED                                                        |         |          |       |        |            |         |         |
| 23                                                              | 22      | 21       | 20    | 19     | 18         | 17      | 16      |
| RESERVED                                                        |         |          |       |        |            |         |         |
| 15                                                              | 14      | 13       | 12    | 11     | 10         | 9       | 8       |
| RESERVED                                                        |         |          |       |        |            | MSGLOST | TSOV    |
| 7                                                               | 6       | 5        | 4     | 3      | 2          | 1       | 0       |
| MEMMBE                                                          | MEMSB E | RESERVED | FLTOK | BUSOFF | ERRPASSIVE | ERRWARN | TRANERR |

表 12-26: CAN 杂项中断原始事件标志寄存器 (CANMRAWIF) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                      |
|-------|----------------|----|-----|-----------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                      |
| 9     | MSGLOST        | RO | 0x0 | 报文丢失事件标志<br>0: 事件未发生<br>1: 事件已发生        |
| 8     | TSOV           | RO | 0x0 | 时间戳计数溢出事件标志<br>0: 事件未发生<br>1: 事件已发生     |
| 7     | MEMMBE         | RO | 0x0 | 内存多比特错误事件标志<br>0: 事件未发生<br>1: 事件已发生     |
| 6     | MEMSB E        | RO | 0x0 | 内存单比特错误事件标志<br>0: 事件未发生<br>1: 事件已发生     |
| 5     | RESERVED_5     | RO | 0x0 | 保留                                      |
| 4     | FLTOK          | RO | 0x0 | 接收到标识符匹配的报文事件标志<br>0: 事件未发生<br>1: 事件已发生 |
| 3     | BUSOFF         | RO | 0x0 | 进入总线关闭状态事件标志<br>0: 事件未发生<br>1: 事件已发生    |
| 2     | ERRPASSIVE     | RO | 0x0 | 进入被动错误状态事件标志<br>0: 事件未发生<br>1: 事件已发生    |



| 位段 | 位段名     | 属性 | 复位值 | 描述                                 |
|----|---------|----|-----|------------------------------------|
| 1  | ERRWARN | RO | 0x0 | 错误警告事件标志<br>0: 事件未发生<br>1: 事件已发生   |
| 0  | TRANERR | RO | 0x0 | 报文传输错误事件标志<br>0: 事件未发生<br>1: 事件已发生 |

## 12.7.2.10 CAN 杂项中断标志寄存器 (CANMIF)

表 12-27: CAN 杂项中断标志寄存器 (CANMIF) 位段定义

|                                                              |              |               |            |             |                 |              |              |
|--------------------------------------------------------------|--------------|---------------|------------|-------------|-----------------|--------------|--------------|
| CANMIF (CAN Miscellaneous Interrupt Flag Register)           |              |               |            |             |                 |              |              |
| Access: CAN->CANMIF    Offset: 0x0024    Default: 0x00000000 |              |               |            |             |                 |              |              |
| 31<br>INT                                                    | 30           | 29            | 28         | 27          | 26              | 25           | 24           |
| RESERVED                                                     |              |               |            |             |                 |              |              |
| 23                                                           | 22           | 21            | 20         | 19          | 18              | 17           | 16           |
| RESERVED                                                     |              |               |            |             |                 |              |              |
| 15                                                           | 14           | 13            | 12         | 11          | 10              | 9<br>MSGLOST | 8<br>TSOV    |
| RESERVED                                                     |              |               |            |             |                 |              |              |
| 7<br>MEMMBE                                                  | 6<br>MEMSB E | 5<br>RESERVED | 4<br>FLTOK | 3<br>BUSOFF | 2<br>ERRPASSIVE | 1<br>ERRWARN | 0<br>TRANERR |

表 12-28: CAN 杂项中断标志寄存器 (CANMIF) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                    |
|-------|----------------|----|-----|-----------------------------------------------------------------------|
| 31    | INT            | RO | 0x0 | CAN 全局杂项中断标志<br>0: 中断未发生<br>1: 中断已产生, 并已经通知 CPU<br>本位段被清除之前不会产生新的杂项中断 |
| 30:10 | RESERVED_30_10 | RO | 0x0 | 保留                                                                    |
| 9     | MSGLOST        | RO | 0x0 | 报文丢失中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断                  |
| 8     | TSOV           | RO | 0x0 | 时间戳计数溢出中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断               |
| 7     | MEMMBE         | RO | 0x0 | 内存多比特错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断               |
| 6     | MEMSB E        | RO | 0x0 | 内存单比特错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断               |
| 5     | RESERVED_5     | RO | 0x0 | 保留                                                                    |
| 4     | FLTOK          | RO | 0x0 | 接收到标识符匹配的报文中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断           |

| 位段 | 位段名        | 属性 | 复位值 | 描述                                                       |
|----|------------|----|-----|----------------------------------------------------------|
| 3  | BUSOFF     | RO | 0x0 | 进入总线关闭状态中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 2  | ERRPASSIVE | RO | 0x0 | 进入被动错误状态中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 1  | ERRWARN    | RO | 0x0 | 错误警告中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断     |
| 0  | TRANERR    | RO | 0x0 | 报文传输错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断   |

### 12.7.2.11 CAN 杂项中断清除寄存器（CANMIC）

表 12-29: CAN 杂项中断清除寄存器（CANMIC）位段定义

|                                                              |             |               |            |             |                 |              |              |
|--------------------------------------------------------------|-------------|---------------|------------|-------------|-----------------|--------------|--------------|
| CANMIC (CAN Miscellaneous Interrupt Flag Clear Register)     |             |               |            |             |                 |              |              |
| Access: CAN->CANMIC    Offset: 0x0028    Default: 0x00000000 |             |               |            |             |                 |              |              |
| 31<br>INT                                                    | 30          | 29            | 28         | 27          | 26              | 25           | 24           |
| RESERVED                                                     |             |               |            |             |                 |              |              |
| 23                                                           | 22          | 21            | 20         | 19          | 18              | 17           | 16           |
| RESERVED                                                     |             |               |            |             |                 |              |              |
| 15                                                           | 14          | 13            | 12         | 11          | 10              | 9<br>MSGLOST | 8<br>TSOV    |
| RESERVED                                                     |             |               |            |             |                 |              |              |
| 7<br>MEMMBE                                                  | 6<br>MEMSBE | 5<br>RESERVED | 4<br>FLTOK | 3<br>BUSOFF | 2<br>ERRPASSIVE | 1<br>ERRWARN | 0<br>TRANERR |

表 12-30: CAN 杂项中断清除寄存器（CANMIC）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                            |
|-------|----------------|-----|-----|---------------------------------------------------------------|
| 31    | INT            | W1C | 0x0 | CAN 全局杂项中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除中断标志，本位段自动清零      |
| 30:10 | RESERVED_30_10 | RO  | 0x0 | 保留                                                            |
| 9     | MSGLOST        | W1C | 0x0 | 报文丢失中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除事件和中断标志，位段自动清零        |
| 8     | TSOV           | W1C | 0x0 | 时间戳计数溢出中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除事件和中断标志，位段自动清零     |
| 7     | MEMMBE         | W1C | 0x0 | 内存多比特错误中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除事件和中断标志，位段自动清零     |
| 6     | MEMSBE         | W1C | 0x0 | 内存单比特错误中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除事件和中断标志，位段自动清零     |
| 5     | RESERVED_5     | W1C | 0x0 | 保留                                                            |
| 4     | FLTOK          | W1C | 0x0 | 接收到标识符匹配的报文中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除事件和中断标志，位段自动清零 |
| 3     | BUSOFF         | W1C | 0x0 | 进入总线关闭状态中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除事件和中断标志，位段自动清零    |
| 2     | ERRPASSIVE     | W1C | 0x0 | 进入被动错误状态中断清除                                                  |

| 位段 | 位段名     | 属性  | 复位值 | 描述                                                       |
|----|---------|-----|-----|----------------------------------------------------------|
|    |         |     |     | 0: 写 0 无效，读总是 0<br>1: 写 1 清除事件和中断标志，位段自动清零               |
| 1  | ERRWARN | W1C | 0x0 | 错误警告中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除事件和中断标志，位段自动清零   |
| 0  | TRANERR | W1C | 0x0 | 报文传输错误中断清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除事件和中断标志，位段自动清零 |

### 12.7.2.12 CAN 信箱组传输完成中断标志寄存器（CANTGIF）

表 12-31: CAN 信箱组传输完成中断标志寄存器（CANTGIF）位段定义

| CANTGIF (CAN Mailbox Group Transfer Done Interrupt Flag Register) |      |      |      |      |      |      |      |
|-------------------------------------------------------------------|------|------|------|------|------|------|------|
| Access: CAN->CANTGIF    Offset: 0x002C    Default: 0x00000000     |      |      |      |      |      |      |      |
| 31                                                                | 30   | 29   | 28   | 27   | 26   | 25   | 24   |
| RESERVED                                                          |      |      |      |      |      |      |      |
| 23                                                                | 22   | 21   | 20   | 19   | 18   | 17   | 16   |
| RESERVED                                                          |      |      |      |      |      |      |      |
| 15                                                                | 14   | 13   | 12   | 11   | 10   | 9    | 8    |
| RESERVED                                                          |      |      |      |      |      |      |      |
| 7                                                                 | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
| GRP7                                                              | GRP6 | GRP5 | GRP4 | GRP3 | GRP2 | GRP1 | GRP0 |

表 12-32: CAN 信箱组传输完成中断标志寄存器（CANTGIF）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                     |
|------|---------------|----|-----|----------------------------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                                                                     |
| 7    | GRP7          | RO | 0x0 | 信箱组 7 传输完成中断标志<br>信箱 56~63 中任意一个完成传输后本位段置位<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 6    | GRP6          | RO | 0x0 | 信箱组 6 传输完成中断标志<br>信箱 48~55 中任意一个完成传输后本位段置位<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 5    | GRP5          | RO | 0x0 | 信箱组 5 传输完成中断标志<br>信箱 40~47 中任意一个完成传输后本位段置位<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 4    | GRP4          | RO | 0x0 | 信箱组 4 传输完成中断标志<br>信箱 32~39 中任意一个完成传输后本位段置位<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 3    | GRP3          | RO | 0x0 | 信箱组 3 传输完成中断标志<br>信箱 24~31 中任意一个完成传输后本位段置位<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |

| 位段 | 位段名  | 属性 | 复位值 | 描述                                                                                     |
|----|------|----|-----|----------------------------------------------------------------------------------------|
| 2  | GRP2 | RO | 0x0 | 信箱组 2 传输完成中断标志<br>信箱 16~23 中任意一个完成传输后本位段置位<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 1  | GRP1 | RO | 0x0 | 信箱组 1 传输完成中断标志<br>信箱 8~15 中任意一个完成传输后本位段置位<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断  |
| 0  | GRP0 | RO | 0x0 | 信箱组 0 传输完成中断标志<br>信箱 0~7 中任意一个完成传输后本位段置位<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断   |



### 12.7.2.13 CAN 信箱组传输完成中断清除寄存器（CANTGIC）

表 12-33: CAN 信箱组传输完成中断清除寄存器（CANTGIC）位段定义

|                                                                    |      |      |      |      |      |      |      |
|--------------------------------------------------------------------|------|------|------|------|------|------|------|
| CANTGIC (CAN Mailbox Group Transfer Done Interrupt Clear Register) |      |      |      |      |      |      |      |
| Access: CAN->CANTGIC    Offset: 0x0030    Default: 0x00000000      |      |      |      |      |      |      |      |
| 31                                                                 | 30   | 29   | 28   | 27   | 26   | 25   | 24   |
| RESERVED                                                           |      |      |      |      |      |      |      |
| 23                                                                 | 22   | 21   | 20   | 19   | 18   | 17   | 16   |
| RESERVED                                                           |      |      |      |      |      |      |      |
| 15                                                                 | 14   | 13   | 12   | 11   | 10   | 9    | 8    |
| RESERVED                                                           |      |      |      |      |      |      |      |
| 7                                                                  | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
| GRP7                                                               | GRP6 | GRP5 | GRP4 | GRP3 | GRP2 | GRP1 | GRP0 |

表 12-34: CAN 信箱组传输完成中断清除寄存器（CANTGIC）位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                             |
|------|---------------|-----|-----|----------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO  | 0x0 | 保留                                                             |
| 7    | GRP7          | W1C | 0x0 | 信箱组 7 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 位段自动清零 |
| 6    | GRP6          | W1C | 0x0 | 信箱组 6 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 位段自动清零 |
| 5    | GRP5          | W1C | 0x0 | 信箱组 5 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 位段自动清零 |
| 4    | GRP4          | W1C | 0x0 | 信箱组 4 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 位段自动清零 |
| 3    | GRP3          | W1C | 0x0 | 信箱组 3 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 位段自动清零 |
| 2    | GRP2          | W1C | 0x0 | 信箱组 2 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 位段自动清零 |
| 1    | GRP1          | W1C | 0x0 | 信箱组 1 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 位段自动清零 |
| 0    | GRP0          | W1C | 0x0 | 信箱组 0 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 位段自动清零 |

#### 12.7.2.14 CAN 内存错误地址寄存器（CANMEMERRADDR）

表 12-35: CAN 内存错误地址寄存器（CANMEMERRADDR）位段定义

| CANMEMERRADDR (CAN Memory Error Address Register) |    |    |    |                |    |                     |    |
|---------------------------------------------------|----|----|----|----------------|----|---------------------|----|
| Access: CAN->CANMEMERRADDR                        |    |    |    | Offset: 0x0034 |    | Default: 0x00000000 |    |
| 31                                                | 30 | 29 | 28 | 27             | 26 | 25                  | 24 |
| ADDR                                              |    |    |    |                |    |                     |    |
| 23                                                | 22 | 21 | 20 | 19             | 18 | 17                  | 16 |
| ADDR                                              |    |    |    |                |    |                     |    |
| 15                                                | 14 | 13 | 12 | 11             | 10 | 9                   | 8  |
| ADDR                                              |    |    |    |                |    |                     |    |
| 7                                                 | 6  | 5  | 4  | 3              | 2  | 1                   | 0  |
| ADDR                                              |    |    |    |                |    |                     |    |

表 12-36: CAN 内存错误地址寄存器（CANMEMERRADDR）位段描述

| 位段   | 位段名  | 属性 | 复位值 | 描述               |
|------|------|----|-----|------------------|
| 31:0 | ADDR | RO | 0x0 | 内存访问发生 ECC 错误的地址 |

### 12.7.2.15 CAN 测试控制寄存器（CANTEST）

表 12-37: CAN 测试控制寄存器（CANTEST）位段定义

|                                     |          |                |     |                     |    |           |           |
|-------------------------------------|----------|----------------|-----|---------------------|----|-----------|-----------|
| CANTEST (CAN Test Control Register) |          |                |     |                     |    |           |           |
| Access: CAN->CANTEST                |          | Offset: 0x0038 |     | Default: 0x00000030 |    |           |           |
| 31                                  | 30       | 29             | 28  | 27                  | 26 | 25        | 24        |
| RESERVED                            |          |                |     |                     |    |           |           |
| 23                                  | 22       | 21             | 20  | 19                  | 18 | 17        | 16        |
| RESERVED                            |          |                |     |                     |    |           |           |
| 15                                  | 14       | 13             | 12  | 11                  | 10 | 9         | 8         |
| RESERVED                            |          |                |     |                     |    | MFRCWRERR | MFRCRDERR |
| 7                                   | 6        | 5              | 4   | 3                   | 2  | 1         | 0         |
| MERRTE                              | RESERVED | RXD            | TXD | TXMODE              |    | ELPBK     | ILPBK     |

表 12-38: CAN 测试控制寄存器（CANTEST）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                     |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO  | 0x0 | 保留                                                                                                                     |
| 9     | MFRCWRERR      | W1S | 0x0 | 内存写访问单次错误注入<br>0: 写 0 无效，读总是 0<br>1: 写 1 强制错误注入<br>内存访问 ECC 错误发生时位段自动清零                                                |
| 8     | MFRCRDERR      | W1S | 0x0 | 内存读访问单次错误注入<br>0: 写 0 无效，读总是 0<br>1: 写 1 强制错误注入<br>内存访问 ECC 错误发生时位段自动清零                                                |
| 7     | MERRTE         | RW  | 0x0 | 内存错误软件注入使能<br>0: 关闭<br>1: 使能                                                                                           |
| 6     | RESERVED_6     | RO  | 0x0 | 保留                                                                                                                     |
| 5     | RXD            | RO  | 0x1 | RXD 引脚监测到的电平<br>0: 低<br>1: 高                                                                                           |
| 4     | TXD            | RO  | 0x1 | TXD 引脚监测到的电平<br>0: 低<br>1: 高                                                                                           |
| 3:2   | TXMODE         | RW  | 0x0 | TXD 引脚控制<br>关闭 CANCTL.TESTMODE 时本位段复位<br>0: TXD 引脚由 CAN 协议引擎驱动<br>1: 采样点处输出低，驱动点处输出高<br>由此可以通过 TXD 引脚观测采样点位置<br>2: 输出低 |

| 位段 | 位段名   | 属性 | 复位值 | 描述                                                      |
|----|-------|----|-----|---------------------------------------------------------|
|    |       |    |     | 3: 输出高                                                  |
| 1  | ELPBK | RW | 0x0 | 外部环回模式使能<br>关闭 CANCTL.TESTMODE 时本位段复位<br>0: 关闭<br>1: 使能 |
| 0  | ILPBK | RW | 0x0 | 内部环回模式使能<br>关闭 CANCTL.TESTMODE 时本位段复位<br>0: 关闭<br>1: 使能 |

### 12.7.2.16 CAN 错误计数控制寄存器 (CANECCTL)

表 12-39: CAN 错误计数控制寄存器 (CANECCTL) 位段定义

|                                               |       |                |    |                     |    |    |    |
|-----------------------------------------------|-------|----------------|----|---------------------|----|----|----|
| CANECCTL (CAN Error Counter Control Register) |       |                |    |                     |    |    |    |
| Access: CAN->CANECCTL                         |       | Offset: 0x003C |    | Default: 0x0000307F |    |    |    |
| 31                                            | 30    | 29             | 28 | 27                  | 26 | 25 | 24 |
| RESERVED                                      |       |                |    |                     |    |    |    |
| 23                                            | 22    | 21             | 20 | 19                  | 18 | 17 | 16 |
| RESERVED                                      |       |                |    |                     |    |    |    |
| 15                                            | 14    | 13             | 12 | 11                  | 10 | 9  | 8  |
| RESERVED                                      |       | ERRWARN        |    |                     |    |    |    |
| 7                                             | 6     | 5              | 4  | 3                   | 2  | 1  | 0  |
| ERRWARN                                       | RECLD |                |    |                     |    |    |    |

表 12-40: CAN 错误计数控制寄存器 (CANECCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值  | 描述                                             |
|-------|----------------|----|------|------------------------------------------------|
| 31:14 | RESERVED_31_14 | RO | 0x0  | 保留                                             |
| 13:7  | ERRWARN        | RW | 0x60 | 错误警告阈值, 取值范围为[80, 127]                         |
| 6:0   | RECLD          | RW | 0x7F | REC 大于 127 时帧接收成功后 REC 的复位值<br>取值范围为[119, 127] |

### 12.7.2.17 CAN 发送请求寄存器 n ([0:1]) (CANTXREQ)

表 12-41: CAN 发送请求寄存器 n ([0:1]) (CANTXREQ) 位段定义

| CANTXREQ (CAN Transmission Request Register)                      |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: CAN->CANTXREQ[n]    Offset: 0x0040    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                               |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                               |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                               |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                               |    |    |    |    |    |    |    |

表 12-42: CAN 发送请求寄存器 n ([0:1]) (CANTXREQ) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                         |
|------|-----|----|-----|------------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 每位对应的信箱 (0~63) 的发送请求<br>0: 该信箱未请求发送<br>1: 该信箱有发送请求正在等待或处理中 |

### 12.7.2.18 CAN 新报文标志寄存器 n ([0:1]) (CANMSGNEW)

表 12-43: CAN 新报文标志寄存器 n ([0:1]) (CANMSGNEW) 位段定义

| CANMSGNEW (CAN New Message Register)                               |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: CAN->CANMSGNEW[n]    Offset: 0x0050    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                                |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                                |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                |    |    |    |    |    |    |    |

表 12-44: CAN 新报文标志寄存器 n ([0:1]) (CANMSGNEW) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                    |
|------|-----|----|-----|-------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 每位对应的信箱 (0~63) 的新报文标志<br>0: 该信箱未写入新报文<br>1: 该信箱有新报文写入 |

## 12.7.2.19 CAN 信箱传输完成中断标志寄存器 n ([0:1]) (CANMSGIF)

表 12-45: CAN 信箱传输完成中断标志寄存器 n ([0:1]) (CANMSGIF) 位段定义

| CANMSGIF (CAN Mailbox Transfer Done Interrupt Flag Register)      |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: CAN->CANMSGIF[n]    Offset: 0x0060    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                               |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                               |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                               |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                               |    |    |    |    |    |    |    |

表 12-46: CAN 信箱传输完成中断标志寄存器 n ([0:1]) (CANMSGIF) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                             |
|------|-----|----|-----|----------------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 每位对应的信箱 (0~63) 的传输完成中断标志<br>0: 该信箱未触发传输完成中断<br>1: 该信箱已触发传输完成中断 |

## 12.7.2.20 CAN 信箱使能寄存器 n ([0:1]) (CANMBEN)

表 12-47: CAN 信箱使能寄存器 n ([0:1]) (CANMBEN) 位段定义

| CANMBEN (CAN Mailbox Enable Register)                            |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: CAN->CANMBEN[n]    Offset: 0x0070    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                              |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                              |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                              |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 12-48: CAN 信箱使能寄存器 n ([0:1]) (CANMBEN) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                        |
|------|-----|----|-----|-----------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 使能每位对应的信箱 (0~63)<br>0: 关闭该信箱, 不用于报文传输<br>1: 使能该信箱, 用于报文传输 |

### 12.7.2.21 CAN 时间戳控制寄存器（CANTSCTL）

表 12-49: CAN 时间戳控制寄存器（CANTSCTL）位段定义

| CANTSCTL (CAN Timestamp Control Register) |    |                |    |                     |    |    |      |
|-------------------------------------------|----|----------------|----|---------------------|----|----|------|
| Access: CAN->CANTSCTL                     |    | Offset: 0x0080 |    | Default: 0x00000000 |    |    |      |
| 31                                        | 30 | 29             | 28 | 27                  | 26 | 25 | 24   |
| RESERVED                                  |    |                |    |                     |    |    |      |
| 23                                        | 22 | 21             | 20 | 19                  | 18 | 17 | 16   |
| RESERVED                                  |    |                |    |                     |    |    |      |
| 15                                        | 14 | 13             | 12 | 11                  | 10 | 9  | 8    |
| RESERVED                                  |    |                |    |                     |    |    |      |
| 7                                         | 6  | 5              | 4  | 3                   | 2  | 1  | 0    |
| RESERVED                                  |    |                |    |                     |    |    | TSEN |

表 12-50: CAN 时间戳控制寄存器（CANTSCTL）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                      |
|------|---------------|----|-----|-------------------------|
| 31:1 | RESERVED_31_1 | RO | 0x0 | 保留                      |
| 0    | TSEN          | RW | 0x0 | 时间戳使能<br>0: 关闭<br>1: 使能 |

### 12.7.2.22 CAN 时间戳计数寄存器（CANTSCNT）

表 12-51: CAN 时间戳计数寄存器（CANTSCNT）位段定义

| CANTSCNT (CAN Timestamp Counter Register) |    |                |    |                     |    |    |    |
|-------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: CAN->CANTSCNT                     |    | Offset: 0x0084 |    | Default: 0x00000000 |    |    |    |
| 31                                        | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| TSCNT                                     |    |                |    |                     |    |    |    |
| 23                                        | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| TSCNT                                     |    |                |    |                     |    |    |    |
| 15                                        | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| TSCNT                                     |    |                |    |                     |    |    |    |
| 7                                         | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| TSCNT                                     |    |                |    |                     |    |    |    |

表 12-52: CAN 时间戳计数寄存器（CANTSCNT）位段描述

| 位段   | 位段名   | 属性 | 复位值 | 描述                                                                   |
|------|-------|----|-----|----------------------------------------------------------------------|
| 31:0 | TSCNT | RW | 0x0 | 时间戳计数器在采样点向上计数<br>读本寄存器返回当前计数值<br>写本寄存器更新计数值，计数器在下一个采样点基于更新后的值继续向上计数 |



## 12.7.2.23 CAN 内存错误注入样式寄存器 n ([0:1]) (CANMERRPAT)

表 12-53: CAN 内存错误注入样式寄存器 n ([0:1]) (CANMERRPAT) 位段定义

| CANMERRPAT (CAN Memory Force Error Pattern Register) |    |    |    |                |    |                     |    |
|------------------------------------------------------|----|----|----|----------------|----|---------------------|----|
| Access: CAN->CANMERRPAT[n]                           |    |    |    | Offset: 0x0088 |    | Default: 0x00000000 |    |
| 31                                                   | 30 | 29 | 28 | 27             | 26 | 25                  | 24 |
| VAL                                                  |    |    |    |                |    |                     |    |
| 23                                                   | 22 | 21 | 20 | 19             | 18 | 17                  | 16 |
| VAL                                                  |    |    |    |                |    |                     |    |
| 15                                                   | 14 | 13 | 12 | 11             | 10 | 9                   | 8  |
| VAL                                                  |    |    |    |                |    |                     |    |
| 7                                                    | 6  | 5  | 4  | 3              | 2  | 1                   | 0  |
| VAL                                                  |    |    |    |                |    |                     |    |

表 12-54: CAN 内存错误注入样式寄存器 n ([0:1]) (CANMERRPAT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                       |
|------|-----|----|-----|------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 内存访问注入错误的样式<br>0: 对应位不注入错误<br>1: 对应位注入错误 |

## 12.7.2.24 CAN 模块写使能寄存器 (CANREGKEY)

表 12-55: CAN 模块写使能寄存器 (CANREGKEY) 位段定义

| CANREGKEY (CAN Register Write-Allow Key Register) |    |    |    |                |    |                     |    |
|---------------------------------------------------|----|----|----|----------------|----|---------------------|----|
| Access: CAN->CANREGKEY                            |    |    |    | Offset: 0x0090 |    | Default: 0x1ACCE551 |    |
| 31                                                | 30 | 29 | 28 | 27             | 26 | 25                  | 24 |
| KEY                                               |    |    |    |                |    |                     |    |
| 23                                                | 22 | 21 | 20 | 19             | 18 | 17                  | 16 |
| KEY                                               |    |    |    |                |    |                     |    |
| 15                                                | 14 | 13 | 12 | 11             | 10 | 9                   | 8  |
| KEY                                               |    |    |    |                |    |                     |    |
| 7                                                 | 6  | 5  | 4  | 3              | 2  | 1                   | 0  |
| KEY                                               |    |    |    |                |    |                     |    |

表 12-56: CAN 模块写使能寄存器 (CANREGKEY) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                           |
|------|-----|----|------------|------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 CAN 寄存器 |

### 12.7.3 CANMBOX 寄存器列表

表 12-57: CANMBOX 模块基地址

| 外设模块                            | 基地址         |
|---------------------------------|-------------|
| CAN0->CANMBOX[n] <sup>[1]</sup> | 0x4000 2000 |
| CAN1->CANMBOX[n] <sup>[1]</sup> | 0x4000 4000 |

[1] 为了方便，SDK 中已将 CANMBOX 包含在 CAN 寄存器定义里，64 个 CANMBOX 以数组形式访问。

表 12-58: CANMBOX 寄存器列表

| 寄存器                         | 偏移地址   | 描述                        | 复位值        |
|-----------------------------|--------|---------------------------|------------|
| <a href="#">CANMBOXFDW</a>  | 0x0000 | CAN 信箱报文数据字寄存器 n ([0:15]) | 0x00000000 |
| <a href="#">CANMBOXFMSK</a> | 0x0040 | CAN 信箱报文标识符掩码寄存器          | 0x00000000 |
| <a href="#">CANMBOXFID</a>  | 0x0044 | CAN 信箱报文标识符寄存器            | 0x00000000 |
| <a href="#">CANMBOXMTS</a>  | 0x0048 | CAN 信箱报文时间戳寄存器            | 0x00000000 |
| <a href="#">CANMBOXMCTL</a> | 0x004C | CAN 信箱报文控制寄存器             | 0x00000000 |

## 12.7.4 CANMBOX 寄存器

### 12.7.4.1 CAN 信箱报文数据字寄存器 n ([0:15]) (CANMBOXFDW)

表 12-59: CAN 信箱报文数据字寄存器 n ([0:15]) (CANMBOXFDW) 位段定义

|                                                                                                                                                                      |    |    |    |    |    |    |    |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|----|----|----|----|----|----|
| CANMBOXFDW (CAN Mailbox Data Word Register n)    Offset: 0x00    Default: 0x00000000<br>Access: CAN->CANMBOX[m].CANMBOXFDW[n] (m is from 0 to 63, n is from 0 to 15) |    |    |    |    |    |    |    |
| 31                                                                                                                                                                   | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE3                                                                                                                                                                |    |    |    |    |    |    |    |
| 23                                                                                                                                                                   | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE2                                                                                                                                                                |    |    |    |    |    |    |    |
| 15                                                                                                                                                                   | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE1                                                                                                                                                                |    |    |    |    |    |    |    |
| 7                                                                                                                                                                    | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE0                                                                                                                                                                |    |    |    |    |    |    |    |

表 12-60: CAN 信箱报文数据字寄存器 n ([0:15]) (CANMBOXFDW) 位段描述

| 位段    | 位段名   | 属性 | 复位值 | 描述                                  |
|-------|-------|----|-----|-------------------------------------|
| 31:24 | BYTE3 | RW | 0x0 | 报文数据第(4n + 3)字节<br>推荐将不用的字节填充为 0xCC |
| 23:16 | BYTE2 | RW | 0x0 | 报文数据第(4n + 2)字节<br>推荐将不用的字节填充为 0xCC |
| 15:8  | BYTE1 | RW | 0x0 | 报文数据第(4n + 1)字节<br>推荐将不用的字节填充为 0xCC |
| 7:0   | BYTE0 | RW | 0x0 | 报文数据第(4n + 0)字节<br>推荐将不用的字节填充为 0xCC |

#### 12.7.4.2 CAN 信箱报文标识符掩码寄存器 (CANMBOXFMSK)

表 12-61: CAN 信箱报文标识符掩码寄存器 (CANMBOXFMSK) 位段定义

|                                                                                                                                           |           |           |    |    |          |    |    |
|-------------------------------------------------------------------------------------------------------------------------------------------|-----------|-----------|----|----|----------|----|----|
| CANMBOXFMSK (CAN Mailbox Frame Mask Register) Offset: 0x40 Default: 0x00000000<br>Access: CAN->CANMBOX[m].CANMBOXFMSK (m is from 0 to 63) |           |           |    |    |          |    |    |
| 31<br>RESERVED                                                                                                                            | 30<br>RTR | 29<br>IDE | 28 | 27 | 26<br>ID | 25 | 24 |
| 23                                                                                                                                        | 22        | 21        | 20 | 19 | 18       | 17 | 16 |
| ID                                                                                                                                        |           |           |    |    |          |    |    |
| 15                                                                                                                                        | 14        | 13        | 12 | 11 | 10       | 9  | 8  |
| ID                                                                                                                                        |           |           |    |    |          |    |    |
| 7                                                                                                                                         | 6         | 5         | 4  | 3  | 2        | 1  | 0  |
| ID                                                                                                                                        |           |           |    |    |          |    |    |

表 12-62: CAN 信箱报文标识符掩码寄存器 (CANMBOXFMSK) 位段描述

| 位段   | 位段名         | 属性 | 复位值 | 描述                                                                                 |
|------|-------------|----|-----|------------------------------------------------------------------------------------|
| 31   | RESERVED_31 | RO | 0x0 | 保留                                                                                 |
| 30   | RTR         | RW | 0x0 | 远程帧请求位掩码<br>0: 标识符过滤匹配时 RTR 位不参与比较<br>1: 标识符过滤匹配时 RTR 位参与比较                        |
| 29   | IDE         | RW | 0x0 | 扩展帧位掩码<br>0: 标识符过滤匹配时 IDE 位不参与比较<br>1: 标识符过滤匹配时 IDE 位参与比较                          |
| 28:0 | ID          | RW | 0x0 | 标识符掩码<br>接收到的 IDE 为 0 时只有 ID[28:18]有效<br>0: 标识符过滤匹配时对应位不参与比较<br>1: 标识符过滤匹配时对应位参与比较 |

## 12.7.4.3 CAN 信箱报文标识符寄存器 (CANMBOXFID)

表 12-63: CAN 信箱报文标识符寄存器 (CANMBOXFID) 位段定义

|                                                                                                                                               |           |           |    |    |          |    |    |
|-----------------------------------------------------------------------------------------------------------------------------------------------|-----------|-----------|----|----|----------|----|----|
| CANMBOXFID (CAN Mailbox Frame Identifier Register) Offset: 0x44 Default: 0x00000000<br>Access: CAN->CANMBOX[m].CANMBOXFID (m is from 0 to 63) |           |           |    |    |          |    |    |
| 31<br>RESERVED                                                                                                                                | 30<br>RTR | 29<br>IDE | 28 | 27 | 26<br>ID | 25 | 24 |
| 23                                                                                                                                            | 22        | 21        | 20 | 19 | 18       | 17 | 16 |
| ID                                                                                                                                            |           |           |    |    |          |    |    |
| 15                                                                                                                                            | 14        | 13        | 12 | 11 | 10       | 9  | 8  |
| ID                                                                                                                                            |           |           |    |    |          |    |    |
| 7                                                                                                                                             | 6         | 5         | 4  | 3  | 2        | 1  | 0  |
| ID                                                                                                                                            |           |           |    |    |          |    |    |

表 12-64: CAN 信箱报文标识符寄存器 (CANMBOXFID) 位段描述

| 位段   | 位段名         | 属性 | 复位值 | 描述                                                         |
|------|-------------|----|-----|------------------------------------------------------------|
| 31   | RESERVED_31 | RO | 0x0 | 保留                                                         |
| 30   | RTR         | RW | 0x0 | 远程帧请求<br>0: 报文为数据帧<br>1: 报文为远程帧                            |
| 29   | IDE         | RW | 0x0 | 扩展帧标识<br>0: 报文为标准帧<br>1: 报文为远程帧                            |
| 28:0 | ID          | RW | 0x0 | 报文标识符<br>IDE = 0: 标识符为 ID[28:18]<br>IDE = 1: 标识符为 ID[28:0] |

## 12.7.4.4 CAN 信箱报文时间戳寄存器 (CANMBOXMTS)

表 12-65: CAN 信箱报文时间戳寄存器 (CANMBOXMTS) 位段定义

|                                                                                                                                                |    |    |    |    |    |    |    |
|------------------------------------------------------------------------------------------------------------------------------------------------|----|----|----|----|----|----|----|
| CANMBOXMTS (CAN Mailbox Message Timestamp Register) Offset: 0x48 Default: 0x00000000<br>Access: CAN->CANMBOX[m].CANMBOXMTS (m is from 0 to 63) |    |    |    |    |    |    |    |
| 31                                                                                                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| TS                                                                                                                                             |    |    |    |    |    |    |    |
| 23                                                                                                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| TS                                                                                                                                             |    |    |    |    |    |    |    |
| 15                                                                                                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| TS                                                                                                                                             |    |    |    |    |    |    |    |
| 7                                                                                                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| TS                                                                                                                                             |    |    |    |    |    |    |    |

表 12-66: CAN 信箱报文时间戳寄存器 (CANMBOXMTS) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                        |
|------|-----|----|-----|-------------------------------------------|
| 31:0 | TS  | RW | 0x0 | 时间戳<br>用户应当只在初始化时写本寄存器，传输完成后可以回读硬件更新后的有效值 |

#### 12.7.4.5 CAN 信箱报文控制寄存器（CANMBOXMCTL）

表 12-67: CAN 信箱报文控制寄存器（CANMBOXMCTL）位段定义

|                                                                                                                                                |            |             |           |            |             |          |          |
|------------------------------------------------------------------------------------------------------------------------------------------------|------------|-------------|-----------|------------|-------------|----------|----------|
| CANMBOXMCTL (CAN Mailbox Message Control Register) Offset: 0x4C Default: 0x00000000<br>Access: CAN->CANMBOX[m].CANMBOXMCTL (m is from 0 to 63) |            |             |           |            |             |          |          |
| 31<br>EN                                                                                                                                       | 30<br>DIR  | 29<br>RMTEN | 28<br>NEW | 27<br>LOST | 26<br>TXREQ | 25<br>IF | 24<br>IE |
| 23<br>EOB                                                                                                                                      | 22<br>OVWR | 21<br>LOCK  | 20        | 19         | 18          | 17       | 16       |
| RESERVED                                                                                                                                       |            |             |           |            |             |          |          |
| 15                                                                                                                                             | 14         | 13          | 12        | 11         | 10          | 9        | 8        |
| RESERVED                                                                                                                                       |            |             |           |            |             |          |          |
| 7<br>ESICTL                                                                                                                                    | 6<br>FDF   | 5<br>BRS    | 4<br>ESI  | 3          | 2           | 1        | 0        |
| DLC                                                                                                                                            |            |             |           |            |             |          |          |

表 12-68: CAN 信箱报文控制寄存器（CANMBOXMCTL）位段描述

| 位段 | 位段名   | 属性 | 复位值 | 描述                                                           |
|----|-------|----|-----|--------------------------------------------------------------|
| 31 | EN    | RW | 0x0 | 信箱使能<br>0: 关闭<br>1: 使能                                       |
| 30 | DIR   | RW | 0x0 | 报文传输方向<br>0: 接收<br>1: 发送                                     |
| 29 | RMTEN | RW | 0x0 | 远程帧自动应答使能<br>0: 关闭<br>1: 使能                                  |
| 28 | NEW   | RW | 0x0 | 新报文标志<br>0: 旧报文<br>1: 新报文                                    |
| 27 | LOST  | RW | 0x0 | 接收到的报文丢失<br>用户不应该往本位写 1<br>0: 没有报文丢失<br>1: 有接收到的报文丢失         |
| 26 | TXREQ | RW | 0x0 | 发送请求<br>0: 关闭<br>1: 使能                                       |
| 25 | IF    | RW | 0x0 | 中断标志<br>用户不应该往本位写 1<br>0: 中断未发生<br>1: 中断已发生                  |
| 24 | IE    | RW | 0x0 | 信箱传输完成中断使能<br>0: 关闭<br>1: 使能                                 |
| 23 | EOB   | RW | 0x0 | 信箱分组块最后一个信箱标记<br>0: 本信箱未用作信箱分组块最后一个信箱<br>1: 本信箱用作信箱分组块最后一个信箱 |

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                                                                                                                                              |
|------|---------------|----|-----|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 22   | OVWR          | RW | 0x0 | 信箱分组块最后一个信箱改写使能<br>0: 关闭<br>1: 使能                                                                                                                                                                                                               |
| 21   | LOCK          | RW | 0x0 | 信箱锁定<br>用户不应该往本位写 1<br>0: 信箱未被锁定（允许 AHB 写访问）<br>1: 信箱被锁定（禁止 AHB 写访问）                                                                                                                                                                            |
| 20:8 | RESERVED_20_8 | RW | 0x0 | 保留                                                                                                                                                                                                                                              |
| 7    | ESICTL        | RW | 0x0 | 错误状态软件改写使能<br>0: ESI 由 CAN 协议硬件控制<br>1: ESI 由 CANMBOXMCTL.ESI 寄存器位段控制                                                                                                                                                                           |
| 6    | FDF           | RW | 0x0 | FDCAN 格式使能<br>0: 关闭<br>1: 使能                                                                                                                                                                                                                    |
| 5    | BRS           | RW | 0x0 | 速率切换<br>0: 关闭<br>1: 使能                                                                                                                                                                                                                          |
| 4    | ESI           | RW | 0x0 | 错误状态<br>ESICTL = 0 时写本位段无意义<br>0: 主动错误<br>1: 被动错误                                                                                                                                                                                               |
| 3:0  | DLC           | RW | 0x0 | 数据长度码<br>对于非 FDCAN 格式，若本位段写入值大于 8，则实际传输的报文数据为 8 字节<br>0: 0 字节<br>1: 1 字节<br>2: 2 字节<br>3: 3 字节<br>4: 4 字节<br>5: 5 字节<br>6: 6 字节<br>7: 7 字节<br>8: 8 字节<br>9: 12 字节<br>10: 16 字节<br>11: 20 字节<br>12: 24 字节<br>13: 32 字节<br>14: 48 字节<br>15: 64 字节 |



## 13 模数转换器（ADC）

### 13.1 概述

SPC1185 提供 3 个 14 位逐次逼近型模数转换器（SAR-ADC），并有多达 20 个外部模拟输入通道可以送入 ADC 采样。

用户可以很方便地使用 ADC 对一个触发源产生一系列的转换。基本的使用原理是基于多个独立配置的 SOC（Start of Conversion）转换请求控制通道。

ADC 模块主要包含以下功能：

- 14 位分辨率转换内核以及一个差分采样保持电路；
  - 最小 140ns 转换时间，支持高达 4Msps 采样率；
  - 支持多达 24 个外部模拟输入通道的采样。
- 支持 3 个 ADC 同时采样。
- 满幅度输入：3.339V。
- 8 个控制通道，可独立配置：
  - 触发源；
  - 输入信号选择；
  - 采样转换时间和平均次数；
  - DMA 硬件握手接口；
  - 偏移和增益校准；
  - 记录结果的寄存器；
  - 中断处理。
- 支持如下事件触发 SOC 采样转换请求：
  - 软件请求；
  - 通道转换完成 EOC（End of Conversion）事件；
  - 来自 PWM 的请求；
  - 通用定时器 TIMER0、TIMER1、TIMER2 的请求；
  - 外部引脚输入的请求。
- 每个 ADC 提供 4 个数字后处理单元：
  - 测量从 SOC 触发事件产生到实际采样转换开始的延迟；
  - 与参考值进行比较，参考值大小和比较的极性可配；
  - 对比较结果进行上下限（阈值可配）卡测和过零检测，相应的事件可配置为触发 CPU 中断或者 PWM 封锁。

## 13.2 ADC 架构

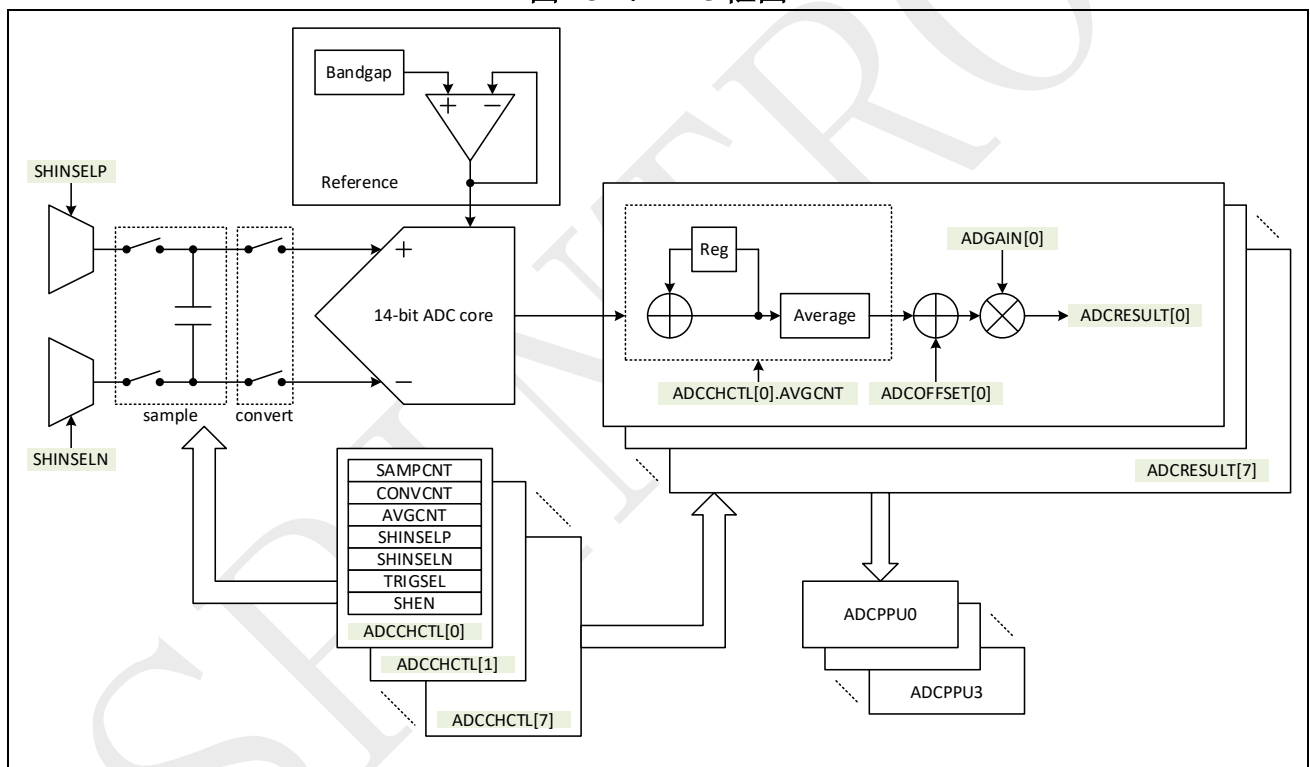
如图 13-1 所示，ADC 的模拟电路部分包括：

- 采样保持电路；
- 核心转换电路；
- 参考信号以及其他配套电路。

数字电路部分包括：

- 8 个控制通道配置；
- 8 个控制通道各自多次采样转换求平均、偏移和增益校准后的最终转换结果；
- 4 个后处理单元（PPU）；
- 与其他模块的接口（图中未画出）。

图 13-1: ADC 框图



## 13.3 基于控制通道的工作原理

ADC 基于控制通道工作，每个通道可以通过 ADCCHCTL[x] 寄存器独立配置，包括：

- 通过 ADCCHCTL[x].TRIGSEL 配置触发 SOC 转换请求的事件；
- 通过 ADCCHCTL[x].SHINSELP 和 ADCCHCTL[x].SHINSELN 配置输入的差分电压信号源；
- 通过 ADCCHCTL[x].AVGCNT 配置对输入多次采样转换并求平均的次数；
- 通过 ADCCHCTL[x].SAMPCNT 配置采样时间；
- 通过 ADCCHCTL[x].CONVCNT 配置转换时间。

若有必要，多个控制通道可以有相同的配置，从而可以实现如下场景：

- 在不同的触发事件下对于不同的输入独立采样转换；
- 用单一触发源对同一个输入做过采样；
- 用单一触发源创建一系列不同输入的转换。

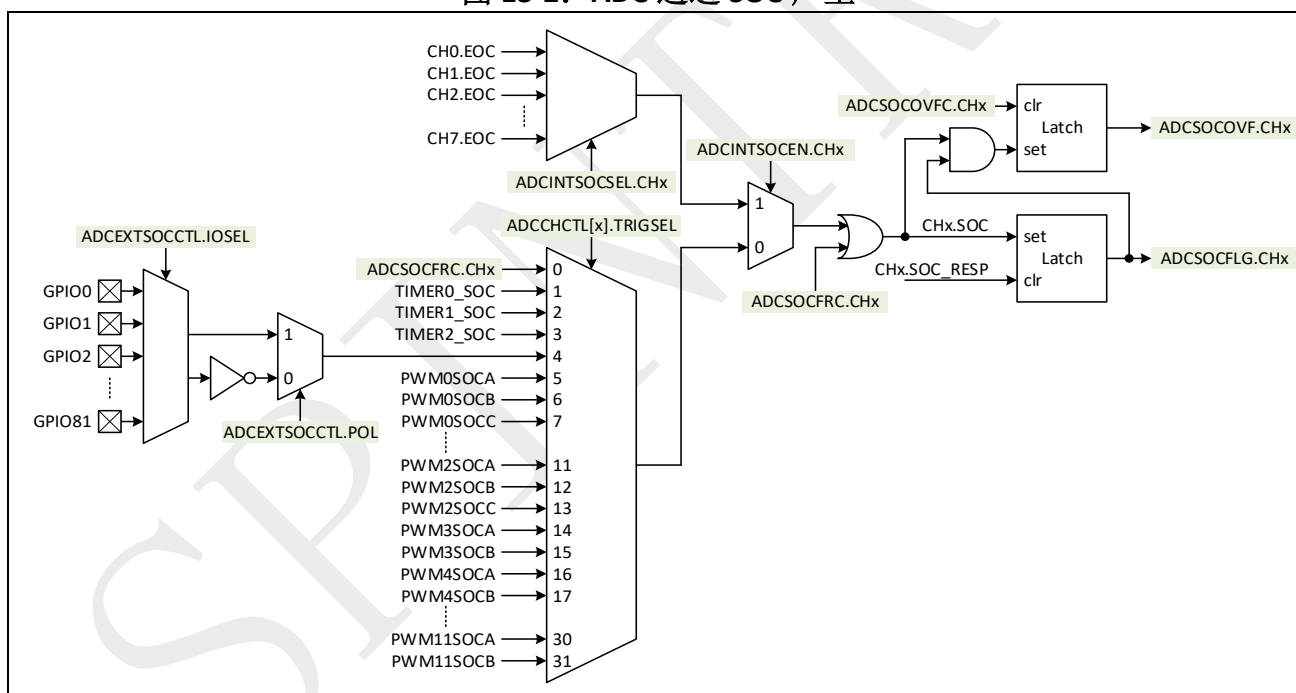
### 13.3.1 SOC 触发源

如图 13-2 所示，当 ADCINTSOCEN.CHx 设为 1 时，通道 x 的 SOC 由 ADCINTSOCSEL.CHx 所指定通道的 EOC 转换完成事件触发；否则，由 ADCCHCTL[x].TRIGSEL 指定的事件触发，包括：

- 通用定时器 TIMERO/TIMER1/TIMER2 的 SOC 请求；
- 来自 I/O 引脚的外部请求；
- 来自 PWM 的 SOC 请求。

注意，SOC 软件请求总是有效，不受 ADCINTSOCEN.CHx 的影响。ADCDSOCFLG 寄存器的对应标志位在 SOC 触发时置位，并在 SOC 得到响应（即开始执行）时清零。若通道 x 的 SOC 触发时 ADCSOCFLG.CHx 已经置位，则判定为溢出，并锁存到 ADCSOCOVF.CHx 标志位。溢出标志可以通过往 ADCSOCOVFC.CHx 写 1 清除。

图 13-2: ADC 通道 SOC 产生



### 13.3.2 输入选择

通过设置  $ADCCHCTL[x].SHSEL$  为 1，可以使能 ADC 采样电路。差分采样器的正负输入端如表 13-1 所示。

表 13-1: ADC 输入选择

| 选项 | ADC0      |           | ADC1      |           | ADC2      |           |
|----|-----------|-----------|-----------|-----------|-----------|-----------|
|    | SHINSELP  | SHINSELN  | SHINSELP  | SHINSELN  | SHINSELP  | SHINSELN  |
| 0  | AVSS      | AVSS      | AVSS      | AVSS      | AVSS      | AVSS      |
| 1  | PGA0_OUTP | PGA0_OUTN | PGA1_OUTP | PGA1_OUTN | PGA2_OUTP | PGA2_OUTN |
| 2  | DAC0      | DAC1      | DAC2      | DAC3      | DAC4      | DAC5      |
| 3  | AVDD      | VCAP12    | ATEST     | DACBUF0   | TSENSOR_P | TSENSOR_N |
| 4  | —         | ANA_IN1   | ANA_IN2   | ANA_IN3   | ANA_IN4   | ANA_IN5   |
| 5  | ANA_IN6   | ANA_IN7   | ANA_IN8   | ANA_IN9   | ANA_IN10  | ANA_IN11  |
| 6  | ANA_IN12  | ANA_IN13  | ANA_IN14  | ANA_IN15  | ANA_IN16  | ANA_IN17  |
| 7  | ANA_IN18  | ANA_IN19  | ANA_IN20  | ANA_IN21  | ANA_IN22  | ANA_IN23  |

### 13.3.3 采样和转换窗口

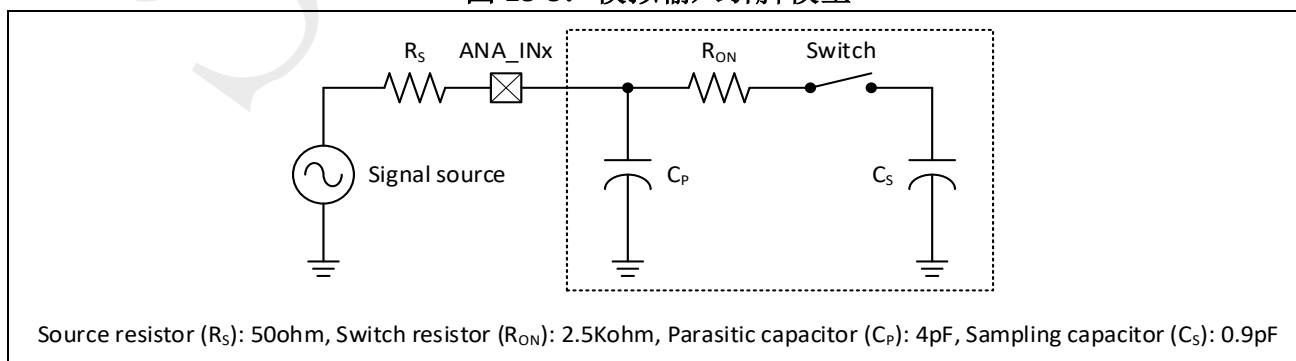
采样器电压建立到预期的输入电压所需的时间取决于信号源的驱动力，因此有必要对采样和转换时间窗口大小提供可编程性。这可以通过  $ADCCHCTL[x]$  中的  $SAMPCNT$  和  $CONVCNT$  位段实现：

- 通道 x 的采样时间为  $(ADCCHCTL[x].SAMPCNT + 1)$  个 ADC 时钟周期；
- 通道 x 的转换时间为  $(ADCCHCTL[x].CONVCNT + 1)$  个 ADC 时钟周期；
- 单次处理模拟输入的总时间为采样时间和转换时间的和。

注意： 1. 最小的转换时间为 140ns；  
2. 建议采样时间至少为 110ns。

最小采样时间由信号源阻抗、信号路径中的寄生电阻和寄生电容决定。如图 13-3 所示， $ANA\_INx$  引脚可以建模为一个 RC 网络，引脚上 0 到 3.3V 的电压摆幅需要约 20ns 的稳定时间才能达到 14 位精度。

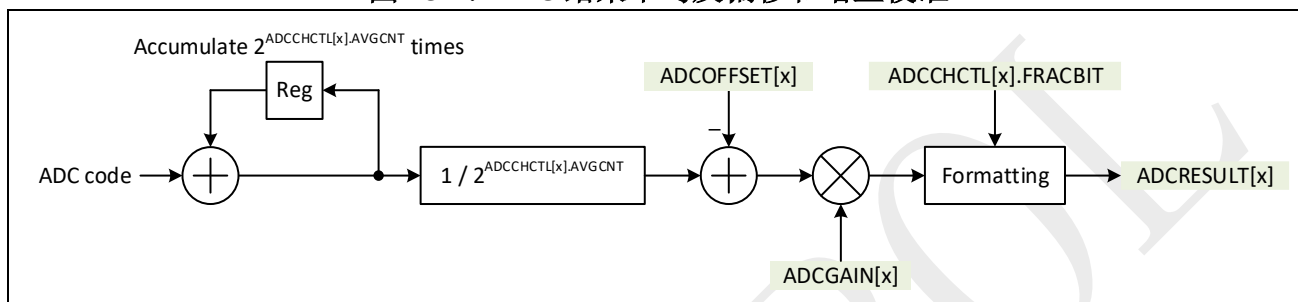
图 13-3: 模拟输入引脚模型



### 13.3.4 结果平均

采样系统通常会受到各种噪声源的影响，例如输入信号噪声、KT/C 噪声、比较器噪声、参考噪声、电源噪声等。为减轻其影响，可以对输入电压连续多次采样转换，累加码值并取平均得到最终结果。如果用软件来实现，会大大牺牲响应时间和 CPU 资源。因此，如图 13-4 所示，ADC 模块中提供了硬件平均引擎。单个 SOC 请求导致连续 N 次采样和转换，根据 ADCCHCTL[x].AVGCNT 的配置，其中 N 可以是 1、2、4、8、16、32、64 和 128。平均后的最终结果可以保留低 7 位小数部分或截断后只保留整数部分，这由 ADCCHCTL[x].FRACBIT 配置。

图 13-4: ADC 结果平均及偏移和增益校准



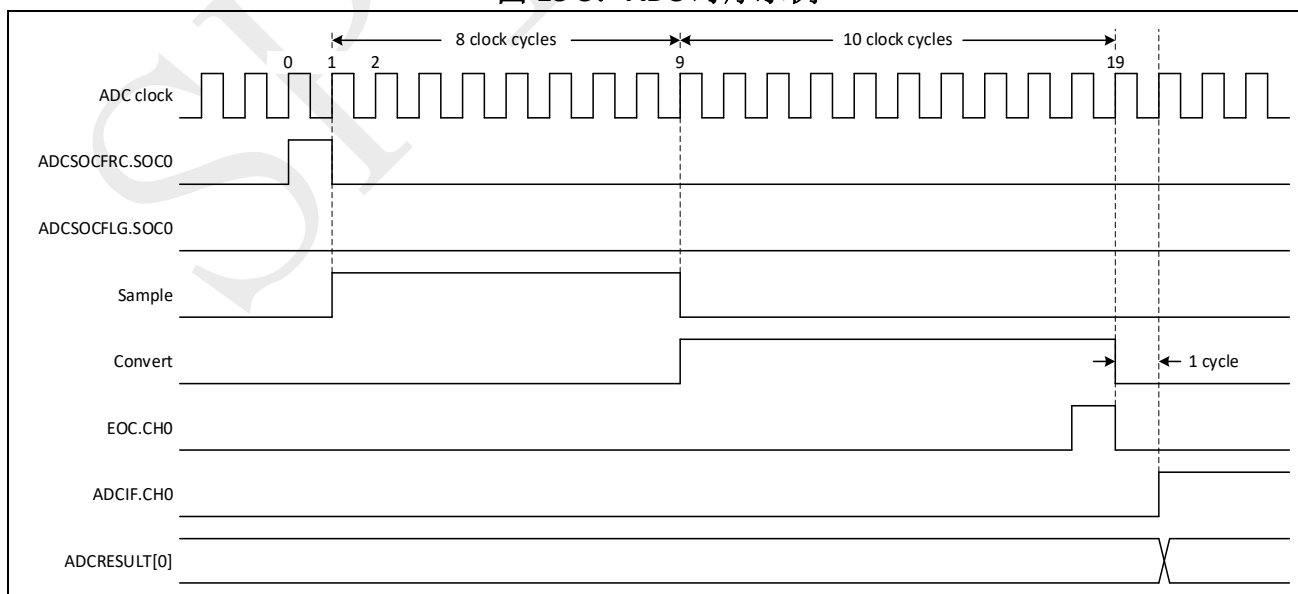
### 13.3.5 偏移和增益校准

在任何转换器中，都存在偏移误差和满量程增益误差。因此，如图 13-4 所示，模块中引入硬件增益和偏移校正。出厂时，每个 ADC 的偏移误差和增益调整系数都会逐一测试并存储在 Flash 闪存里，并在上电时自动加载到 SHOFFSET 和 SHGAIN 寄存器中。用户可以将它们复制到通道 x 对应的 ADCOFFSET[x] 和 ADCGAIN[x]，也可以自行进行实时校准，为每个通道设置独立的 ADCOFFSET[x] 和 ADCGAIN[x]。

### 13.3.6 时序图

假设 ADCCHCTL[0].SAMPcnt=7 且 ADCCHCTL[0].CONVCNT=9，通道 0 通过软件 SOC 请求触发单次采样和转换的时序如图 13-5 所示。

图 13-5: ADC 时序示例



## 13.4 ADC 转换优先级

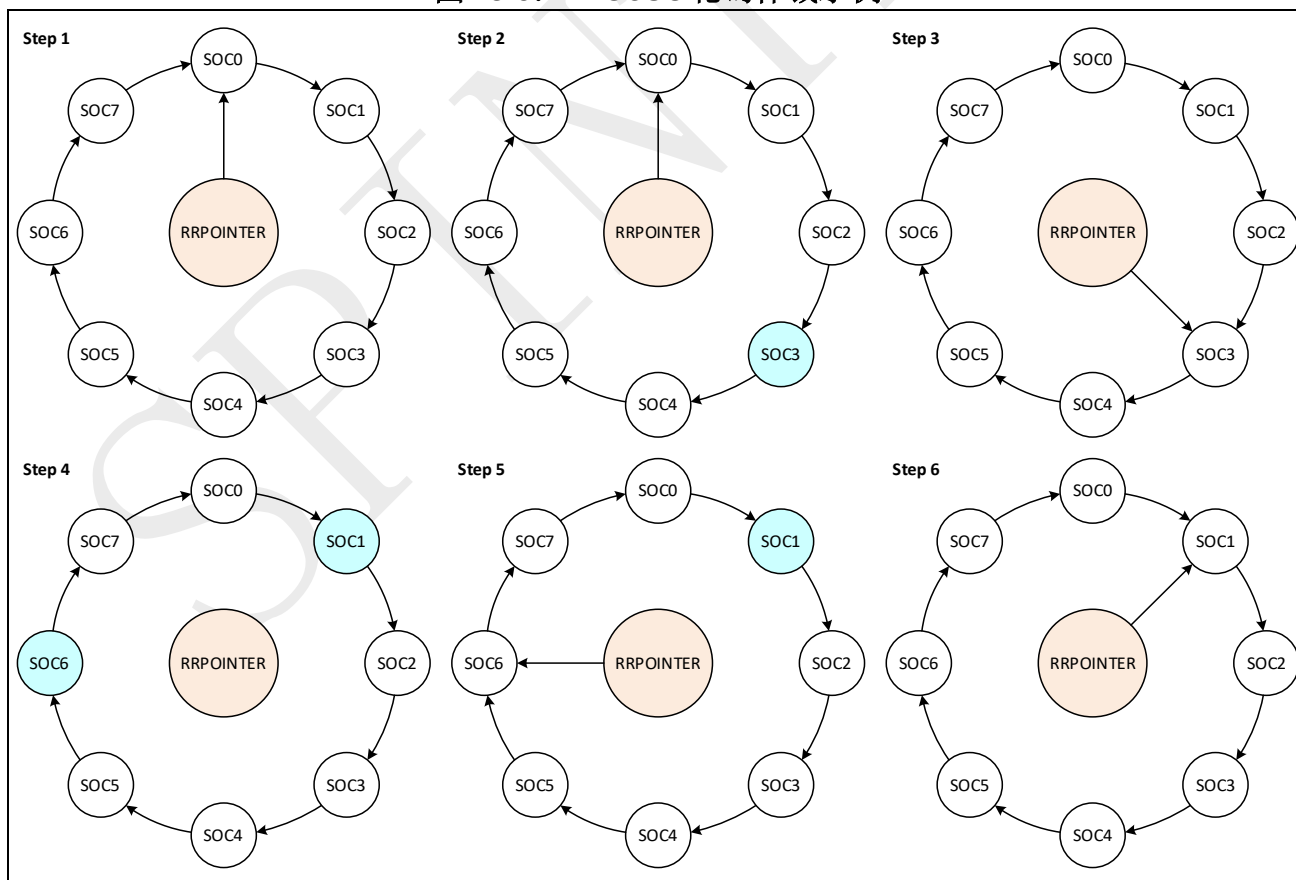
当多个 SOC 请求未决时，采用优先级仲裁来确定它们的执行顺序。

默认的优先级仲裁方案是轮询法（Round robin）。在此方案中，优先级取决于循环指针 RRPOINTER，RRPOINTER 指向当前最高优先级的 SOC[x]，待 SOC[x] 转换完成后指针会自动更新，指向 SOC[x+1]，并在 SOC7 之后环回到 SOC0。芯片复位或向 ADCCTL.RST 写 1 时，ADC SOCPRCTL.RRPOINTER 复位为 0。

图 13-6 给出了优先级轮询仲裁的示例。

1. 复位后 RRPOINTER 指向 SOC0；
2. SOC3 被触发；
3. SOC3 立即得到响应，转换过程中 RRPOINTER 指向 SOC3，待其转换结束后自动指向 SOC4，此时 SOC4 具有最高优先级；
4. SOC6 和 SOC1 同时被触发；
5. SOC6 在轮询环上位于 SOC1 前，所以首先响应，SOC1 保持等待状态，此时 RRPOINTER 指向 SOC6；
6. SOC6 转换完成后，RRPOINTER 指向 SOC1，待 SOC1 转换完成后将指向 SOC2，SOC2 具有最高优先级。

图 13-6: ADC SOC 轮询仲裁示例



ADC SOCPRCTL 寄存器中的 PRIORITY 字段可为索引低于 PRIORITY 的一组 SOC 分配更高的优先级。对于组内的 SOC，索引较低的优先级较高。对于组外的 SOC，轮询仲裁仍然适用。例

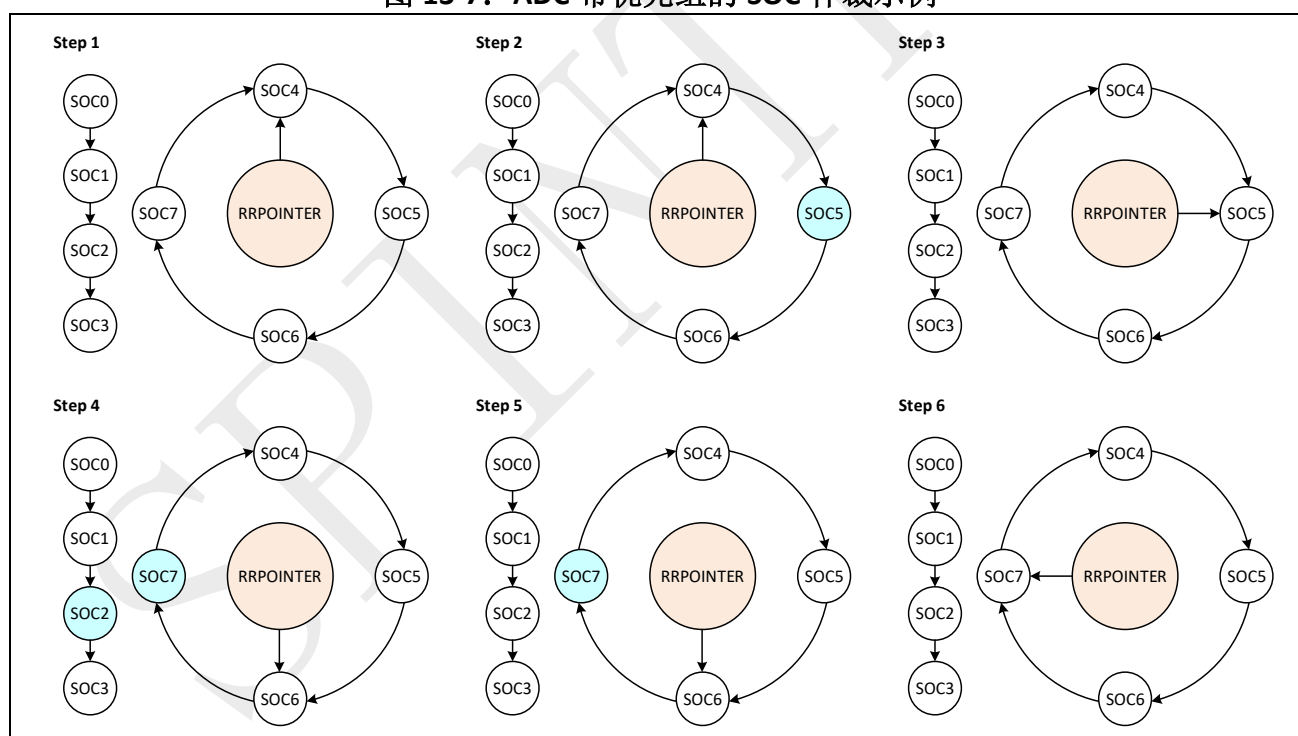
如  $PRIORITY=4$ ，则优先级从高到低依次为 SOC0、SOC1、SOC2、SOC3、SOC4 到 SOC7 组，其中 SOC4 到 SOC7 组内进行轮询仲裁。

来自优先级较高组的 SOC 可以在当前转换结束时中断另一组的轮询，并将自己作为下一个要响应的 SOC 插入。当它完成时，如果没有来自具有更高优先级的组的未决 SOC 请求，轮询仲裁将在它被中断的地方继续。

图 13-7 给出了使用高优先级 SOC 的示例，其中  $PRIORITY=4$ 。

1. 由于  $PRIORITY$  设置为 4，因此 SOC4 在轮询环上排名第一；
2. SOC5 被触发；
3. SOC5 立即得到响应，RRPOINTER 指向 SOC5；
4. SOC5 转换期间，SOC2 和 SOC7 同时触发；SOC5 完成后，RRPOINTER 指向 SOC6，即 SOC6 在轮询环内有最高优先级。
5. SOC2 在具有更高优先级的组中，所以首先响应，SOC7 继续等待，RRPOINTER 仍然指向 SOC6；
6. SOC2 转换结束，从 SOC0 到 SOC3 的组中没有待处理的 SOC，所以未决的 SOC7 得到响应，RRPOINTER 指向 SOC7，SOC4 现在是轮询环上的下一个。

图 13-7: ADC 带优先组的 SOC 仲裁示例



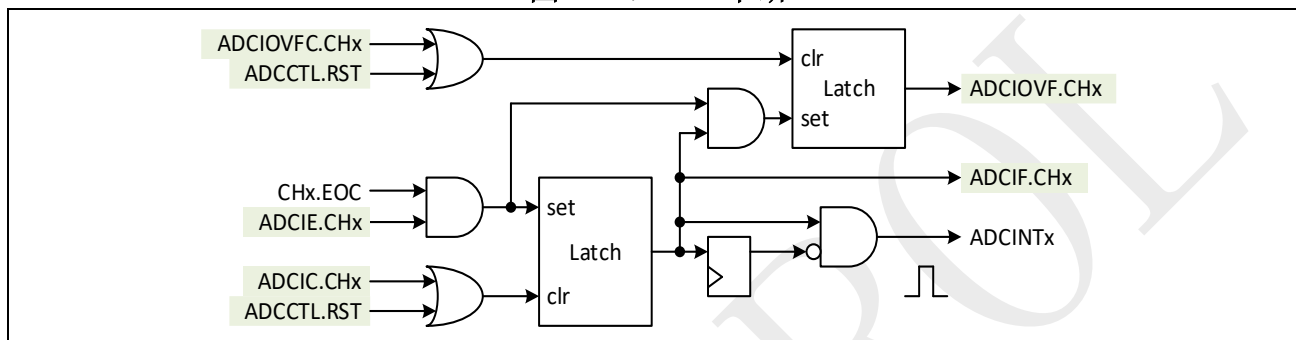


## 13.5 EOC 及中断

如图 13-8 所示，通道 x 的 EOC（转换结束）事件可以通过将 ADCIE.CHx 设置为 1 来使能，从而产生中断请求 ADCINTx 给 CPU。中断标志锁存在相应的 ADCIF.CHx 中，可以通过向 ADCIC.CHx 或 ADCCTL.RST 写 1 来清除。如果在 ADCIF.CHx 已置位时出现中断请求，则会发生中断溢出事件，该事件将被锁存到 ADCIOVF.CHx。可以通过向 ADCIOVFC.CHx 或 ADCCTL.RST 写 1 来清除。

请注意，如图 13-2 所示，ADCIE.CHx 的配置不影响使用 CHx.EOC 来触发 SOC。

图 13-8: ADC 中断

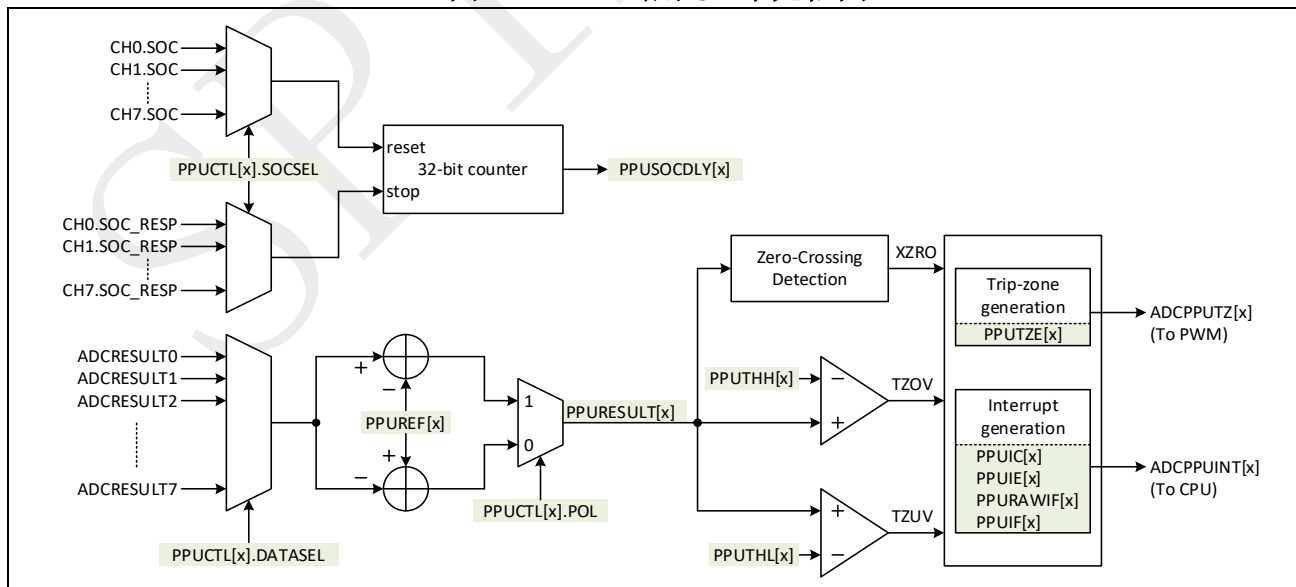


## 13.6 后处理单元

ADC 数字电路中有 4 个后处理单元（PPU）。如图 13-9 所示，它支持以下特性：

- 指定通道的转换结果与可配置的参考进行比较；
- 基于比较结果和可配置的阈值，产生过压、欠压和过零事件；
- 为 PWM 产生波形封锁条件，向 CPU 发出中断请求；
- 测量从指定通道的 SOC 请求被触发到 SOC 请求开始执行的延迟。

图 13-9: ADC 后处理单元框图



### 13.6.1 参数比较

在许多应用中，需要将 ADC 转换结果与参考进行比较，以获得参考的残余误差或偏移量。PPU 中通过硬件实现该功能，用于减少延迟和软件开销。

如图 13-9 所示，可以通过将 PPUCTLx.DATASEL 设置为 y 来选择来自通道 y 的 ADCRESULT[y]。它与 PPUREF[x]指定的参考进行比较，极性可通过 PPUCTLx.POL 配置，比较结果如下：

- 当 PPUCTLx.POL = 1 时，PPURESULT[x] = ADCRESULT[y] - PPUREF[x]；
- 当 PPUCTLx.POL = 0 时，PPURESULT[x] = PPUREF[x] - ADCRESULT[y]。

这里的 ADCRESULT[y]、PPUREF[x]和 PPURESULT[x]都是有符号数。此外，无论 ADCCHCTL[y]寄存器的 FRACBIT 位段如何设置，仅使用 ADCRESULT[y]的整数部分参与比较。

### 13.6.2 窗口比较和过零检测

PPURESULT[x]将进一步与预设的窗口进行比较，以检查是否发生过压或欠压事件。窗口的上边界由 PPUTHH[x]决定，下边界由 PPUTHL[x]决定。

此外还会检测 PPURESULT[x]的过零事件，即相应的 ADCRESULT[y]正在越过 PPUREF[x]。

上述 3 个事件可以通过 PPUTZE[x]寄存器位独立启用，合并后以生成 PWM 的封锁条件。它们也可以通过 PPUIE[x]寄存器位独立启用，合并后以生成到 CPU 的中断。

### 13.6.3 采样延迟的测量

正如本节中所讨论的，多个 SOC 请求可能会一起出现，但会按优先级依次响应和执行。因此，从 SOC 请求被触发到对应通道的输入电压被真正采样转换的时间可能存在延迟。它在控制系统中引入了误差。测量此延迟将很有帮助，由此软件可以进行一些插值和补偿，以最大程度地减少由其导致的错误。

如图 13-9 所示，该功能在后处理单元中通过 32 位计数器实现。SOC 请求的通道可以通过 PPUCTL[x].SOCSEL 独立选择。每当触发选定的 SOC 时，计数器就会从 0 开始计数。只要 SOC 请求响应并且电压采样启动，计数器停止，值将锁存到 PPUSOCDLY[x]。用户可以将其用于插值或补偿相关的代码里。

## 13.7 预期码值的计算

ADC 所需的参考电压由带隙基准电路产生。量化的满幅值是 3.339V，从而差分输入范围是-3.339V ~ 3.339V。但各通道实际的输入电压不应该超过电源电压（通常是 3.3V）。

当 ADCCHCTL[x].FRACBIT = 0 时，ADCRESULT[x]中的小数部分会被截断。因此，输出码值的范围是-8192 到 8191。对于 ANA\_INP 和 ANA\_INN 引脚输入的差分电压，预期的码值是：

$$\text{ADCRESULT}[x] = (V_{\text{ANA\_INP}} - V_{\text{ANA\_INN}}) / 3.339 * 8192$$

当 ADCCHCTL[x].FRACBIT = 1 时，ADCRESULT[x]的低 7 位是小数部分。因此，输出码值的范围是-1048576 到 1048575。对于 ANA\_INP 和 ANA\_INN 引脚输入的差分电压，预期的码值是：

$$\text{ADCRESULT}[x] = (V_{\text{ANA\_INP}} - V_{\text{ANA\_INN}}) / 3.339 * 1048576$$

SHRAWCODE 寄存器中的码值始终包含低 7 位的小数部分。

通过对符号位的扩展，ADCRESULT[x]和 SHRAWCODE 均可以按照 32 位有符号数来读取。

## 13.8 安全特性

### 13.8.1 输入浮空检测

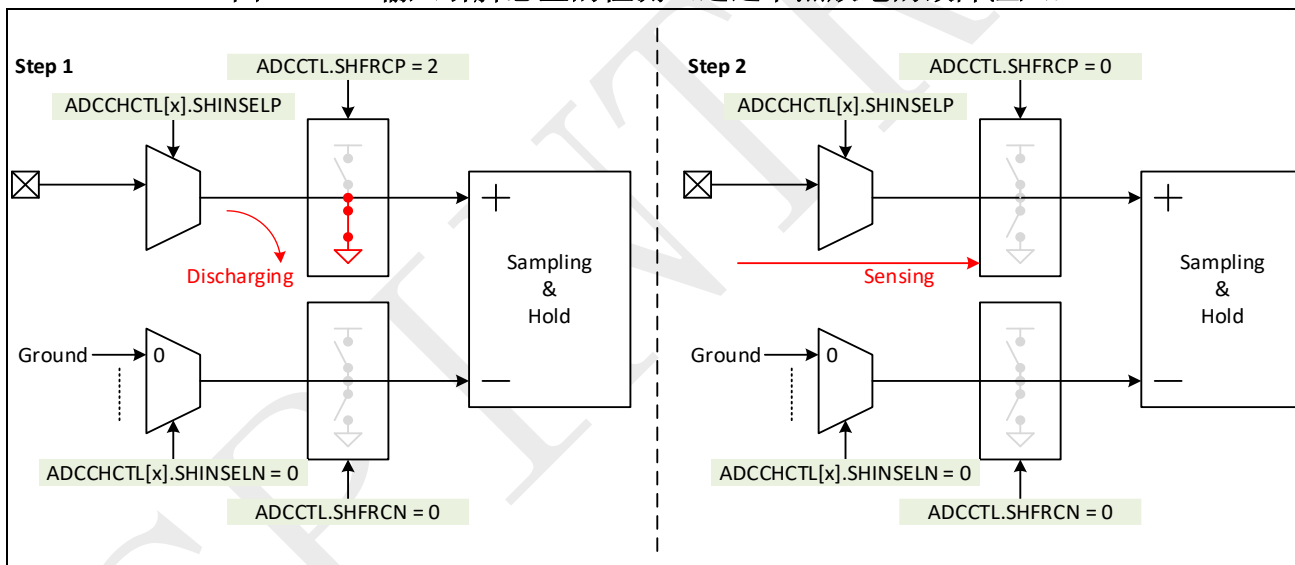
如果用于模拟输入的引脚未能可靠地连接到外部传感器，则无法正确测量电压，从而在某些应用中导致潜在的严重损坏。ADC 模块中提供了输入浮空检测电路来找出此类错误，从而激活用户自定义的故障安全程序。

有两种可选方案来检测输入浮空，它们都是基于故障注入，但分别是将节点充电至电源和将节点放电至地。

如图 13-10 所示，通过节点放电的故障注入，可以分两步检测连接到采样器正输入的引脚是否浮空。

- 对输入节点放电
  - 通过配置 ADCCHCTL[x].SHINSELN 将采样器的正输入端连接到外部引脚；
  - 设置 ADCCHCTL[x].SHINSELN = 0，将采样器负输入端连到地；
  - 设置 ADCCTL.SHFRCP = 2，从而将采样器的正输入端下拉到地；
  - 等待大约 10us 使得输入节点完全放电到电压为 0。

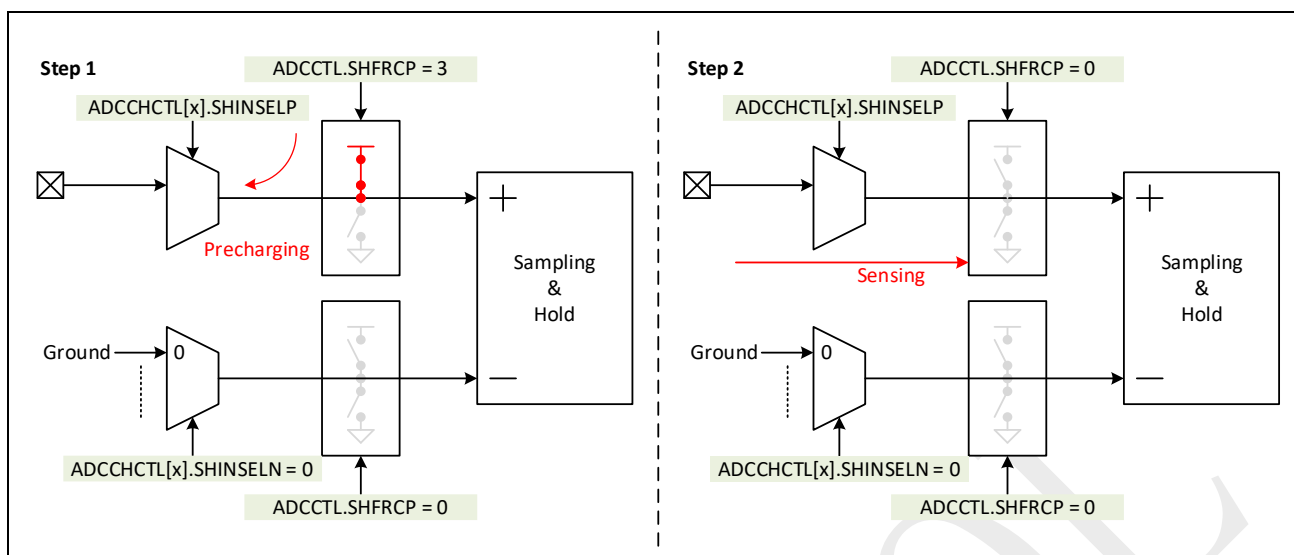
图 13-10: 输入引脚悬空的检测（通过节点放电的故障注入）



- 恢复正常连接，检测节点连接
  - 设置 ADCCTL.SHFRCP = 0，关闭下拉通路；
  - 触发通道 x 的 SOC 并得到转换结果 ADCRESULT[x]；
  - 如果回读值总是 0，表明采样器正输入端不能跟踪外部输入的变化，即正输入端浮空。

用类似的方法可以检测采样器负输入端是否浮空。

图 13-11: 输入引脚悬空的检测（通过节点充电的故障注入）



如图 13-11 所示，通过节点充电的故障注入，可以分两步检测连接到采样器正输入的引脚是否悬空。

- 对输入节点充电
  - 通过配置 `ADCCHCTL[x].SHINSELP` 将采样器的正输入端连接到外部引脚；
  - 设置 `ADCCHCTL[x].SHINSELN = 0`，将采样器负输入端连到地；
  - 设置 `ADCCTL.SHFRCP = 3`，从而将采样器的正输入端上拉到电源；
  - 等待大约 10us 使得输入节点完全充电到电源电压。
- 恢复正常连接，检测节点连接
  - 设置 `ADCCTL.SHFRCP = 0`，关闭上拉通路；
  - 触发通道 x 的 SOC 并得到转换结果 `ADCRESULT[x]`；
  - 如果回读值总是 8096 ( $3.3 / 3.339 \times 8192$ ) 附近，表明采样器正输入端不能跟踪外部输入的变化，即正输入端浮空。

用类似的方法可以检测采样器负输入端是否浮空。

### 13.8.2 输入短路检测

模拟输入也可能出现短路情况。可以按照如下步骤使用充电或放电电路注入故障来检测：

- 获取正常连接时的码值
  - 设置 `ADCCTL.SHFRCP` 和 `ADCCTL.SHFRCN` 为 0，关闭对采样器输入的上下拉；
  - 通过配置 `ADCCHCTL[x].SHINSELP` 和 `ADCCHCTL[x].SHINSELN` 配置采样器的输入引脚；
  - 触发通道 x 的 SOC 并得到第一个 `ADCRESULT[x]`。
- 获取通过充电注入故障时的码值
  - 根据采样器具体是正端或者负端连接到外部模拟输入引脚，配置 `ADCCTL.SHFRCP` 或 `ADCCTL.SHFRCN` 为 3，使能充电故障注入；
  - 等待大约 10us 从而输入节点充电完成；
  - 触发通道 x 的 SOC 并得到第二个 `ADCRESULT[x]`。
- 获取通过放电注入故障时的码值
  - 根据采样器具体是正端或者负端连接到外部模拟输入引脚，配置 `ADCCTL.SHFRCP` 或 `ADCCTL.SHFRCN` 为 2，使能放电故障注入；
  - 等待大约 10us 从而输入节点放电完成；

- 触发通道 x 的 SOC 并得到第三个 ADCRESULT[x]。
- 若三个 ADCRESULT[x] 非常接近，则判定为输入短路。

---

注意： 所能检测的短路工况仅限于输入短路到一个低阻节点，其驱动力超过上下拉诊断电路提供的 8uA 的充放电能力。

---

## 13.9 DMA 接口

为了解放 CPU 资源，模块提供了 1 个 DMA 接口，可以将采样转换结果搬移到内存或其他外设。用户可以通过 ADCCTL 寄存器的 DMAENx 位段使能控制通道 x 的 DMA 功能。所有通道的数据搬移统一的读接口寄存器为 DMARESULT。使能了 DMA 功能的任意通道 x 转换结束时，会同时更新 DMARESULT 寄存器以及存放该通道结果的 ADCRESULT[x] 寄存器。用户需要依据使能了 DMA 功能的通道对应的 SOC 触发条件和优先级顺序，自行分辨搬移后的一组结果数据分别属于哪个通道。

- 
- 注意：
1. 用户也可以将 ADCRESULT[x] 寄存器作为 DMA 访问的读接口，但由于所有使能了 DMA 的通道共享一个 DMA 请求，源地址固定设为 DMARESULT 可以简化软件代码。
  2. DMARESULT 的格式与对应通道的 ADCRESULT[x] 完全一致，即对应通道的控制 ADCCHCTL.FRACBIT 为高时，结果是一个 21 位的有符号定点小数，其中低 7 位是小数部分，否则结果是一个 14 位的有符号整数。回读值通过对符号位扩展，始终是一个 32 位的有符号数。
-

## 13.10 寄存器

### 13.10.1 ADC 寄存器列表

表 13-2: ADC 模块基地址

| 外设模块 | 基地址         |
|------|-------------|
| ADC0 | 0x4000 9800 |
| ADC1 | 0x4000 9C00 |
| ADC2 | 0x4000 A000 |

表 13-3: ADC 寄存器列表

| 寄存器                               | 偏移地址   | 描述                          | 复位值        |
|-----------------------------------|--------|-----------------------------|------------|
| <a href="#">ADCIF</a>             | 0x0000 | ADC 中断标志寄存器                 | 0x00000000 |
| <a href="#">ADCIC</a>             | 0x0004 | ADC 中断清除寄存器                 | 0x00000000 |
| <a href="#">ADCIOVE</a>           | 0x0008 | ADC 中断溢出标志寄存器               | 0x00000000 |
| <a href="#">ADCIOVFC</a>          | 0x000C | ADC 中断溢出清除寄存器               | 0x00000000 |
| <a href="#">ADCIE</a> *           | 0x0010 | ADC 中断使能寄存器                 | 0x00000000 |
| <a href="#">ADCSOCPRCTL</a> *     | 0x0014 | ADC SOC 优先级控制寄存器            | 0x00000000 |
| <a href="#">ADCSOCFLG</a>         | 0x0018 | ADC SOC 请求标志寄存器             | 0x00000000 |
| <a href="#">ADCSOCFRC</a>         | 0x001C | ADC SOC 请求强制寄存器             | 0x00000000 |
| <a href="#">ADCSOCOVF</a>         | 0x0020 | ADC SOC 请求溢出标志寄存器           | 0x00000000 |
| <a href="#">ADCSOCOVFC</a>        | 0x0024 | ADC SOC 请求溢出清除寄存器           | 0x00000000 |
| <a href="#">ADCINTSOCEN</a> *     | 0x0028 | ADC EOC 中断事件触发 SOC 使能寄存器    | 0x00000000 |
| <a href="#">ADCINTSOCSEL[0]</a> * | 0x002C | ADC EOC 中断事件触发 SOC 选择寄存器 0  | 0x00000000 |
| <a href="#">ADCEXTSOCCTL</a> *    | 0x0034 | ADC 外部 SOC 输入控制寄存器          | 0x00000001 |
| <a href="#">ADCCHCTL</a> *        | 0x0038 | ADC 通道 n ([0:7])控制寄存器       | 0x00000000 |
| <a href="#">ADCOFFSET</a> *       | 0x0078 | ADC 通道 n ([0:7])偏移校准寄存器     | 0x00000000 |
| <a href="#">ADCGAIN</a> *         | 0x00B8 | ADC 通道 n ([0:7])增益校准寄存器     | 0x00008000 |
| <a href="#">SHOFFSET</a> *        | 0x00F8 | ADC 采样转换核心电路偏移校准寄存器         | 0x00000000 |
| <a href="#">SHGAIN</a> *          | 0x0104 | ADC 采样转换核心电路增益校准寄存器         | 0x00008000 |
| <a href="#">SHFLG</a>             | 0x0110 | ADC 采样转换 EOC 标志寄存器          | 0x00000000 |
| <a href="#">ADCCTL</a> *          | 0x0114 | ADC 控制寄存器                   | 0x00000000 |
| <a href="#">SHRAWCODE</a>         | 0x0118 | ADC 采样转换原始码值寄存器             | 0x00000000 |
| <a href="#">DMARESULT</a>         | 0x0124 | ADC 结果 DMA 访问接口寄存器          | 0x00000000 |
| <a href="#">ADCRESULT</a>         | 0x0128 | ADC 通道 n ([0:7])结果寄存器       | 0x00000000 |
| <a href="#">PPURESULT</a>         | 0x0168 | 后处理单元 n ([0:3])比较结果寄存器      | 0x00000000 |
| <a href="#">PPUSOCDLY</a>         | 0x0188 | 后处理单元 n ([0:3]) SOC 响应延时寄存器 | 0x00000000 |
| <a href="#">PPURAWIF</a>          | 0x01A8 | 后处理单元 n ([0:3])中断原始事件标志寄存器  | 0x00000000 |
| <a href="#">PPUIF</a>             | 0x01C8 | 后处理单元 n ([0:3])中断标志寄存器      | 0x00000000 |
| <a href="#">PPUIC</a>             | 0x01E8 | 后处理单元 n ([0:3])中断清除寄存器      | 0x00000000 |
| <a href="#">PPUIE</a> *           | 0x0208 | 后处理单元 n ([0:3])中断使能寄存器      | 0x00000000 |
| <a href="#">PPUTZE</a> *          | 0x0228 | 后处理单元 n ([0:3])封锁事件使能寄存器    | 0x00000000 |
| <a href="#">PPUCTL</a> *          | 0x0248 | 后处理单元 n ([0:3])控制寄存器        | 0x00000400 |
| <a href="#">PPUREF</a> *          | 0x0268 | 后处理单元 n ([0:3])比较参考寄存器      | 0x00000000 |
| <a href="#">PPUTHL</a> *          | 0x0288 | 后处理单元 n ([0:3])下限阈值寄存器      | 0x00000000 |



| 寄存器                        | 偏移地址   | 描述                     | 复位值        |
|----------------------------|--------|------------------------|------------|
| <a href="#">PPTH</a> *     | 0x02A8 | 后处理单元 n ([0:3])上限阈值寄存器 | 0x00000000 |
| <a href="#">TSENSCTL</a> * | 0x02C8 | 温度传感器控制寄存器             | 0x00000000 |
| <a href="#">ADCREGKEY</a>  | 0x02CC | ADC 模块写使能寄存器           | 0x1ACCE551 |

注意：

1. 由\*标记的寄存器仅当 `ADCREGKEY=0x1ACCE551` 时才可以改写。
2. 温度传感器的控制只能通过 `ADC0->TSENSCTL` 访问。

## 13.10.2 ADC 寄存器

### 13.10.2.1 ADC 中断标志寄存器（ADCIF）

表 13-4：ADC 中断标志寄存器（ADCIF）位段定义

| ADCIF (ADC Interrupt Flag Register)                         |     |     |     |     |     |     |     |
|-------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: ADC->ADCIF    Offset: 0x0000    Default: 0x00000000 |     |     |     |     |     |     |     |
| 31                                                          | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                    |     |     |     |     |     |     |     |
| 23                                                          | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                    |     |     |     |     |     |     |     |
| 15                                                          | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                    |     |     |     |     |     |     |     |
| 7                                                           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                         | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 13-5：ADC 中断标志寄存器（ADCIF）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                    |
|------|---------------|----|-----|---------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                    |
| 7    | CH7           | RO | 0x0 | ADC 通道 7 中断标志<br>0: 中断未发生<br>1: 中断已发生 |
| 6    | CH6           | RO | 0x0 | ADC 通道 6 中断标志<br>0: 中断未发生<br>1: 中断已发生 |
| 5    | CH5           | RO | 0x0 | ADC 通道 5 中断标志<br>0: 中断未发生<br>1: 中断已发生 |
| 4    | CH4           | RO | 0x0 | ADC 通道 4 中断标志<br>0: 中断未发生<br>1: 中断已发生 |
| 3    | CH3           | RO | 0x0 | ADC 通道 3 中断标志<br>0: 中断未发生<br>1: 中断已发生 |
| 2    | CH2           | RO | 0x0 | ADC 通道 2 中断标志<br>0: 中断未发生<br>1: 中断已发生 |
| 1    | CH1           | RO | 0x0 | ADC 通道 1 中断标志<br>0: 中断未发生<br>1: 中断已发生 |
| 0    | CH0           | RO | 0x0 | ADC 通道 0 中断标志<br>0: 中断未发生<br>1: 中断已发生 |

### 13.10.2.2 ADC 中断清除寄存器（ADCIC）

表 13-6: ADC 中断清除寄存器（ADCIC）位段定义

|                                           |     |                |     |                     |     |     |     |
|-------------------------------------------|-----|----------------|-----|---------------------|-----|-----|-----|
| ADCIC (ADC Interrupt Flag Clear Register) |     |                |     |                     |     |     |     |
| Access: ADC->ADCIC                        |     | Offset: 0x0004 |     | Default: 0x00000000 |     |     |     |
| 31                                        | 30  | 29             | 28  | 27                  | 26  | 25  | 24  |
| RESERVED                                  |     |                |     |                     |     |     |     |
| 23                                        | 22  | 21             | 20  | 19                  | 18  | 17  | 16  |
| RESERVED                                  |     |                |     |                     |     |     |     |
| 15                                        | 14  | 13             | 12  | 11                  | 10  | 9   | 8   |
| RESERVED                                  |     |                |     |                     |     |     |     |
| 7                                         | 6   | 5              | 4   | 3                   | 2   | 1   | 0   |
| CH7                                       | CH6 | CH5            | CH4 | CH3                 | CH2 | CH1 | CH0 |

表 13-7: ADC 中断清除寄存器（ADCIC）位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                             |
|------|---------------|-----|-----|----------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO  | 0x0 | 保留                                                             |
| 7    | CH7           | W1C | 0x0 | ADC 通道 7 中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的中断标志, 本位段自动清零 |
| 6    | CH6           | W1C | 0x0 | ADC 通道 6 中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的中断标志, 本位段自动清零 |
| 5    | CH5           | W1C | 0x0 | ADC 通道 5 中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的中断标志, 本位段自动清零 |
| 4    | CH4           | W1C | 0x0 | ADC 通道 4 中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的中断标志, 本位段自动清零 |
| 3    | CH3           | W1C | 0x0 | ADC 通道 3 中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的中断标志, 本位段自动清零 |
| 2    | CH2           | W1C | 0x0 | ADC 通道 2 中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的中断标志, 本位段自动清零 |
| 1    | CH1           | W1C | 0x0 | ADC 通道 1 中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的中断标志, 本位段自动清零 |
| 0    | CH0           | W1C | 0x0 | ADC 通道 0 中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的中断标志, 本位段自动清零 |

## 13.10.2.3 ADC 中断溢出标志寄存器 (ADCIOVF)

表 13-8: ADC 中断溢出标志寄存器 (ADCIOVF) 位段定义

| ADCIOVF (ADC Interrupt Overflow Flag Register) |          |                |          |                     |          |          |          |
|------------------------------------------------|----------|----------------|----------|---------------------|----------|----------|----------|
| Access: ADC->ADCIOVF                           |          | Offset: 0x0008 |          | Default: 0x00000000 |          |          |          |
| 31                                             | 30       | 29             | 28       | 27                  | 26       | 25       | 24       |
| RESERVED                                       |          |                |          |                     |          |          |          |
| 23                                             | 22       | 21             | 20       | 19                  | 18       | 17       | 16       |
| RESERVED                                       |          |                |          |                     |          |          |          |
| 15                                             | 14       | 13             | 12       | 11                  | 10       | 9        | 8        |
| RESERVED                                       |          |                |          |                     |          |          |          |
| 7<br>CH7                                       | 6<br>CH6 | 5<br>CH5       | 4<br>CH4 | 3<br>CH3            | 2<br>CH2 | 1<br>CH1 | 0<br>CH0 |

表 13-9: ADC 中断溢出标志寄存器 (ADCIOVF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                          |
|------|---------------|----|-----|---------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                          |
| 7    | CH7           | RO | 0x0 | ADC 通道 7 中断溢出标志<br>0: 中断溢出未发生<br>1: 中断溢出已发生 |
| 6    | CH6           | RO | 0x0 | ADC 通道 6 中断溢出标志<br>0: 中断溢出未发生<br>1: 中断溢出已发生 |
| 5    | CH5           | RO | 0x0 | ADC 通道 5 中断溢出标志<br>0: 中断溢出未发生<br>1: 中断溢出已发生 |
| 4    | CH4           | RO | 0x0 | ADC 通道 4 中断溢出标志<br>0: 中断溢出未发生<br>1: 中断溢出已发生 |
| 3    | CH3           | RO | 0x0 | ADC 通道 3 中断溢出标志<br>0: 中断溢出未发生<br>1: 中断溢出已发生 |
| 2    | CH2           | RO | 0x0 | ADC 通道 2 中断溢出标志<br>0: 中断溢出未发生<br>1: 中断溢出已发生 |
| 1    | CH1           | RO | 0x0 | ADC 通道 1 中断溢出标志<br>0: 中断溢出未发生<br>1: 中断溢出已发生 |
| 0    | CH0           | RO | 0x0 | ADC 通道 0 中断溢出标志<br>0: 中断溢出未发生<br>1: 中断溢出已发生 |

### 13.10.2.4 ADC 中断溢出清除寄存器 (ADCIOVFC)

表 13-10: ADC 中断溢出清除寄存器 (ADCIOVFC) 位段定义

| ADCIOVFC (ADC Interrupt Overflow Flag Clear Register) |     |                |     |                     |     |     |     |
|-------------------------------------------------------|-----|----------------|-----|---------------------|-----|-----|-----|
| Access: ADC->ADCIOVFC                                 |     | Offset: 0x000C |     | Default: 0x00000000 |     |     |     |
| 31                                                    | 30  | 29             | 28  | 27                  | 26  | 25  | 24  |
| RESERVED                                              |     |                |     |                     |     |     |     |
| 23                                                    | 22  | 21             | 20  | 19                  | 18  | 17  | 16  |
| RESERVED                                              |     |                |     |                     |     |     |     |
| 15                                                    | 14  | 13             | 12  | 11                  | 10  | 9   | 8   |
| RESERVED                                              |     |                |     |                     |     |     |     |
| 7                                                     | 6   | 5              | 4   | 3                   | 2   | 1   | 0   |
| CH7                                                   | CH6 | CH5            | CH4 | CH3                 | CH2 | CH1 | CH0 |

表 13-11: ADC 中断溢出清除寄存器 (ADCIOVFC) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                               |
|------|---------------|-----|-----|------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO  | 0x0 | 保留                                                               |
| 7    | CH7           | W1C | 0x0 | ADC 通道 7 中断溢出清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的溢出标志, 本位段自动清零 |
| 6    | CH6           | W1C | 0x0 | ADC 通道 6 中断溢出清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的溢出标志, 本位段自动清零 |
| 5    | CH5           | W1C | 0x0 | ADC 通道 5 中断溢出清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的溢出标志, 本位段自动清零 |
| 4    | CH4           | W1C | 0x0 | ADC 通道 4 中断溢出清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的溢出标志, 本位段自动清零 |
| 3    | CH3           | W1C | 0x0 | ADC 通道 3 中断溢出清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的溢出标志, 本位段自动清零 |
| 2    | CH2           | W1C | 0x0 | ADC 通道 2 中断溢出清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的溢出标志, 本位段自动清零 |
| 1    | CH1           | W1C | 0x0 | ADC 通道 1 中断溢出清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的溢出标志, 本位段自动清零 |
| 0    | CH0           | W1C | 0x0 | ADC 通道 0 中断溢出清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的溢出标志, 本位段自动清零 |

## 13.10.2.5 ADC 中断使能寄存器 (ADCIE)

表 13-12: ADC 中断使能寄存器 (ADCIE) 位段定义

|                                                             |     |     |     |     |     |     |     |
|-------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| ADCIE (ADC Interrupt Enable Register)                       |     |     |     |     |     |     |     |
| Access: ADC->ADCIE    Offset: 0x0010    Default: 0x00000000 |     |     |     |     |     |     |     |
| 31                                                          | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                    |     |     |     |     |     |     |     |
| 23                                                          | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                    |     |     |     |     |     |     |     |
| 15                                                          | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                    |     |     |     |     |     |     |     |
| 7                                                           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                         | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 13-13: ADC 中断使能寄存器 (ADCIE) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                              |
|------|---------------|----|-----|---------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                              |
| 7    | CH7           | RW | 0x0 | ADC 通道 7 中断使能<br>0: 关闭<br>1: 使能 |
| 6    | CH6           | RW | 0x0 | ADC 通道 6 中断使能<br>0: 关闭<br>1: 使能 |
| 5    | CH5           | RW | 0x0 | ADC 通道 5 中断使能<br>0: 关闭<br>1: 使能 |
| 4    | CH4           | RW | 0x0 | ADC 通道 4 中断使能<br>0: 关闭<br>1: 使能 |
| 3    | CH3           | RW | 0x0 | ADC 通道 3 中断使能<br>0: 关闭<br>1: 使能 |
| 2    | CH2           | RW | 0x0 | ADC 通道 2 中断使能<br>0: 关闭<br>1: 使能 |
| 1    | CH1           | RW | 0x0 | ADC 通道 1 中断使能<br>0: 关闭<br>1: 使能 |
| 0    | CH0           | RW | 0x0 | ADC 通道 0 中断使能<br>0: 关闭<br>1: 使能 |

### 13.10.2.6 ADC SOC 优先级控制寄存器（ADCSOCPRCTL）

表 13-14: ADC SOC 优先级控制寄存器（ADCSOCPRCTL）位段定义

| ADCSOCPRCTL (ADC Start of Conversion Priority Control Register)   |           |    |    |          |          |    |    |
|-------------------------------------------------------------------|-----------|----|----|----------|----------|----|----|
| Access: ADC->ADCSOCPRCTL    Offset: 0x0014    Default: 0x00000000 |           |    |    |          |          |    |    |
| 31                                                                | 30        | 29 | 28 | 27       | 26       | 25 | 24 |
| RESERVED                                                          |           |    |    |          |          |    |    |
| 23                                                                | 22        | 21 | 20 | 19       | 18       | 17 | 16 |
| RESERVED                                                          |           |    |    |          |          |    |    |
| 15                                                                | 14        | 13 | 12 | 11       | 10       | 9  | 8  |
| RESERVED                                                          |           |    |    |          |          |    |    |
| 7                                                                 | 6         | 5  | 4  | 3        | 2        | 1  | 0  |
| RESERVED                                                          | RRPOINTER |    |    | RESERVED | PRIORITY |    |    |

表 13-15: ADC SOC 优先级控制寄存器（ADCSOCPRCTL）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                                                                                                                                 |
|------|---------------|----|-----|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:7 | RESERVED_31_7 | RO | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                                                 |
| 6:4  | RRPOINTER     | RO | 0x0 | <p>轮询指针，指向当前最高优先级 SOC[x]，且 SOC[x] 转换完成后会自动指向 SOC[x+1]</p> <p>0: 当前具有最高转换优先级的 SOC 为 SOC0<br/> 1: 当前具有最高转换优先级的 SOC 为 SOC1<br/> 2: 当前具有最高转换优先级的 SOC 为 SOC2<br/> 3: 当前具有最高转换优先级的 SOC 为 SOC3<br/> 4: 当前具有最高转换优先级的 SOC 为 SOC4<br/> 5: 当前具有最高转换优先级的 SOC 为 SOC5<br/> 6: 当前具有最高转换优先级的 SOC 为 SOC6<br/> 7: 当前具有最高转换优先级的 SOC 为 SOC7</p> <p>注意：SOC7 转换后 RRPOINTER 会指向 SOC0。</p> |
| 3    | RESERVED_3    | RO | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                                                 |
| 2:0  | PRIORITY      | RW | 0x0 | <p>SOC 优先级，决定具有高优先级的 SOC 组</p> <p>0: 所有 SOC 采用轮询方式仲裁优先级<br/> 1: SOC0 有高优先级，SOC1-SOC7 用轮询仲裁<br/> 2: SOC0-SOC1 有高优先级，SOC2-SOC7 用轮询仲裁<br/> 3: SOC0-SOC2 有高优先级，SOC3-SOC7 用轮询仲裁<br/> 4: SOC0-SOC3 有高优先级，SOC4-SOC7 用轮询仲裁<br/> 5: SOC0-SOC4 有高优先级，SOC5-SOC7 用轮询仲裁<br/> 6: SOC0-SOC5 有高优先级，SOC6-SOC7 用轮询仲裁<br/> 7: SOC0-SOC6 有高优先级，SOC7 用轮询仲裁</p>                          |



## 13.10.2.7 ADC SOC 请求标志寄存器 (ADCSOCFLG)

表 13-16: ADC SOC 请求标志寄存器 (ADCSOCFLG) 位段定义

|                                                                 |      |      |      |      |      |      |      |
|-----------------------------------------------------------------|------|------|------|------|------|------|------|
| ADCSOCFLG (ADC SOC Flag Register)                               |      |      |      |      |      |      |      |
| Access: ADC->ADCSOCFLG    Offset: 0x0018    Default: 0x00000000 |      |      |      |      |      |      |      |
| 31                                                              | 30   | 29   | 28   | 27   | 26   | 25   | 24   |
| RESERVED                                                        |      |      |      |      |      |      |      |
| 23                                                              | 22   | 21   | 20   | 19   | 18   | 17   | 16   |
| RESERVED                                                        |      |      |      |      |      |      |      |
| 15                                                              | 14   | 13   | 12   | 11   | 10   | 9    | 8    |
| RESERVED                                                        |      |      |      |      |      |      |      |
| 7                                                               | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
| SOC7                                                            | SOC6 | SOC5 | SOC4 | SOC3 | SOC2 | SOC1 | SOC0 |

表 13-17: ADC SOC 请求标志寄存器 (ADCSOCFLG) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                |
|------|---------------|----|-----|-------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                                                |
| 7    | SOC7          | RO | 0x0 | 通道 7 的 SOC 请求标志<br>0: 没有事件触发 SOC 请求<br>1: 有事件触发 SOC 请求, 采样开始后位段清零 |
| 6    | SOC6          | RO | 0x0 | 通道 6 的 SOC 请求标志<br>0: 没有事件触发 SOC 请求<br>1: 有事件触发 SOC 请求, 采样开始后位段清零 |
| 5    | SOC5          | RO | 0x0 | 通道 5 的 SOC 请求标志<br>0: 没有事件触发 SOC 请求<br>1: 有事件触发 SOC 请求, 采样开始后位段清零 |
| 4    | SOC4          | RO | 0x0 | 通道 4 的 SOC 请求标志<br>0: 没有事件触发 SOC 请求<br>1: 有事件触发 SOC 请求, 采样开始后位段清零 |
| 3    | SOC3          | RO | 0x0 | 通道 3 的 SOC 请求标志<br>0: 没有事件触发 SOC 请求<br>1: 有事件触发 SOC 请求, 采样开始后位段清零 |
| 2    | SOC2          | RO | 0x0 | 通道 2 的 SOC 请求标志<br>0: 没有事件触发 SOC 请求<br>1: 有事件触发 SOC 请求, 采样开始后位段清零 |
| 1    | SOC1          | RO | 0x0 | 通道 1 的 SOC 请求标志<br>0: 没有事件触发 SOC 请求<br>1: 有事件触发 SOC 请求, 采样开始后位段清零 |
| 0    | SOC0          | RO | 0x0 | 通道 0 的 SOC 请求标志<br>0: 没有事件触发 SOC 请求<br>1: 有事件触发 SOC 请求, 采样开始后位段清零 |

### 13.10.2.8 ADC SOC 请求强制寄存器 (ADCSOCFRC)

表 13-18: ADC SOC 请求强制寄存器 (ADCSOCFRC) 位段定义

| ADCSOCFRC (ADC SOC Force Register)                              |           |           |           |           |           |           |           |
|-----------------------------------------------------------------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| Access: ADC->ADCSOCFRC    Offset: 0x001C    Default: 0x00000000 |           |           |           |           |           |           |           |
| 31                                                              | 30        | 29        | 28        | 27        | 26        | 25        | 24        |
| RESERVED                                                        |           |           |           |           |           |           |           |
| 23                                                              | 22        | 21        | 20        | 19        | 18        | 17        | 16        |
| RESERVED                                                        |           |           |           |           |           |           |           |
| 15                                                              | 14        | 13        | 12        | 11        | 10        | 9         | 8         |
| RESERVED                                                        |           |           |           |           |           |           |           |
| 7<br>SOC7                                                       | 6<br>SOC6 | 5<br>SOC5 | 4<br>SOC4 | 3<br>SOC3 | 2<br>SOC2 | 1<br>SOC1 | 0<br>SOC0 |

表 13-19: ADC SOC 请求强制寄存器 (ADCSOCFRC) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                                   |
|------|---------------|-----|-----|----------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO  | 0x0 | 保留                                                                   |
| 7    | SOC7          | W1S | 0x0 | 通道 7 软件触发 SOC 请求<br>0: 写 0 无效, 读总是 0<br>1: 写 1 触发通道 7 的 SOC, 本位段自动清零 |
| 6    | SOC6          | W1S | 0x0 | 通道 6 软件触发 SOC 请求<br>0: 写 0 无效, 读总是 0<br>1: 写 1 触发通道 6 的 SOC, 本位段自动清零 |
| 5    | SOC5          | W1S | 0x0 | 通道 5 软件触发 SOC 请求<br>0: 写 0 无效, 读总是 0<br>1: 写 1 触发通道 5 的 SOC, 本位段自动清零 |
| 4    | SOC4          | W1S | 0x0 | 通道 4 软件触发 SOC 请求<br>0: 写 0 无效, 读总是 0<br>1: 写 1 触发通道 4 的 SOC, 本位段自动清零 |
| 3    | SOC3          | W1S | 0x0 | 通道 3 软件触发 SOC 请求<br>0: 写 0 无效, 读总是 0<br>1: 写 1 触发通道 3 的 SOC, 本位段自动清零 |
| 2    | SOC2          | W1S | 0x0 | 通道 2 软件触发 SOC 请求<br>0: 写 0 无效, 读总是 0<br>1: 写 1 触发通道 2 的 SOC, 本位段自动清零 |
| 1    | SOC1          | W1S | 0x0 | 通道 1 软件触发 SOC 请求<br>0: 写 0 无效, 读总是 0<br>1: 写 1 触发通道 1 的 SOC, 本位段自动清零 |
| 0    | SOC0          | W1S | 0x0 | 通道 0 软件触发 SOC 请求<br>0: 写 0 无效, 读总是 0<br>1: 写 1 触发通道 0 的 SOC, 本位段自动清零 |

## 13.10.2.9 ADC SOC 请求溢出标志寄存器 (ADCSOCOVF)

表 13-20: ADC SOC 请求溢出标志寄存器 (ADCSOCOVF) 位段定义

| ADCSOCOVF (ADC SOC Overflow Register)                           |      |      |      |      |      |      |      |
|-----------------------------------------------------------------|------|------|------|------|------|------|------|
| Access: ADC->ADCSOCOVF    Offset: 0x0020    Default: 0x00000000 |      |      |      |      |      |      |      |
| 31                                                              | 30   | 29   | 28   | 27   | 26   | 25   | 24   |
| RESERVED                                                        |      |      |      |      |      |      |      |
| 23                                                              | 22   | 21   | 20   | 19   | 18   | 17   | 16   |
| RESERVED                                                        |      |      |      |      |      |      |      |
| 15                                                              | 14   | 13   | 12   | 11   | 10   | 9    | 8    |
| RESERVED                                                        |      |      |      |      |      |      |      |
| 7                                                               | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
| SOC7                                                            | SOC6 | SOC5 | SOC4 | SOC3 | SOC2 | SOC1 | SOC0 |

表 13-21: ADC SOC 请求溢出标志寄存器 (ADCSOCOVF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                       |
|------|---------------|----|-----|--------------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                                                       |
| 7    | SOC7          | RO | 0x0 | 通道 7 的 SOC 请求溢出标志<br>0: 未发生 SOC 请求溢出<br>1: ADCSOCFLG 标志为 1 时又有 SOC 事件被触发 |
| 6    | SOC6          | RO | 0x0 | 通道 6 的 SOC 请求溢出标志<br>0: 未发生 SOC 请求溢出<br>1: ADCSOCFLG 标志为 1 时又有 SOC 事件被触发 |
| 5    | SOC5          | RO | 0x0 | 通道 5 的 SOC 请求溢出标志<br>0: 未发生 SOC 请求溢出<br>1: ADCSOCFLG 标志为 1 时又有 SOC 事件被触发 |
| 4    | SOC4          | RO | 0x0 | 通道 4 的 SOC 请求溢出标志<br>0: 未发生 SOC 请求溢出<br>1: ADCSOCFLG 标志为 1 时又有 SOC 事件被触发 |
| 3    | SOC3          | RO | 0x0 | 通道 3 的 SOC 请求溢出标志<br>0: 未发生 SOC 请求溢出<br>1: ADCSOCFLG 标志为 1 时又有 SOC 事件被触发 |
| 2    | SOC2          | RO | 0x0 | 通道 2 的 SOC 请求溢出标志<br>0: 未发生 SOC 请求溢出<br>1: ADCSOCFLG 标志为 1 时又有 SOC 事件被触发 |
| 1    | SOC1          | RO | 0x0 | 通道 1 的 SOC 请求溢出标志<br>0: 未发生 SOC 请求溢出<br>1: ADCSOCFLG 标志为 1 时又有 SOC 事件被触发 |
| 0    | SOC0          | RO | 0x0 | 通道 0 的 SOC 请求溢出标志<br>0: 未发生 SOC 请求溢出<br>1: ADCSOCFLG 标志为 1 时又有 SOC 事件被触发 |

### 13.10.2.10 ADC SOC 请求溢出标志寄存器 (ADCSOCOVFC)

表 13-22: ADC SOC 请求溢出标志寄存器 (ADCSOCOVFC) 位段定义

|                                                                  |      |      |      |      |      |      |      |
|------------------------------------------------------------------|------|------|------|------|------|------|------|
| ADCSOCOVFC (ADC SOC Overflow Clear Register)                     |      |      |      |      |      |      |      |
| Access: ADC->ADCSOCOVFC    Offset: 0x0024    Default: 0x00000000 |      |      |      |      |      |      |      |
| 31                                                               | 30   | 29   | 28   | 27   | 26   | 25   | 24   |
| RESERVED                                                         |      |      |      |      |      |      |      |
| 23                                                               | 22   | 21   | 20   | 19   | 18   | 17   | 16   |
| RESERVED                                                         |      |      |      |      |      |      |      |
| 15                                                               | 14   | 13   | 12   | 11   | 10   | 9    | 8    |
| RESERVED                                                         |      |      |      |      |      |      |      |
| 7                                                                | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
| SOC7                                                             | SOC6 | SOC5 | SOC4 | SOC3 | SOC2 | SOC1 | SOC0 |

表 13-23: ADC SOC 请求溢出标志寄存器 (ADCSOCOVFC) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                                  |
|------|---------------|-----|-----|---------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO  | 0x0 | 保留                                                                  |
| 7    | SOC7          | W1C | 0x0 | 清除通道 7 的 SOC 请求溢出标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除请求溢出标志, 本位段自动清零 |
| 6    | SOC6          | W1C | 0x0 | 清除通道 6 的 SOC 请求溢出标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除请求溢出标志, 本位段自动清零 |
| 5    | SOC5          | W1C | 0x0 | 清除通道 5 的 SOC 请求溢出标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除请求溢出标志, 本位段自动清零 |
| 4    | SOC4          | W1C | 0x0 | 清除通道 4 的 SOC 请求溢出标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除请求溢出标志, 本位段自动清零 |
| 3    | SOC3          | W1C | 0x0 | 清除通道 3 的 SOC 请求溢出标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除请求溢出标志, 本位段自动清零 |
| 2    | SOC2          | W1C | 0x0 | 清除通道 2 的 SOC 请求溢出标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除请求溢出标志, 本位段自动清零 |
| 1    | SOC1          | W1C | 0x0 | 清除通道 1 的 SOC 请求溢出标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除请求溢出标志, 本位段自动清零 |
| 0    | SOC0          | W1C | 0x0 | 清除通道 0 的 SOC 请求溢出标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除请求溢出标志, 本位段自动清零 |

## 13.10.2.11 ADC EOC 中断事件触发 SOC 使能寄存器 (ADCINTSOCEN)

表 13-24: ADC EOC 中断事件触发 SOC 使能寄存器 (ADCINTSOCEN) 位段定义

|                                                                   |     |     |     |     |     |     |     |
|-------------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| ADCINTSOCEN (ADC Interrupt Trigger SOC Enable Register)           |     |     |     |     |     |     |     |
| Access: ADC->ADCINTSOCEN    Offset: 0x0028    Default: 0x00000000 |     |     |     |     |     |     |     |
| 31                                                                | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                          |     |     |     |     |     |     |     |
| 23                                                                | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                          |     |     |     |     |     |     |     |
| 15                                                                | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                          |     |     |     |     |     |     |     |
| 7                                                                 | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                               | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 13-25: ADC EOC 中断事件触发 SOC 使能寄存器 (ADCINTSOCEN) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                          |
|------|---------------|----|-----|-----------------------------------------------------------------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                                                                                                          |
| 7    | CH7           | RW | 0x0 | 通道 7 的 EOC 中断事件触发 SOC 使能 <sup>[1]</sup><br>0: 根据 ADCCHCTL[7].TRIGSEL 选择 SOC 触发源<br>1: 根据 ADCINTSOCSEL[0].CH7 选择的 EOC 触发 SOC |
| 6    | CH6           | RW | 0x0 | 通道 6 的 EOC 中断事件触发 SOC 使能 <sup>[1]</sup><br>0: 根据 ADCCHCTL[6].TRIGSEL 选择 SOC 触发源<br>1: 根据 ADCINTSOCSEL[0].CH6 选择的 EOC 触发 SOC |
| 5    | CH5           | RW | 0x0 | 通道 5 的 EOC 中断事件触发 SOC 使能 <sup>[1]</sup><br>0: 根据 ADCCHCTL[5].TRIGSEL 选择 SOC 触发源<br>1: 根据 ADCINTSOCSEL[0].CH5 选择的 EOC 触发 SOC |
| 4    | CH4           | RW | 0x0 | 通道 4 的 EOC 中断事件触发 SOC 使能 <sup>[1]</sup><br>0: 根据 ADCCHCTL[4].TRIGSEL 选择 SOC 触发源<br>1: 根据 ADCINTSOCSEL[0].CH4 选择的 EOC 触发 SOC |
| 3    | CH3           | RW | 0x0 | 通道 3 的 EOC 中断事件触发 SOC 使能 <sup>[1]</sup><br>0: 根据 ADCCHCTL[3].TRIGSEL 选择 SOC 触发源<br>1: 根据 ADCINTSOCSEL[0].CH3 选择的 EOC 触发 SOC |
| 2    | CH2           | RW | 0x0 | 通道 2 的 EOC 中断事件触发 SOC 使能 <sup>[1]</sup><br>0: 根据 ADCCHCTL[2].TRIGSEL 选择 SOC 触发源<br>1: 根据 ADCINTSOCSEL[0].CH2 选择的 EOC 触发 SOC |
| 1    | CH1           | RW | 0x0 | 通道 1 的 EOC 中断事件触发 SOC 使能 <sup>[1]</sup><br>0: 根据 ADCCHCTL[1].TRIGSEL 选择 SOC 触发源<br>1: 根据 ADCINTSOCSEL[0].CH1 选择的 EOC 触发 SOC |
| 0    | CH0           | RW | 0x0 | 通道 0 的 EOC 中断事件触发 SOC 使能 <sup>[1]</sup><br>0: 根据 ADCCHCTL[0].TRIGSEL 选择 SOC 触发源<br>1: 根据 ADCINTSOCSEL[0].CH0 选择的 EOC 触发 SOC |

[1] 无论本寄存器如何设置, 通过 ADCSOCFRC 寄存器软件触发 SOC 总是有效。

### 13.10.2.12 ADC EOC 中断事件触发 SOC 选择寄存器 0 (ADCINTSOCSEL[0])

表 13-26: ADC EOC 中断事件触发 SOC 选择寄存器 0 (ADCINTSOCSEL[0]) 位段定义

| ADCINTSOCSEL (ADC Interrupt Trigger SOC Select Register 0)            |    |    |    |     |    |    |    |
|-----------------------------------------------------------------------|----|----|----|-----|----|----|----|
| Access: ADC->ADCINTSOCSEL[0]    Offset: 0x002C    Default: 0x00000000 |    |    |    |     |    |    |    |
| 31                                                                    | 30 | 29 | 28 | 27  | 26 | 25 | 24 |
| CH7                                                                   |    |    |    | CH6 |    |    |    |
| 23                                                                    | 22 | 21 | 20 | 19  | 18 | 17 | 16 |
| CH5                                                                   |    |    |    | CH4 |    |    |    |
| 15                                                                    | 14 | 13 | 12 | 11  | 10 | 9  | 8  |
| CH3                                                                   |    |    |    | CH2 |    |    |    |
| 7                                                                     | 6  | 5  | 4  | 3   | 2  | 1  | 0  |
| CH1                                                                   |    |    |    | CH0 |    |    |    |

表 13-27: ADC EOC 中断事件触发 SOC 选择寄存器 0 (ADCINTSOCSEL[0]) 位段描述

| 位段    | 位段名 | 属性 | 复位值 | 描述                     |
|-------|-----|----|-----|------------------------|
| 31:28 | CH7 | RW | 0x0 | 触发通道 7 SOC 的 EOC 所属通道号 |
| 27:24 | CH6 | RW | 0x0 | 触发通道 6 SOC 的 EOC 所属通道号 |
| 23:20 | CH5 | RW | 0x0 | 触发通道 5 SOC 的 EOC 所属通道号 |
| 19:16 | CH4 | RW | 0x0 | 触发通道 4 SOC 的 EOC 所属通道号 |
| 15:12 | CH3 | RW | 0x0 | 触发通道 3 SOC 的 EOC 所属通道号 |
| 11:8  | CH2 | RW | 0x0 | 触发通道 2 SOC 的 EOC 所属通道号 |
| 7:4   | CH1 | RW | 0x0 | 触发通道 1 SOC 的 EOC 所属通道号 |
| 3:0   | CH0 | RW | 0x0 | 触发通道 0 SOC 的 EOC 所属通道号 |

**13.10.2.13 ADC 外部 SOC 输入控制寄存器 (ADCEXTSOCCTL)****表 13-28: ADC 外部 SOC 输入控制寄存器 (ADCEXTSOCCTL) 位段定义**

|                                                                    |    |    |    |    |    |    |     |
|--------------------------------------------------------------------|----|----|----|----|----|----|-----|
| ADCEXTSOCCTL (ADC External SOC Input Control Register)             |    |    |    |    |    |    |     |
| Access: ADC->ADCEXTSOCCTL    Offset: 0x0034    Default: 0x00000001 |    |    |    |    |    |    |     |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24  |
| RESERVED                                                           |    |    |    |    |    |    |     |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16  |
| RESERVED                                                           |    |    |    |    |    |    |     |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8   |
| RESERVED                                                           |    |    |    |    |    |    |     |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0   |
| IOSEL                                                              |    |    |    |    |    |    | POL |

**表 13-29: ADC 外部 SOC 输入控制寄存器 (ADCEXTSOCCTL) 位段描述**

| 位段   | 位段名           | 属性 | 复位值 | 描述                                         |
|------|---------------|----|-----|--------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                         |
| 7:1  | IOSEL         | RW | 0x0 | 用于触发 SOC 的外部引脚号                            |
| 0    | POL           | RW | 0x1 | 触发 SOC 的引脚信号极性<br>0: 引脚下降沿触发<br>1: 引脚上升沿触发 |



### 13.10.2.14 ADC 通道 n ([0:7]) 控制寄存器 (ADCCHCTL)

表 13-30: ADC 通道 n ([0:7]) 控制寄存器 (ADCCHCTL) 位段定义

| ADCCHCTL (ADC Channel n ([0:7]) Control Register)                 |         |         |          |    |    |        |    |
|-------------------------------------------------------------------|---------|---------|----------|----|----|--------|----|
| Access: ADC->ADCCHCTL[n]    Offset: 0x0038    Default: 0x00000000 |         |         |          |    |    |        |    |
| 31                                                                | 30      | 29      | 28       | 27 | 26 | 25     | 24 |
| RESERVED                                                          |         | SHSEL   | TRIGSEL  |    |    |        |    |
| 23                                                                | 22      | 21      | 20       | 19 | 18 | 17     | 16 |
| SHINSELN                                                          |         |         | SHINSELP |    |    | AVGCNT |    |
| 15                                                                | 14      | 13      | 12       | 11 | 10 | 9      | 8  |
| AVGCNT                                                            | FRACBIT | CONVCNT |          |    |    |        |    |
| 7                                                                 | 6       | 5       | 4        | 3  | 2  | 1      | 0  |
| SAMPCNT                                                           |         |         |          |    |    |        |    |

表 13-31: ADC 通道 n ([0:7]) 控制寄存器 (ADCCHCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| 29    | SHSEL          | RW | 0x0 | 采样保持器控制<br>0: 关闭<br>1: 使能                                                                                                                                                                                                                                                                                                                                                                                                                          |
| 28:24 | TRIGSEL        | RW | 0x0 | SOC 触发源，可以被 ADCINTSOCSEL[0]覆盖<br>00: 仅软件触发<br>01: TIMER0 的 SOC 请求<br>02: TIMER1 的 SOC 请求<br>03: TIMER2 的 SOC 请求<br>04: 外部引脚 SOC 请求<br>05: PWM0SOCA<br>06: PWM0SOCB<br>07: PWM0SOCC<br>08: PWM1SOCA<br>09: PWM1SOCB<br>10: PWM1SOCC<br>11: PWM2SOCA<br>12: PWM2SOCB<br>13: PWM2SOCC<br>14: PWM3SOCA<br>15: PWM3SOCB<br>16: PWM4SOCA<br>17: PWM4SOCB<br>18: PWM5SOCA<br>19: PWM5SOCB<br>20: PWM6SOCA<br>21: PWM6SOCB<br>22: PWM7SOCA<br>23: PWM7SOCB |

| 位段    | 位段名      | 属性 | 复位值 | 描述                                                                                                                                                                                                                                               |
|-------|----------|----|-----|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 23:21 | SHINSELN | RW | 0x0 | 采样保持器负输入端信号选择, 详见表 13-1                                                                                                                                                                                                                          |
| 20:18 | SHINSELP | RW | 0x0 | 采样保持器正输入端信号选择, 详见表 13-1                                                                                                                                                                                                                          |
| 17:15 | AVGCNT   | RW | 0x0 | 多次采样转换求平均的次数<br>0: 单次采样转换<br>1: 每个 SOC 触发 2 次连续的采样转换并平均<br>2: 每个 SOC 触发 4 次连续的采样转换并平均<br>3: 每个 SOC 触发 8 次连续的采样转换并平均<br>4: 每个 SOC 触发 16 次连续的采样转换并平均<br>5: 每个 SOC 触发 32 次连续的采样转换并平均<br>6: 每个 SOC 触发 64 次连续的采样转换并平均<br>7: 每个 SOC 触发 128 次连续的采样转换并平均 |
| 14    | FRACBIT  | RW | 0x0 | 保持低 7 位为多次采样转换求平均的小数部分<br>0: ADC 结果是一个 14 位的整数<br>1: ADC 结果是一个 21 位的数, 低 7 位为小数                                                                                                                                                                  |
| 13:8  | CONVCNT  | RW | 0x0 | 设置转换时间是(CONVCNT + 1)个 ADC 模块时钟                                                                                                                                                                                                                   |
| 7:0   | SAMPCNT  | RW | 0x0 | 设置采样时间是(SAMPCNT + 1)个 ADC 模块时钟                                                                                                                                                                                                                   |

### 13.10.2.15 ADC 通道 n ([0:7]) 偏移校准寄存器 (ADCOFFSET)

表 13-32: ADC 通道 n ([0:7]) 偏移校准寄存器 (ADCOFFSET) 位段定义

| ADCOFFSET (ADC Offset Trim Register n ([0:7]))<br>Access: ADC->ADCOFFSET[n]    Offset: 0x0078    Default: 0x00000000 |    |    |    |    |    |    |    |
|----------------------------------------------------------------------------------------------------------------------|----|----|----|----|----|----|----|
| 31                                                                                                                   | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                                                                                  |    |    |    |    |    |    |    |
| 23                                                                                                                   | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                                                                                  |    |    |    |    |    |    |    |
| 15                                                                                                                   | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                                                                  |    |    |    |    |    |    |    |
| 7                                                                                                                    | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                                                                  |    |    |    |    |    |    |    |

表 13-33: ADC 通道 n ([0:7]) 偏移校准寄存器 (ADCOFFSET) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                              |
|------|-----|----|-----|---------------------------------|
| 31:0 | VAL | RW | 0x0 | 通道偏移校准值,<br>为一个有符号数, 低 7 位为小数部分 |

### 13.10.2.16 ADC 通道 n ([0:7]) 增益校准寄存器 (ADCGAIN)

表 13-34: ADC 通道 n ([0:7]) 增益校准寄存器 (ADCGAIN) 位段定义

|                                                            |    |    |    |    |    |    |    |
|------------------------------------------------------------|----|----|----|----|----|----|----|
| ADCGAIN (ADC Gain Trim Register n ([0:7]))                 |    |    |    |    |    |    |    |
| Access: ADC->ADCGAIN[n] Offset: 0x00B8 Default: 0x00008000 |    |    |    |    |    |    |    |
| 31                                                         | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 23                                                         | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 15                                                         | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                        |    |    |    |    |    |    |    |
| 7                                                          | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                        |    |    |    |    |    |    |    |

表 13-35: ADC 通道 n ([0:7]) 增益校准寄存器 (ADCGAIN) 位段描述

| 位段    | 位段名            | 属性 | 复位值    | 描述                                      |
|-------|----------------|----|--------|-----------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0    | 保留                                      |
| 15:0  | VAL            | RW | 0x8000 | 设置通道增益校准系数为 VAL/32768<br>(即低 15 位为小数部分) |

### 13.10.2.17 ADC 采样转换核心电路偏移校准寄存器 (SHOFFSET)

表 13-36: ADC 采样转换核心电路偏移校准寄存器 (SHOFFSET) 位段定义

|                                                          |    |    |    |    |    |    |    |
|----------------------------------------------------------|----|----|----|----|----|----|----|
| SHOFFSET (ADC SH0 Offset Trim Register)                  |    |    |    |    |    |    |    |
| Access: ADC->SHOFFSET Offset: 0x00F8 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                       | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                      |    |    |    |    |    |    |    |
| 23                                                       | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                      |    |    |    |    |    |    |    |
| 15                                                       | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                      |    |    |    |    |    |    |    |
| 7                                                        | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                      |    |    |    |    |    |    |    |

表 13-37: ADC 采样转换核心电路偏移校准寄存器 (SHOFFSET) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                   |
|------|-----|----|-----|--------------------------------------|
| 31:0 | VAL | RW | 0x0 | 采样转换核心电路偏移校准值，<br>为一个有符号数，低 7 位为小数部分 |

## 13.10.2.18 ADC 采样转换核心电路增益校准寄存器 (SHGAIN)

表 13-38: ADC 采样转换核心电路增益校准寄存器 (SHGAIN) 位段定义

| SHGAIN (ADC SH0 Gain Trim Register)                          |    |    |    |    |    |    |    |
|--------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: ADC->SHGAIN    Offset: 0x0104    Default: 0x00008000 |    |    |    |    |    |    |    |
| 31                                                           | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                     |    |    |    |    |    |    |    |
| 23                                                           | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                     |    |    |    |    |    |    |    |
| 15                                                           | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                          |    |    |    |    |    |    |    |
| 7                                                            | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                          |    |    |    |    |    |    |    |

表 13-39: ADC 采样转换核心电路增益校准寄存器 (SHGAIN) 位段描述

| 位段    | 位段名            | 属性 | 复位值    | 描述                                         |
|-------|----------------|----|--------|--------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0    | 保留                                         |
| 15:0  | VAL            | RW | 0x8000 | 设置采样保持核心电路增益校准系数为 VAL/32768 (即低 15 位为小数部分) |

## 13.10.2.19 ADC 采样转换 EOC 标志寄存器 (SHFLG)

表 13-40: ADC 采样转换 EOC 标志寄存器 (SHFLG) 位段定义

| SHFLG (ADC Sample Hold Channel EOC Flag Register)           |    |    |    |    |    |    |       |
|-------------------------------------------------------------|----|----|----|----|----|----|-------|
| Access: ADC->SHFLG    Offset: 0x0110    Default: 0x00000000 |    |    |    |    |    |    |       |
| 31                                                          | 30 | 29 | 28 | 27 | 26 | 25 | 24    |
| RESERVED                                                    |    |    |    |    |    |    |       |
| 23                                                          | 22 | 21 | 20 | 19 | 18 | 17 | 16    |
| RESERVED                                                    |    |    |    |    |    |    |       |
| 15                                                          | 14 | 13 | 12 | 11 | 10 | 9  | 8     |
| RESERVED                                                    |    |    |    |    |    |    |       |
| 7                                                           | 6  | 5  | 4  | 3  | 2  | 1  | 0     |
| RESERVED                                                    |    |    |    |    |    |    | SHRDY |

表 13-41: ADC 采样转换 EOC 标志寄存器 (SHFLG) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                              |
|------|---------------|----|-----|-------------------------------------------------------------------------------------------------|
| 31:1 | RESERVED_31_1 | RO | 0x0 | 保留                                                                                              |
| 0    | SHRDY         | RW | 0x0 | SHRAWCODE 数据就绪标志<br>0: 读 0 表示 SHRAWCODE 数据无效<br>写 0 无效<br>1: 读 1 表示 SHRAWCODE 数据有效<br>写 1 清除本标志 |

### 13.10.2.20 ADC 控制寄存器 (ADCCTL)

表 13-42: ADC 控制寄存器 (ADCCTL) 位段定义

|                                                              |        |        |        |        |        |        |        |
|--------------------------------------------------------------|--------|--------|--------|--------|--------|--------|--------|
| ADCCTL (ADC Control Register)                                |        |        |        |        |        |        |        |
| Access: ADC->ADCCTL    Offset: 0x0114    Default: 0x00000000 |        |        |        |        |        |        |        |
| 31                                                           | 30     | 29     | 28     | 27     | 26     | 25     | 24     |
| RESERVED                                                     |        |        |        |        |        |        |        |
| 23                                                           | 22     | 21     | 20     | 19     | 18     | 17     | 16     |
| DMAEN7                                                       | DMAEN6 | DMAEN5 | DMAEN4 | DMAEN3 | DMAEN2 | DMAEN1 | DMAEN0 |
| 15                                                           | 14     | 13     | 12     | 11     | 10     | 9      | 8      |
| RESERVED                                                     |        |        |        |        |        |        |        |
| 7                                                            | 6      | 5      | 4      | 3      | 2      | 1      | 0      |
| SHFRCN                                                       |        | SHFRCP |        | RST    | RDY    | ADCEN  | BGEN   |

表 13-43: ADC 控制寄存器 (ADCCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                               |
|-------|----------------|----|-----|----------------------------------|
| 31:24 | RESERVED_31_24 | RO | 0x0 | 保留                               |
| 23    | DMAEN7         | RW | 0x0 | 通道 7 结果 DMA 使能<br>0: 关闭<br>1: 使能 |
| 22    | DMAEN6         | RW | 0x0 | 通道 6 结果 DMA 使能<br>0: 关闭<br>1: 使能 |
| 21    | DMAEN5         | RW | 0x0 | 通道 5 结果 DMA 使能<br>0: 关闭<br>1: 使能 |
| 20    | DMAEN4         | RW | 0x0 | 通道 4 结果 DMA 使能<br>0: 关闭<br>1: 使能 |
| 19    | DMAEN3         | RW | 0x0 | 通道 3 结果 DMA 使能<br>0: 关闭<br>1: 使能 |
| 18    | DMAEN2         | RW | 0x0 | 通道 2 结果 DMA 使能<br>0: 关闭<br>1: 使能 |
| 17    | DMAEN1         | RW | 0x0 | 通道 1 结果 DMA 使能<br>0: 关闭<br>1: 使能 |
| 16    | DMAEN0         | RW | 0x0 | 通道 0 结果 DMA 使能<br>0: 关闭<br>1: 使能 |

| 位段   | 位段名                 | 属性  | 复位值 | 描述                                                                         |
|------|---------------------|-----|-----|----------------------------------------------------------------------------|
| 15:8 | RESERVED_15_8       | RO  | 0x0 | 保留                                                                         |
| 7:6  | SHFRCN              | RW  | 0x0 | 采样保持器负输入端强制上下拉<br>0: 正常连接（无上下拉）<br>2: 强制下拉到地<br>3: 强制上拉到电源                 |
| 5:4  | SHFRCP              | RW  | 0x0 | 采样保持器正输入端强制上下拉<br>0: 正常连接（无上下拉）<br>2: 强制下拉到地<br>3: 强制上拉到电源                 |
| 3    | RST                 | W1C | 0x0 | ADC 数字控制复位<br>0: 写 0 无效，读总是 0<br>1: 写 1 复位数字控制，本位段自动清零                     |
| 2    | RDY                 | RO  | 0x0 | ADC 就绪<br>使能 ADC（BGEN 和 ADCEN 均写 1）后，需要等本位段置位才能开始使用 ADC<br>0: 未就绪<br>1: 就绪 |
| 1    | ADCEN               | RW  | 0x0 | ADC 使能<br>0: 关闭<br>1: 使能                                                   |
| 0    | BGEN <sup>[1]</sup> | RW  | 0x0 | 带隙基准源使能<br>0: 关闭<br>1: 使能                                                  |

[1] 整个模拟信号链前端共用一个带隙基准源。ADC0->ADCCTL、ADC1->ADCCTL、ADC2->ADCCTL 中任意一个寄存器的 BGEN 位段为 1，都可以开启带隙基准；当这 3 个寄存器的 BGEN 位段均为 0 才可以关闭带隙基准源。

### 13.10.2.21 ADC 采样转换原始码值（SHRAWCODE）

表 13-44: ADC 采样转换原始码值（SHRAWCODE）位段定义

| SHRAWCODE (ADC SH0 Raw Code Register)                     |    |    |    |    |    |    |    |
|-----------------------------------------------------------|----|----|----|----|----|----|----|
| Access: ADC->SHRAWCODE Offset: 0x0118 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                        | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                       |    |    |    |    |    |    |    |
| 23                                                        | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                       |    |    |    |    |    |    |    |
| 15                                                        | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                       |    |    |    |    |    |    |    |
| 7                                                         | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                       |    |    |    |    |    |    |    |

表 13-45: ADC 采样转换原始码值（SHRAWCODE）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                         |
|------|-----|----|-----|----------------------------|
| 31:0 | VAL | RO | 0x0 | 原始码值<br>为一个有符号数，低 7 位是小数部分 |

### 13.10.2.22 ADC 结果 DMA 访问接口寄存器（DMARESULT）

表 13-46: ADC 结果 DMA 访问接口寄存器（DMARESULT）位段定义

| DMARESULT (DMA Result Register)                           |    |    |    |    |    |    |    |
|-----------------------------------------------------------|----|----|----|----|----|----|----|
| Access: ADC->DMARESULT Offset: 0x0124 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                        | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                       |    |    |    |    |    |    |    |
| 23                                                        | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                       |    |    |    |    |    |    |    |
| 15                                                        | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                       |    |    |    |    |    |    |    |
| 7                                                         | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                       |    |    |    |    |    |    |    |

表 13-47: ADC 结果 DMA 访问接口寄存器（DMARESULT）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                        |
|------|-----|----|-----|-----------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 用于 DMA 访问的 ADC 结果，为一个有符号数，与请求 DMA 访问的通道的结果 ADCRESULT[x]一致 |



## 13.10.2.23 ADC 通道 n ([0:7])结果寄存器 (ADCRESULT)

表 13-48: ADC 通道 n ([0:7])结果寄存器 (ADCRESULT) 位段定义

| ADCRESULT (ADC Result Register n ([0:7]))                    |    |    |    |    |    |    |    |
|--------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: ADC->ADCRESULT[n] Offset: 0x0128 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                           | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                          |    |    |    |    |    |    |    |
| 23                                                           | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                          |    |    |    |    |    |    |    |
| 15                                                           | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                          |    |    |    |    |    |    |    |
| 7                                                            | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                          |    |    |    |    |    |    |    |

表 13-49: ADC 通道 n ([0:7])结果寄存器 (ADCRESULT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                                                                              |
|------|-----|----|-----|---------------------------------------------------------------------------------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 通道 x 结果, 为符号位扩展后的 32 位有符号数。<br>ADCCHCTL[x].FRACBIT=1 时, 实际为 21 位有符号定点小数, 低 7 位是小数部分;<br>ADCCHCTL[x].FRACBIT=0 时, 实际为 14 位有符号整数。 |

## 13.10.2.24 后处理单元 n ([0:3])比较结果寄存器 (PPURESULT)

表 13-50: 后处理单元 n ([0:3])比较结果寄存器 (PPURESULT) 位段定义

| PPURESULT (PPU Comparison Result Register n ([0:3]))         |    |    |    |    |    |    |    |
|--------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: ADC->PPURESULT[n] Offset: 0x0168 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                           | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                          |    |    |    |    |    |    |    |
| 23                                                           | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                          |    |    |    |    |    |    |    |
| 15                                                           | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                          |    |    |    |    |    |    |    |
| 7                                                            | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                          |    |    |    |    |    |    |    |

表 13-51: 后处理单元 n ([0:3])比较结果寄存器 (PPURESULT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                         |
|------|-----|----|-----|--------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 符号位扩展后的 32 位有符号数<br>实际值范围: [-16384, 16383] |

### 13.10.2.25 后处理单元 n ([0:3]) SOC 响应延时寄存器 (PPUSOCDLY)

表 13-52: 后处理单元 n ([0:3]) SOC 响应延时寄存器 (PPUSOCDLY) 位段定义

|                                                              |    |    |    |    |    |    |    |
|--------------------------------------------------------------|----|----|----|----|----|----|----|
| PPUSOCDLY (PPU SOC Delay Register n ([0:3]))                 |    |    |    |    |    |    |    |
| Access: ADC->PPUSOCDLY[n] Offset: 0x0188 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                           | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                          |    |    |    |    |    |    |    |
| 23                                                           | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                          |    |    |    |    |    |    |    |
| 15                                                           | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                          |    |    |    |    |    |    |    |
| 7                                                            | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                          |    |    |    |    |    |    |    |

表 13-53: 后处理单元 n ([0:3]) SOC 响应延时寄存器 (PPUSOCDLY) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                       |
|------|-----|----|-----|----------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | PPUCTL[n].SOCSEL 所指定的 SOC 从触发到实际响应的延时 (所对应的 ADC 模块时钟周期数) |

### 13.10.2.26 后处理单元 n ([0:3]) 中断原始事件标志寄存器 (PPURAWIF)

表 13-54: 后处理单元 n ([0:3]) 中断原始事件标志寄存器 (PPURAWIF) 位段定义

|                                                             |    |    |    |    |      |      |      |
|-------------------------------------------------------------|----|----|----|----|------|------|------|
| PPURAWIF (PPU Interrupt Raw Flag Register n ([0:3]))        |    |    |    |    |      |      |      |
| Access: ADC->PPURAWIF[n] Offset: 0x01A8 Default: 0x00000000 |    |    |    |    |      |      |      |
| 31                                                          | 30 | 29 | 28 | 27 | 26   | 25   | 24   |
| RESERVED                                                    |    |    |    |    |      |      |      |
| 23                                                          | 22 | 21 | 20 | 19 | 18   | 17   | 16   |
| RESERVED                                                    |    |    |    |    |      |      |      |
| 15                                                          | 14 | 13 | 12 | 11 | 10   | 9    | 8    |
| RESERVED                                                    |    |    |    |    |      |      |      |
| 7                                                           | 6  | 5  | 4  | 3  | 2    | 1    | 0    |
| RESERVED                                                    |    |    |    |    | XZRO | TZOV | TZUV |

表 13-55: 后处理单元 n ([0:3]) 中断原始事件标志寄存器 (PPURAWIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                      |
|------|---------------|----|-----|-----------------------------------------|
| 31:3 | RESERVED_31_3 | RO | 0x0 | 保留                                      |
| 2    | XZRO          | RO | 0x0 | 后处理单元比较结果过零事件标志<br>0: 事件未发生<br>1: 事件已发生 |
| 1    | TZOV          | RO | 0x0 | 后处理单元比较结果过压事件标志<br>0: 事件未发生<br>1: 事件已发生 |
| 0    | TZUV          | RO | 0x0 | 后处理单元比较结果欠压事件标志<br>0: 事件未发生<br>1: 事件已发生 |

## 13.10.2.27 后处理单元 n ([0:3]) 中断标志寄存器 (PPUIF)

表 13-56: 后处理单元 n ([0:3]) 中断标志寄存器 (PPUIF) 位段定义

| PPUIF (PPU Interrupt Flag Register n ([0:3]))                  |    |    |    |     |      |      |      |
|----------------------------------------------------------------|----|----|----|-----|------|------|------|
| Access: ADC->PPUIF[n]    Offset: 0x01C8    Default: 0x00000000 |    |    |    |     |      |      |      |
| 31                                                             | 30 | 29 | 28 | 27  | 26   | 25   | 24   |
| RESERVED                                                       |    |    |    |     |      |      |      |
| 23                                                             | 22 | 21 | 20 | 19  | 18   | 17   | 16   |
| RESERVED                                                       |    |    |    |     |      |      |      |
| 15                                                             | 14 | 13 | 12 | 11  | 10   | 9    | 8    |
| RESERVED                                                       |    |    |    |     |      |      |      |
| 7                                                              | 6  | 5  | 4  | 3   | 2    | 1    | 0    |
| RESERVED                                                       |    |    |    | INT | XZRO | TZOV | TZUV |

表 13-57: 后处理单元 n ([0:3]) 中断标志寄存器 (PPUIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                |
|------|---------------|----|-----|-------------------------------------------------------------------|
| 31:4 | RESERVED_31_4 | RO | 0x0 | 保留                                                                |
| 3    | INT           | RO | 0x0 | 后处理单元全局中断标志<br>0: 中断未发生<br>1: 中断已产生, 并已经通知 CPU<br>本位段被清除之前不会产生新中断 |
| 2    | XZRO          | RO | 0x0 | 后处理单元比较结果过零中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断       |
| 1    | TZOV          | RO | 0x0 | 后处理单元比较结果过压中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断       |
| 0    | TZUV          | RO | 0x0 | 后处理单元比较结果欠压中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断       |

### 13.10.2.28 后处理单元 n ([0:3]) 中断清除寄存器 (PPUIC)

表 13-58: 后处理单元 n ([0:3]) 中断清除寄存器 (PPUIC) 位段定义

| PPUIC (PPU Interrupt Clear Register n ([0:3]))                 |    |    |    |     |      |      |      |
|----------------------------------------------------------------|----|----|----|-----|------|------|------|
| Access: ADC->PPUIC[n]    Offset: 0x01E8    Default: 0x00000000 |    |    |    |     |      |      |      |
| 31                                                             | 30 | 29 | 28 | 27  | 26   | 25   | 24   |
| RESERVED                                                       |    |    |    |     |      |      |      |
| 23                                                             | 22 | 21 | 20 | 19  | 18   | 17   | 16   |
| RESERVED                                                       |    |    |    |     |      |      |      |
| 15                                                             | 14 | 13 | 12 | 11  | 10   | 9    | 8    |
| RESERVED                                                       |    |    |    |     |      |      |      |
| 7                                                              | 6  | 5  | 4  | 3   | 2    | 1    | 0    |
| RESERVED                                                       |    |    |    | INT | XZRO | TZOV | TZUV |

表 13-59: 后处理单元 n ([0:3]) 中断清除寄存器 (PPUIC) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                            |
|------|---------------|-----|-----|---------------------------------------------------------------|
| 31:4 | RESERVED_31_4 | RO  | 0x0 | 保留                                                            |
| 3    | INT           | W1C | 0x0 | 后处理单元全局中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零     |
| 2    | XZRO          | W1C | 0x0 | 后处理单元比较结果过零中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零 |
| 1    | TZOV          | W1C | 0x0 | 后处理单元比较结果过压中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零 |
| 0    | TZUV          | W1C | 0x0 | 后处理单元比较结果欠压中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零 |

## 13.10.2.29 后处理单元 n ([0:3]) 中断使能寄存器 (PPUIE)

表 13-60: 后处理单元 n ([0:3]) 中断使能寄存器 (PPUIE) 位段定义

| PPUIE (PPU Interrupt Enable Register n ([0:3]))                |    |    |    |    |      |      |      |
|----------------------------------------------------------------|----|----|----|----|------|------|------|
| Access: ADC->PPUIE[n]    Offset: 0x0208    Default: 0x00000000 |    |    |    |    |      |      |      |
| 31                                                             | 30 | 29 | 28 | 27 | 26   | 25   | 24   |
| RESERVED                                                       |    |    |    |    |      |      |      |
| 23                                                             | 22 | 21 | 20 | 19 | 18   | 17   | 16   |
| RESERVED                                                       |    |    |    |    |      |      |      |
| 15                                                             | 14 | 13 | 12 | 11 | 10   | 9    | 8    |
| RESERVED                                                       |    |    |    |    |      |      |      |
| 7                                                              | 6  | 5  | 4  | 3  | 2    | 1    | 0    |
| RESERVED                                                       |    |    |    |    | XZRO | TZOV | TZUV |

表 13-61: 后处理单元 n ([0:3]) 中断使能寄存器 (PPUIE) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                |
|------|---------------|----|-----|-----------------------------------|
| 31:3 | RESERVED_31_3 | RO | 0x0 | 保留                                |
| 2    | XZRO          | RW | 0x0 | 后处理单元比较结果过零中断使能<br>0: 关闭<br>1: 使能 |
| 1    | TZOV          | RW | 0x0 | 后处理单元比较结果过压中断使能<br>0: 关闭<br>1: 使能 |
| 0    | TZUV          | RW | 0x0 | 后处理单元比较结果欠压中断使能<br>0: 关闭<br>1: 使能 |

### 13.10.2.30 后处理单元 n ([0:3]) 封锁事件使能寄存器 (PPUTZE)

表 13-62: 后处理单元 n ([0:3]) 封锁事件使能寄存器 (PPUTZE) 位段定义

| PPUTZE (PPU Trip-Zone Event Enable Register n ([0:3])) |    |                |    |                     |      |      |      |
|--------------------------------------------------------|----|----------------|----|---------------------|------|------|------|
| Access: ADC->PPUTZE[n]                                 |    | Offset: 0x0228 |    | Default: 0x00000000 |      |      |      |
| 31                                                     | 30 | 29             | 28 | 27                  | 26   | 25   | 24   |
| RESERVED                                               |    |                |    |                     |      |      |      |
| 23                                                     | 22 | 21             | 20 | 19                  | 18   | 17   | 16   |
| RESERVED                                               |    |                |    |                     |      |      |      |
| 15                                                     | 14 | 13             | 12 | 11                  | 10   | 9    | 8    |
| RESERVED                                               |    |                |    |                     |      |      |      |
| 7                                                      | 6  | 5              | 4  | 3                   | 2    | 1    | 0    |
| RESERVED                                               |    |                |    |                     | XZRO | TZOV | TZUV |

表 13-63: 后处理单元 n ([0:3]) 封锁事件使能寄存器 (PPUTZE) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                       |
|------|---------------|----|-----|------------------------------------------|
| 31:3 | RESERVED_31_3 | RO | 0x0 | 保留                                       |
| 2    | XZRO          | RW | 0x0 | 使能后处理单元比较结果过零触发 PWM 封锁<br>0: 关闭<br>1: 使能 |
| 1    | TZOV          | RW | 0x0 | 使能后处理单元比较结果过压触发 PWM 封锁<br>0: 关闭<br>1: 使能 |
| 0    | TZUV          | RW | 0x0 | 使能后处理单元比较结果欠压触发 PWM 封锁<br>0: 关闭<br>1: 使能 |

## 13.10.2.31 后处理单元 n ([0:3]) 控制寄存器 (PPUCTL)

表 13-64: 后处理单元 n ([0:3]) 控制寄存器 (PPUCTL) 位段定义

|                                         |    |                |    |                     |     |         |    |
|-----------------------------------------|----|----------------|----|---------------------|-----|---------|----|
| PPUCTL (PPU Control Register n ([0:3])) |    |                |    |                     |     |         |    |
| Access: ADC->PPUCTL[n]                  |    | Offset: 0x0248 |    | Default: 0x00000400 |     |         |    |
| 31                                      | 30 | 29             | 28 | 27                  | 26  | 25      | 24 |
| RESERVED                                |    |                |    |                     |     |         |    |
| 23                                      | 22 | 21             | 20 | 19                  | 18  | 17      | 16 |
| RESERVED                                |    |                |    |                     |     |         |    |
| 15                                      | 14 | 13             | 12 | 11                  | 10  | 9       | 8  |
| RESERVED                                |    |                |    |                     | POL | DATASEL |    |
| 7                                       | 6  | 5              | 4  | 3                   | 2   | 1       | 0  |
| DATASEL                                 |    | SOCSEL         |    |                     |     | CBCEN   | EN |

表 13-65: 后处理单元 n ([0:3]) 控制寄存器 (PPUCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                   |
|-------|----------------|----|-----|------------------------------------------------------------------------------------------------------|
| 31:11 | RESERVED_31_11 | RO | 0x0 | 保留                                                                                                   |
| 10    | POL            | RW | 0x1 | 比较的极性<br>0: 参考值减去所选通道的转换结果<br>1: 所选通道的转换结果减去参考值                                                      |
| 9:6   | DATASEL        | RW | 0x0 | 选择参与比较的转换结果所属的通道<br>取值范围应当在[0, 7]内                                                                   |
| 5:2   | SOCSEL         | RW | 0x0 | 选择待测响应延时的 SOC 所属的通道<br>取值范围应当在[0, 7]内                                                                |
| 1     | CBCEN          | RW | 0x0 | 后处理单元中断事件标志位自清除使能<br>0: 关闭 (只能通过 PPUIC[2:0]位段写 1 清除)<br>1: 使能 (根据新的比较结果更新 PPURAWIF[2:0]和 PPUIF[2:0]) |
| 0     | EN             | RW | 0x0 | 后处理单元使能<br>0: 关闭<br>1: 使能                                                                            |



### 13.10.2.32 后处理单元 n ([0:3]) 比较参考寄存器 (PPUREF)

表 13-66: 后处理单元 n ([0:3]) 比较参考寄存器 (PPUREF) 位段定义

| PPUREF (PPU Reference Register n ([0:3])) |    |                |    |                     |    |    |    |
|-------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: ADC->PPUREF[n]                    |    | Offset: 0x0268 |    | Default: 0x00000000 |    |    |    |
| 31                                        | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                       |    |                |    |                     |    |    |    |
| 23                                        | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                       |    |                |    |                     |    |    |    |
| 15                                        | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                       |    |                |    |                     |    |    |    |
| 7                                         | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                       |    |                |    |                     |    |    |    |

表 13-67: 后处理单元 n ([0:3]) 比较参考寄存器 (PPUREF) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                             |
|------|-----|----|-----|--------------------------------|
| 31:0 | VAL | RW | 0x0 | 比较的参考值, 为[-8192, 8191]范围内的有符号数 |

### 13.10.2.33 后处理单元 n ([0:3]) 下限阈值寄存器 (PPUTHL)

表 13-68: 后处理单元 n ([0:3]) 下限阈值寄存器 (PPUTHL) 位段定义

| PPUTHL (PPU Trip-Zone Low-Side Threshold Register n ([0:3])) |    |                |    |                     |    |    |    |
|--------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: ADC->PPUTHL[n]                                       |    | Offset: 0x0288 |    | Default: 0x00000000 |    |    |    |
| 31                                                           | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                          |    |                |    |                     |    |    |    |
| 23                                                           | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                          |    |                |    |                     |    |    |    |
| 15                                                           | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                          |    |                |    |                     |    |    |    |
| 7                                                            | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                          |    |                |    |                     |    |    |    |

表 13-69: 后处理单元 n ([0:3]) 下限阈值寄存器 (PPUTHL) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                  |
|------|-----|----|-----|-------------------------------------|
| 31:0 | VAL | RW | 0x0 | 判定欠压的下限阈值, 为[-16384, 16383]范围内的有符号数 |

**13.10.2.34 后处理单元 n ([0:3]) 上限阈值寄存器 (PPUTHH)****表 13-70: 后处理单元 n ([0:3]) 上限阈值寄存器 (PPUTHH) 位段定义**

| PPUTHH (PPU Trip-Zone High-Side Threshold Register n ([0:3]))   |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: ADC->PPUTHH[n]    Offset: 0x02A8    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

**表 13-71: 后处理单元 n ([0:3]) 上限阈值寄存器 (PPUTHH) 位段描述**

| 位段   | 位段名 | 属性 | 复位值 | 描述                                 |
|------|-----|----|-----|------------------------------------|
| 31:0 | VAL | RW | 0x0 | 判定过压的上限阈值，为[-16384, 16383]范围内的有符号数 |

### 13.10.2.35 温度传感器控制寄存器（TSENSCTL）

表 13-72：温度传感器控制寄存器（TSENSCTL）位段定义

| TSENSCTL (Temperature Sensor Control Register)                 |        |    |    |    |         |        |    |
|----------------------------------------------------------------|--------|----|----|----|---------|--------|----|
| Access: ADC->TSENSCTL    Offset: 0x02C8    Default: 0x00000000 |        |    |    |    |         |        |    |
| 31                                                             | 30     | 29 | 28 | 27 | 26      | 25     | 24 |
| RESERVED                                                       |        |    |    |    |         |        |    |
| 23                                                             | 22     | 21 | 20 | 19 | 18      | 17     | 16 |
| RESERVED                                                       |        |    |    |    |         |        |    |
| 15                                                             | 14     | 13 | 12 | 11 | 10      | 9      | 8  |
| RESERVED                                                       |        |    |    |    |         |        |    |
| 7                                                              | 6      | 5  | 4  | 3  | 2       | 1      | 0  |
| RESERVED                                                       | DEMSEL |    |    |    | SWAPBJT | OUTINV | EN |

表 13-73：温度传感器控制寄存器（TSENSCTL）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                       |
|------|---------------|----|-----|------------------------------------------|
| 31:7 | RESERVED_31_7 | RO | 0x0 | 保留                                       |
| 6:3  | DEMSEL        | RW | 0x0 | 偏置电流分支选择，以实现动态元素匹配                       |
| 2    | SWAPBJT       | RW | 0x0 | 交换温度传感器三极管<br>0: 不交换三极管<br>1: 交换三极管      |
| 1    | OUTINV        | RW | 0x0 | 交换温度传感器输出正负端<br>0: 正负端原样输出<br>1: 正负端交换输出 |
| 0    | EN            | RW | 0x0 | 温度传感器使能<br>0: 关闭<br>1: 使能                |

[1] 仅能通过 ADC0->TSENSCTL 控制温度传感器，ADC1->TSENSCTL 和 ADC2->TSENSCTL 无效。

**13.10.2.36 ADC 模块写使能寄存器 (ADCREGKEY)****表 13-74: ADC 模块写使能寄存器 (ADCREGKEY) 位段定义**

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| ADCREGKEY (ADC Register Write-Allow Key Register)               |    |    |    |    |    |    |    |
| Access: ADC->ADCREGKEY    Offset: 0x02CC    Default: 0x1ACCE551 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| KEY                                                             |    |    |    |    |    |    |    |

**表 13-75: ADC 模块写使能寄存器 (ADCREGKEY) 位段描述**

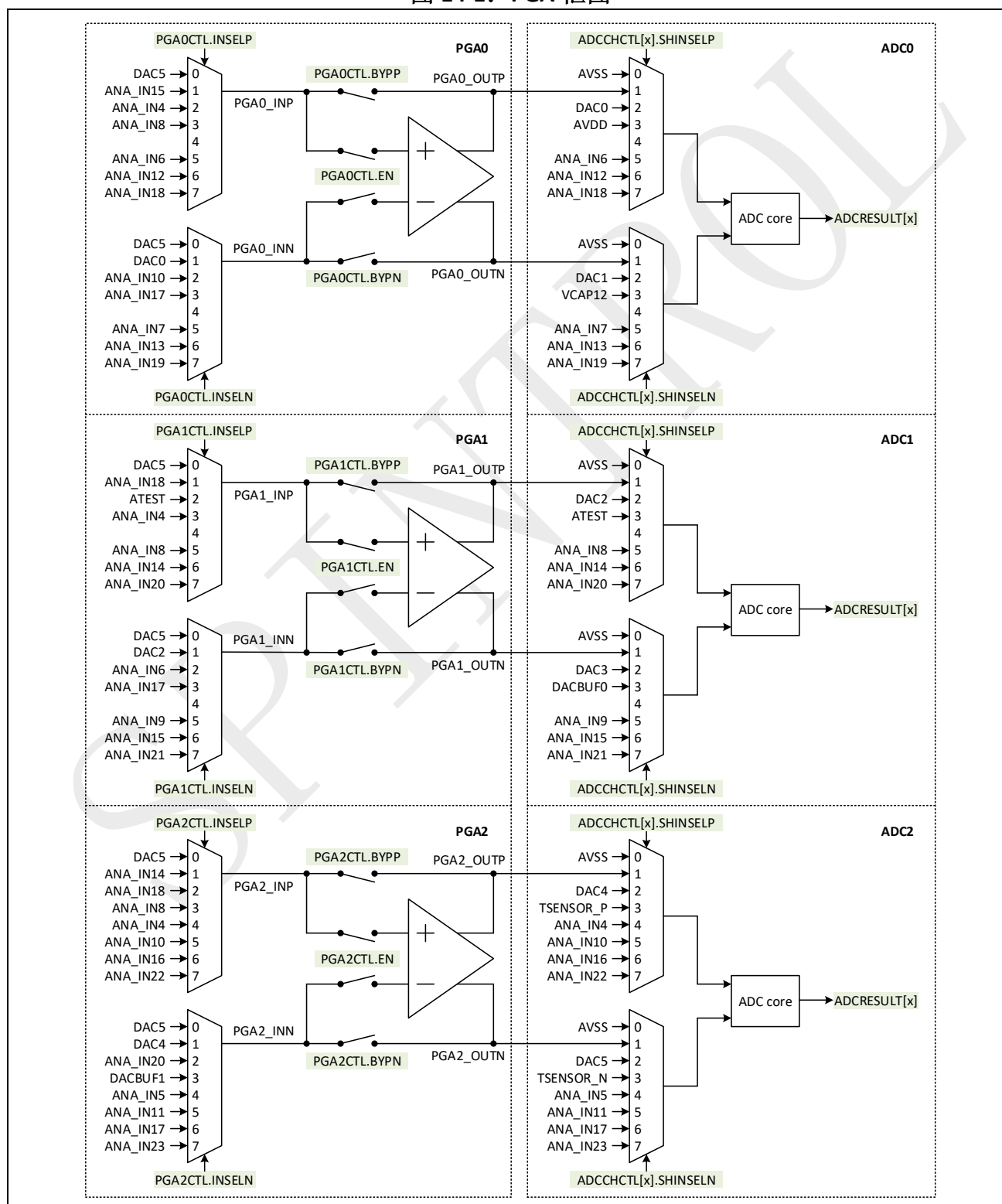
| 位段   | 位段名 | 属性 | 复位值        | 描述                           |
|------|-----|----|------------|------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 ADC 寄存器 |

## 14 可编程增益放大器（PGA）

### 14.1 概述

SPC1185 集成了 3 个可变增益放大器，可以支持同时放大 3 个通道的信号。每个 PGA 有两种工作模式：一种是差分模式，最大增益可到 64，另一种是单端模式，最大增益可到 32。在单端模式下，每个 PGA 可以支持两个单端信号的放大。PGA 框图如图 14-1 所示。

图 14-1: PGA 框图



## 14.2 输入通道选择

每个 PGA 的正负输入端都各有 1 个 8 选 1 的多路选择器，通过寄存器位段 PGAxCTL.INSELP 和 PGAxCTL.INSELN 配置，具体如表 14-1 所示。

表 14-1: PGA 输入选择

| 选项 | PGA0     |                        | PGA1                   |                         | PGA2     |          |
|----|----------|------------------------|------------------------|-------------------------|----------|----------|
|    | INSELP   | INSELN                 | INSELP                 | INSELN                  | INSELP   | INSELN   |
| 0  | DAC5     | DAC5                   | DAC5                   | DAC5                    | DAC5     | DAC5     |
| 1  | —        | DAC0                   | ANA_IN18               | DAC2                    | ANA_IN14 | DAC4     |
| 2  | ANA_IN4  | ANA_IN10               | ATEST                  | ANA_IN6                 | ANA_IN18 | ANA_IN20 |
| 3  | ANA_IN8  | ANA_IN17               | ANA_IN4                | ANA_IN17                | ANA_IN8  | DACBUF1  |
| 4  | —        | ANA_IN1 <sup>[1]</sup> | ANA_IN2 <sup>[1]</sup> | ANA_IN3 <sup>[1]</sup>  | ANA_IN4  | ANA_IN5  |
| 5  | ANA_IN6  | ANA_IN7                | ANA_IN8                | ANA_IN9                 | ANA_IN10 | ANA_IN11 |
| 6  | ANA_IN12 | ANA_IN13               | ANA_IN14               | ANA_IN15 <sup>[1]</sup> | ANA_IN16 | ANA_IN17 |
| 7  | ANA_IN18 | ANA_IN19               | ANA_IN20               | ANA_IN21                | ANA_IN22 | ANA_IN23 |

[1] 仅 QFN56（6×6mm）封装支持。

## 14.3 模式和增益

每个 PGA 都可以独立配置成差分模式或者单端模式。单端模式下，正端通路和负端通路可以独立打开或关闭。差分模式下，输出的共模电压可以配置为正端输入电压、负端输入电压或输入共模电压。具体模式选择取决于寄存器 PGAxCTL.MODE 的配置，如表 14-2 所示。

表 14-2: PGA 模式选择

| PGAxCTL.MODE | 描述                     |
|--------------|------------------------|
| 0            | 无效                     |
| 1            | 差分电机模式且输出的共模电压为负端输入电压  |
| 2            | 差分电机模式且输出的共模电压为正端输入电压  |
| 3            | 差分传感器模式且输出的共模电压为输入共模电压 |
| 4            | 无效                     |
| 5            | 单端模式，只打开负端通路           |
| 6            | 单端模式，只打开正端通路           |
| 7            | 单端模式，同时打开正端通路和负端通路     |

差分模式和单端模式下的增益如表 14-3 所示。

差分模式下，PGAxCTL.GAINP 和 PGAxCTL.GAINN 应当配置为相同的值，以决定增益 G。

表 14-3: PGA 增益选择

| PGAxCTL.GAINP/PGAxCTL.GAINN | 单端模式增益       | 差分模式增益               |                     |
|-----------------------------|--------------|----------------------|---------------------|
|                             | (MODE=5,6,7) | 差分电机模式<br>(MODE=1,2) | 差分传感器模式<br>(MODE=3) |
| 0                           | 1            | 2                    | 1                   |
| 1                           | 2            | 4                    | 2                   |
| 2                           | 4            | 8                    | 4                   |
| 3                           | 8            | 16                   | 8                   |
| 4                           | 12           | 24                   | 12                  |
| 5                           | 16           | 32                   | 16                  |
| 6                           | 24           | 48                   | 24                  |
| 7                           | 32           | 64                   | 32                  |

若 PGAxCTL.MODE = 3，则差分输出的共模电压与输入共模电压相同，因此输出电压为：

$$V_{PGAX\_OUTP} = (V_{PGAX\_INP} + V_{PGAX\_INN}) / 2 + (V_{PGAX\_INP} - V_{PGAX\_INN}) \times G / 2$$

$$V_{PGAX\_OUTN} = (V_{PGAX\_INP} + V_{PGAX\_INN}) / 2 - (V_{PGAX\_INP} - V_{PGAX\_INN}) \times G / 2$$

若 PGAxCTL.MODE = 2，则差分输出的共模电压与输入正端电压相同，因此输出电压为：

$$V_{PGAX\_OUTP} = V_{PGAX\_INP} + (V_{PGAX\_INP} - V_{PGAX\_INN}) \times G / 2$$

$$V_{PGAX\_OUTN} = V_{PGAX\_INP} - (V_{PGAX\_INP} - V_{PGAX\_INN}) \times G / 2$$

若 PGAxCTL.MODE = 1，则差分输出的共模电压与输入负端电压相同，因此输出电压为：

$$V_{PGAX\_OUTP} = V_{PGAX\_INN} + (V_{PGAX\_INP} - V_{PGAX\_INN}) \times G / 2$$

$$V_{PGAX\_OUTN} = V_{PGAX\_INN} - (V_{PGAX\_INP} - V_{PGAX\_INN}) \times G / 2$$

单端模式下，正端通路的增益  $G_P$  由寄存器位段 PGAxCTL.GAINP 设置，负端通路的增益  $G_N$  由寄存器位段 PGAxCTL.GAINN 设置。输出和输入的关系如下：

$$V_{PGAX\_OUTP} = V_{PGAX\_INP} \times G_P$$

$$V_{PGAX\_OUTN} = V_{PGAX\_INN} \times G_N$$

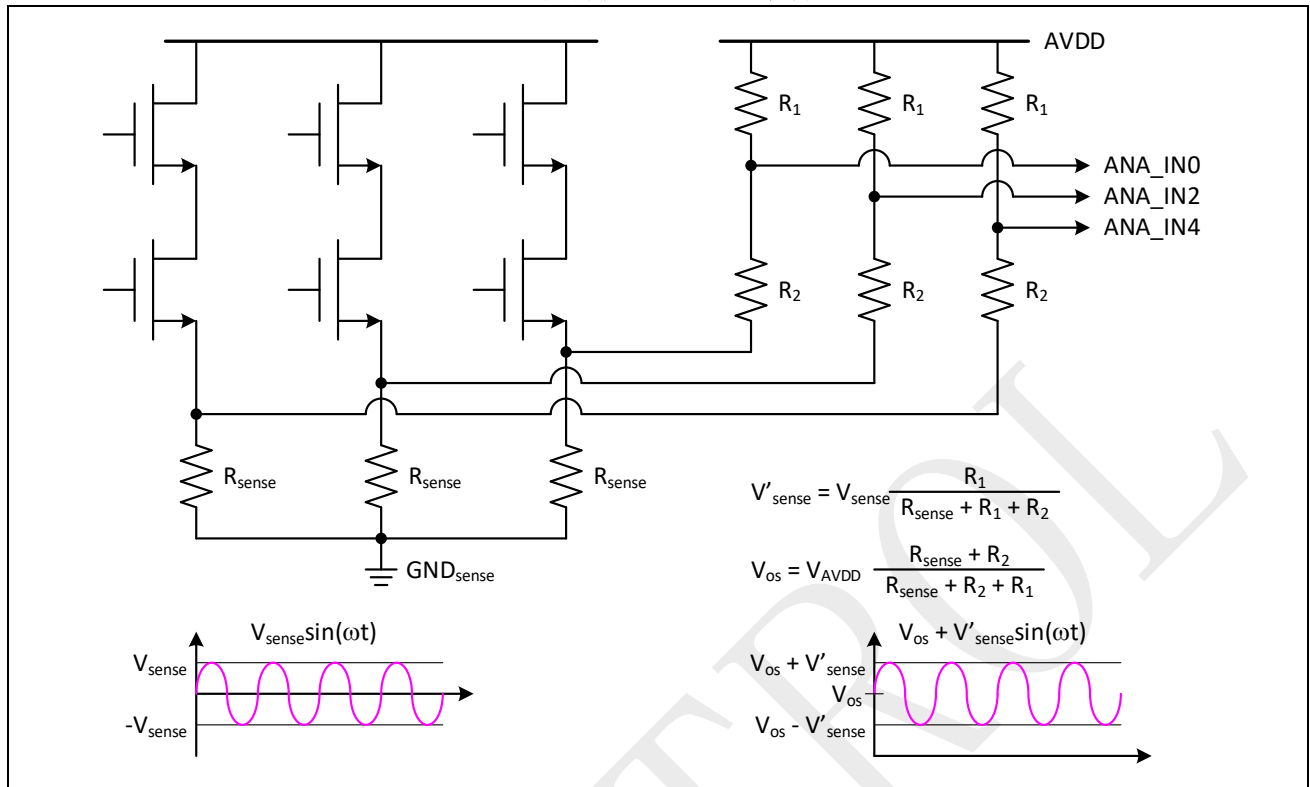
PGA 在电气特性上的输入范围是轨到轨的。但是为了防止输出管饱和，使用时需要保证输出范围在 0.3V 到  $V_{AVDD} - 0.3V$  之间，对应于输入范围为  $0.3V / G$  到  $(V_{AVDD} - 0.3V) / G$ 。

## 14.4 PGA 单端模式在电流采样中的应用

电机控制通常需要测量驱动场效应管的电流，并通过算法做相应的控制调整。如图 14-2 所示，这个电流值又是通过测量采样电阻  $R_{sense}$  上的电压得到。该电压信号是均值为 0 的正弦波。由于负电压不能传入芯片，需要将  $V_{sense}$  信号上移来保证该电压不会是负值，然后再送给 PGA 用作输入。假设使用 ANA\_IN4、ANA\_IN6、ANA\_IN8 三个模拟输入通道来采样，相应的 PGA 配置如表 14-1 所示。

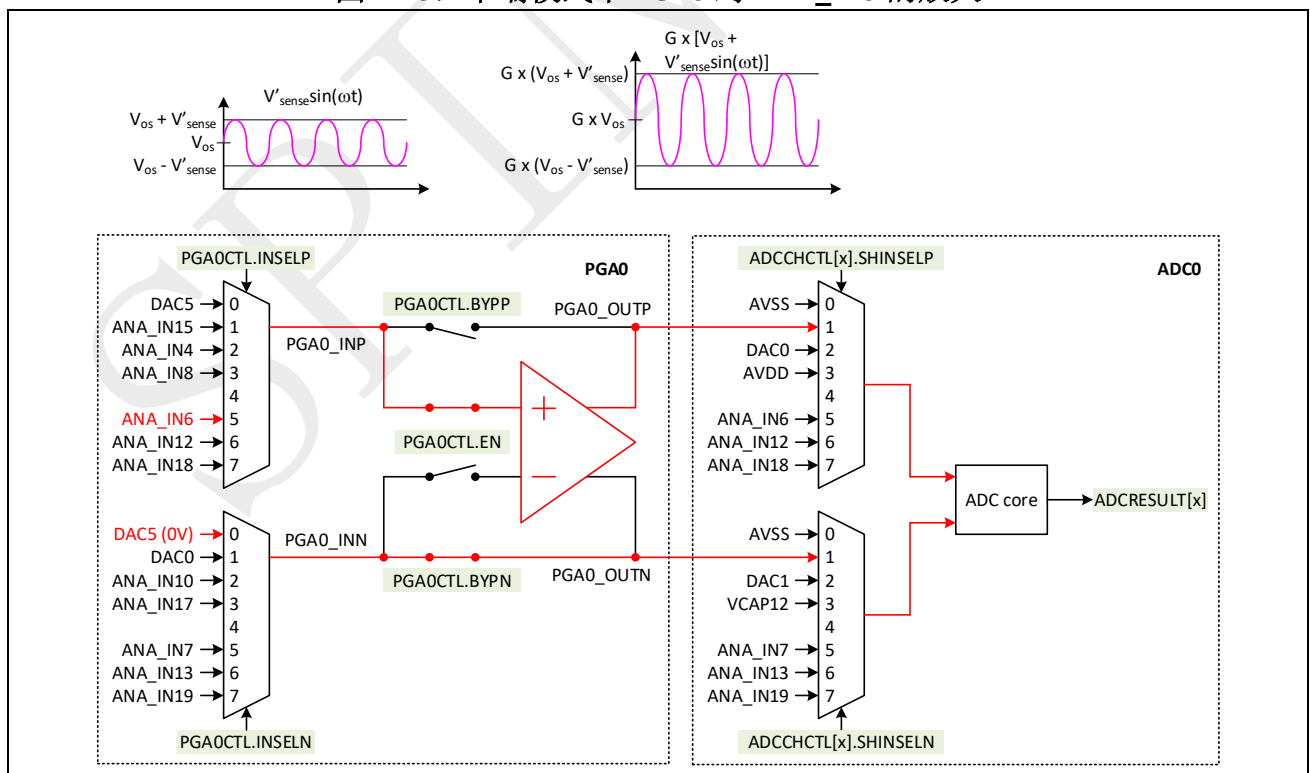


图 14-2: 单端模式下电流采样示意图



如图 14-3 所示, PGA0 的正负端都工作于单端模式, 正端选择 ANA\_IN6 信号放大  $G$  倍, 负端选择 DAC5 (配置为 0V) 旁路输出, 最后均输出到 ADC0 的输入。

图 14-3: 单端模式下 PGA0 对 ANA\_IN6 的放大

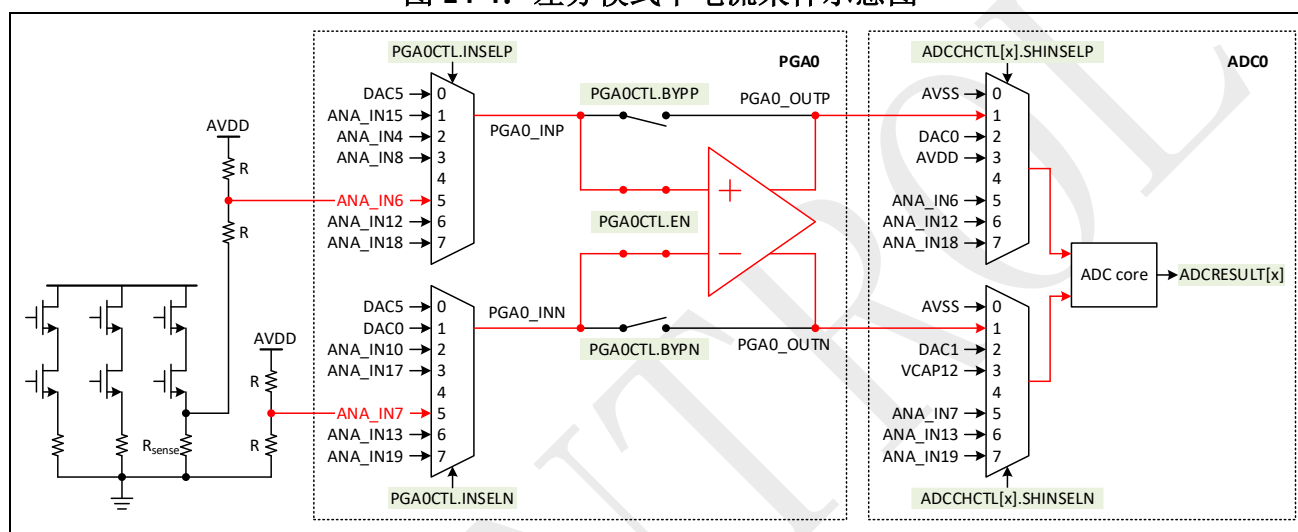


## 14.5 PGA 差分模式在电流采样中的应用

考虑到电机控制等场合中有信号耦合干扰等因素，影响测量的准确性，因此可以通过如图所示的差分模式测量电流采样电阻上的电压，抑制共模噪声或干扰的影响。电阻上的电压通过两个相同电阻  $R$  ( $R \gg R_{\text{sense}}$ ) 组成的分压器上移到  $V_{\text{AVDD}}/2$ ，幅度等于原来的一半，再传给 PGA 输入。采样电阻的负端 (GND) 采用同样的电路做电平上移。

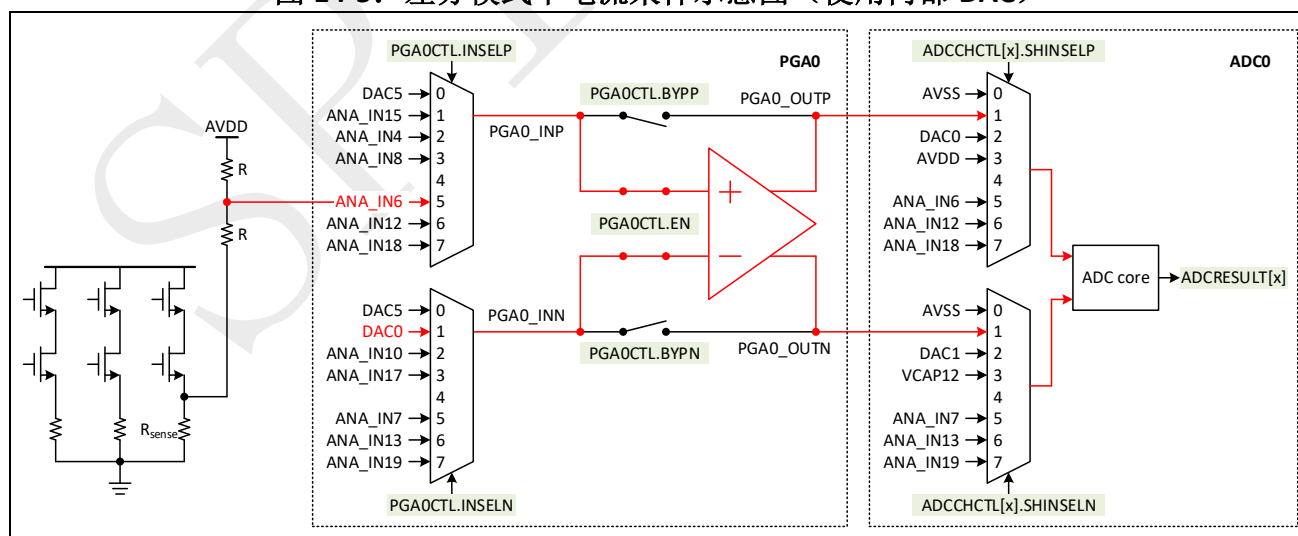
PGA0 配置为差分模式，采样电阻的正端经过电平上移后由 ANA\_IN6 通道送到 PGA0 的正端输入，采样电阻的负端经过电平上移后由 ANA\_IN7 通道送到 PGA0 的负端输入。PGA0 的输出共模电平设置为等于负端输入，即等于  $V_{\text{AVDD}}/2$ ，这样有利于增大输出信号范围。

图 14-4：差分模式下电流采样示意图



另一种模式是负端的  $V_{\text{AVDD}}/2$  不是通过外部电阻分压产生，而是采用内部的 10 位 DAC，并同样设置输出的共模电压等于负端输入，如图 14-5 所示。这种方法的优点是每一条采样支路上可以节省一个引脚。

图 14-5：差分模式下电流采样示意图（使用内部 DAC）



## 14.6 偏移误差校准

由于芯片上器件的失配，每个放大器都有一个偏移量  $V_{os}$ ，使得当输入为  $V_{in}$ 、增益为  $G$  时，对应的输出为：

$$V_{out} = (V_{in} + V_{os}) \times G = V_{in} \times G + V_{os} \times G$$

可以看到，若能测量得到偏移量  $V_{os}$ ，则可以通过后处理去除其影响。因此，偏移量标定是精确信号放大和测量的重要步骤。用户可以通过在 PGA 的正负输入端送入相同信号，使得  $V_{in} = 0$ ，然后测量其差分输出电压，该电压除以增益，就是该 PGA 的偏移量。推荐按照表 14-1 所示，将 DAC5 的输出送到 PGA 的正负输入端，并且设置 DAC5 的输出为实际应用场景的输入共模电压（例如  $V_{AVDD}/2$ ），在此条件下测量和计算偏移量。

从上式还可以看出，偏移量经过增益放大后，影响输出电平，在大增益的场景中尤为明显。用户需要根据数据手册给出的 PGA 特性，合理选取增益档位以及输出共模电压，以确保 PGA 输出不会饱和。

不建议使用外部电平转换器来做校准，因为电平转换器的失配更大。此外，由于使用相同的 DAC 输出应用于 PGA 的正端和负端输入，即使内部 DAC 输出的绝对电压存在细微误差，差分输入信号也仍然为零。

由于 PGA 有三种不同的拓扑模式：差分模式、单端模式下只开通正端通路、单端模式下只开通负端通路，因此具体使用时应当对这三种模式分别做偏移量的测量，并通过 ADC 后处理单元或者软件后处理消除其对最终 ADC 转换结果的影响。

## 14.7 上电顺序

当 PGA 开始启动，需要遵循如下上电顺序：

1. 使能模拟前端的带隙基准源；
2. 使能 PGA 电路。

## 14.8 寄存器

### 14.8.1 PGA 寄存器列表

表 14-4: PGA 模块基地址

| 外设模块 | 基地址         |
|------|-------------|
| PGA  | 0x4000 9800 |

表 14-5: PGA 寄存器列表

| 寄存器                       | 偏移地址   | 描述           | 复位值        |
|---------------------------|--------|--------------|------------|
| <a href="#">PGA0CTL</a> * | 0x02D0 | PGA0 控制寄存器   | 0x00000002 |
| <a href="#">PGA1CTL</a> * | 0x02D4 | PGA1 控制寄存器   | 0x00000002 |
| <a href="#">PGA2CTL</a> * | 0x02D8 | PGA2 控制寄存器   | 0x00000002 |
| <a href="#">PGAREGKEY</a> | 0x02EC | PGA 模块写使能寄存器 | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 PGAREGKEY=0x1ACCE551 时才可以改写。

## 14.8.2 PGA 寄存器

### 14.8.2.1 PGA0 控制寄存器（PGA0CTL）

表 14-6: PGA0 控制寄存器（PGA0CTL）位段定义

| PGA0CTL (PGA0 Control Register)                               |             |             |    |             |           |             |            |
|---------------------------------------------------------------|-------------|-------------|----|-------------|-----------|-------------|------------|
| Access: PGA->PGA0CTL    Offset: 0x02D0    Default: 0x00000002 |             |             |    |             |           |             |            |
| 31                                                            | 30          | 29          | 28 | 27          | 26        | 25          | 24         |
| RESERVED                                                      |             |             |    |             |           |             |            |
| 23                                                            | 22          | 21          | 20 | 19          | 18        | 17<br>BYPN  | 16<br>BYPP |
| RESERVED                                                      |             |             |    |             |           |             |            |
| 15                                                            | 14<br>GAINN | 13          | 12 | 11<br>GAINP | 10        | 9<br>INSELN | 8          |
| 7<br>INSELN                                                   | 6           | 5<br>INSELP | 4  | 3           | 2<br>MODE | 1           | 0<br>EN    |

表 14-7: PGA0 控制寄存器（PGA0CTL）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                            |
|-------|----------------|----|-----|-----------------------------------------------|
| 31:18 | RESERVED_31_18 | RO | 0x0 | 保留                                            |
| 17    | BYPN           | RW | 0x0 | PGA0 负端通路旁路直通<br>0: 输入经过放大到输出<br>1: 输入旁路直通到输出 |
| 16    | BYPP           | RW | 0x0 | PGA0 正端通路旁路直通<br>0: 输入经过放大到输出<br>1: 输入旁路直通到输出 |
| 15:13 | GAINN          | RW | 0x0 | PGA0 负端通路增益, 详见表 14-3                         |
| 12:10 | GAINP          | RW | 0x0 | PGA0 正端通路增益, 详见表 14-3                         |
| 9:7   | INSELN         | RW | 0x0 | PGA0 负端输入选择, 详见表 14-1                         |
| 6:4   | INSELP         | RW | 0x0 | PGA0 正端输入选择, 详见表 14-1                         |
| 3:1   | MODE           | RW | 0x1 | PGA0 工作模式, 详见表 14-2                           |
| 0     | EN             | RW | 0x0 | PGA0 使能<br>0: 关闭<br>1: 使能                     |

### 14.8.2.2 PGA1 控制寄存器 (PGA1CTL)

表 14-8: PGA1 控制寄存器 (PGA1CTL) 位段定义

|                                                               |        |    |       |      |    |        |      |
|---------------------------------------------------------------|--------|----|-------|------|----|--------|------|
| PGA1CTL (PGA1 Control Register)                               |        |    |       |      |    |        |      |
| Access: PGA->PGA1CTL    Offset: 0x02D4    Default: 0x00000002 |        |    |       |      |    |        |      |
| 31                                                            | 30     | 29 | 28    | 27   | 26 | 25     | 24   |
| RESERVED                                                      |        |    |       |      |    |        |      |
| 23                                                            | 22     | 21 | 20    | 19   | 18 | 17     | 16   |
| RESERVED                                                      |        |    |       |      |    | BYPN   | BYPP |
| 15                                                            | 14     | 13 | 12    | 11   | 10 | 9      | 8    |
| GAINN                                                         |        |    | GAINP |      |    | INSELN |      |
| 7                                                             | 6      | 5  | 4     | 3    | 2  | 1      | 0    |
| INSELN                                                        | INSELP |    |       | MODE |    |        | EN   |

表 14-9: PGA1 控制寄存器 (PGA1CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                            |
|-------|----------------|----|-----|-----------------------------------------------|
| 31:18 | RESERVED_31_18 | RO | 0x0 | 保留                                            |
| 17    | BYPN           | RW | 0x0 | PGA1 负端通路旁路直通<br>0: 输入经过放大到输出<br>1: 输入旁路直通到输出 |
| 16    | BYPP           | RW | 0x0 | PGA1 正端通路旁路直通<br>0: 输入经过放大到输出<br>1: 输入旁路直通到输出 |
| 15:13 | GAINN          | RW | 0x0 | PGA1 负端通路增益, 详见表 14-3 表 14-3                  |
| 12:10 | GAINP          | RW | 0x0 | PGA1 正端通路增益, 详见表 14-3 表 14-3                  |
| 9:7   | INSELN         | RW | 0x0 | PGA1 负端输入选择, 详见表 14-1                         |
| 6:4   | INSELP         | RW | 0x0 | PGA1 正端输入选择, 详见表 14-1                         |
| 3:1   | MODE           | RW | 0x1 | PGA1 工作模式, 详见表 14-2                           |
| 0     | EN             | RW | 0x0 | PGA1 使能<br>0: 关闭<br>1: 使能                     |

## 14.8.2.3 PGA2 控制寄存器 (PGA2CTL)

表 14-10: PGA2 控制寄存器 (PGA2CTL) 位段定义

|                                                               |        |    |       |      |    |        |      |
|---------------------------------------------------------------|--------|----|-------|------|----|--------|------|
| PGA2CTL (PGA2 Control Register)                               |        |    |       |      |    |        |      |
| Access: PGA->PGA2CTL    Offset: 0x02D8    Default: 0x00000002 |        |    |       |      |    |        |      |
| 31                                                            | 30     | 29 | 28    | 27   | 26 | 25     | 24   |
| RESERVED                                                      |        |    |       |      |    |        |      |
| 23                                                            | 22     | 21 | 20    | 19   | 18 | 17     | 16   |
| RESERVED                                                      |        |    |       |      |    | BYPN   | BYPP |
| 15                                                            | 14     | 13 | 12    | 11   | 10 | 9      | 8    |
| GAINN                                                         |        |    | GAINP |      |    | INSELN |      |
| 7                                                             | 6      | 5  | 4     | 3    | 2  | 1      | 0    |
| INSELN                                                        | INSELP |    |       | MODE |    |        | EN   |

表 14-11: PGA2 控制寄存器 (PGA2CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                            |
|-------|----------------|----|-----|-----------------------------------------------|
| 31:18 | RESERVED_31_18 | RO | 0x0 | 保留                                            |
| 17    | BYPN           | RW | 0x0 | PGA2 负端通路旁路直通<br>0: 输入经过放大到输出<br>1: 输入旁路直通到输出 |
| 16    | BYPP           | RW | 0x0 | PGA2 正端通路旁路直通<br>0: 输入经过放大到输出<br>1: 输入旁路直通到输出 |
| 15:13 | GAINN          | RW | 0x0 | PGA2 负端通路增益, 详见<br>表 14-3 表 14-3              |
| 12:10 | GAINP          | RW | 0x0 | PGA2 正端通路增益, 详见<br>表 14-3 表 14-3              |
| 9:7   | INSELN         | RW | 0x0 | PGA2 负端输入选择, 详见表 14-1                         |
| 6:4   | INSELP         | RW | 0x0 | PGA2 正端输入选择, 详见表 14-1                         |
| 3:1   | MODE           | RW | 0x1 | PGA2 工作模式, 详见表 14-2                           |
| 0     | EN             | RW | 0x0 | PGA2 使能<br>0: 关闭<br>1: 使能                     |

#### 14.8.2.4 PGA 模块写使能寄存器（PGAREGKEY）

表 14-12: PGA 模块写使能寄存器（PGAREGKEY）位段定义

| PGAREGKEY (PGA Register Write-Allow Key Register)               |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: PGA->PGAREGKEY    Offset: 0x02EC    Default: 0x1ACCE551 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| KEY                                                             |    |    |    |    |    |    |    |

表 14-13: PGA 模块写使能寄存器（PGAREGKEY）位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                           |
|------|-----|----|------------|------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 PGA 寄存器 |



## 15 温度传感器

### 15.1 概述

SPC1185 提供 1 个温度传感器用于测量器件的结温，其输出可以用 14 位 ADC 采样转换，详见表 13-1。

### 15.2 传递函数

温度传感器输出电压  $V_{T-Sensor}$  和温度  $T$  成正比。温度可以用下列公式计算：

$$T = \text{Slope} \times V_{T-Sensor} + \text{Offset}$$

其中， $\text{Slope} = 4238.97\text{ }^{\circ}\text{C/V}$ ， $\text{Offset} = -283.36\text{ }^{\circ}\text{C}$ 。

结合章节 13.7 给出的 ADC 电压与码值的对应关系，可以按照下列公式从 ADC 码值推导温度：

$$T = 1.728 \times \text{Code} - 283.36$$

由此，用温度传感器测量温度的步骤如下：

1. 按照表 13-1 用 ADC2 测量温度传感器的输出，得到码值 Code；
2. 按照上述公式计算当前温度值。

---

注意： 1 个 ADC 码值对应  $1.728\text{ }^{\circ}\text{C}$ 。为了满足温度传感器输出电压稳定时间的要求，ADC 采样时间至少应为  $2\mu\text{s}$ 。

---

### 15.3 上电顺序

当温度传感器开始启动，需要遵循如下上电顺序：

1. 使能模拟前端带隙基准和 ADC2 核心电路：ADC2->ADCCTL |= 3；
2. 使能温度传感器：ADC0->TSENSCTL |= 1；
3. 等待 ADC2 的 ADCCTL.RDY 翻转为 1，可以开始用 ADC2 量测温度传感器的输出。

### 15.4 精度提升

温度传感器的精度将随着内部器件固有的失配而退化。由于温度传感器通常用于过温保护场景，不需要高精度，因此出厂时温度传感器没有被标定。但为提升内部温度传感器的采样精度，SPC1185 集成了动态元件匹配（Dynamic Element-Matching, DEM）机制，有效抑制器件失配、工艺偏差等误差因素。

在具体硬件实现中，芯片内部预置了 2 个参数高度匹配、理论增益为 1 的温度传感三极管，以及 16 路独立的温度采样元件。每次温度测量时，系统可通过配置寄存器 TSENSCTL.SWAPBIT 灵活切换待启用的传感三极管，同时借助寄存器 TSENSCTL.DEMSEL 选择不同的采样元件，采集多组电压数据并计算均值，以此大幅提升测量精度。

## 15.5 寄存器

温度传感器相关寄存器的定义请参见表 13-72 和表 13-73。注意仅能通过 ADC0->TSENSCTL 控制温度传感器，ADC1->TSENSCTL 和 ADC2->TSENSCTL 无效。

SPIN TROL

## 16 模拟比较器 (COMP)

### 16.1 概述

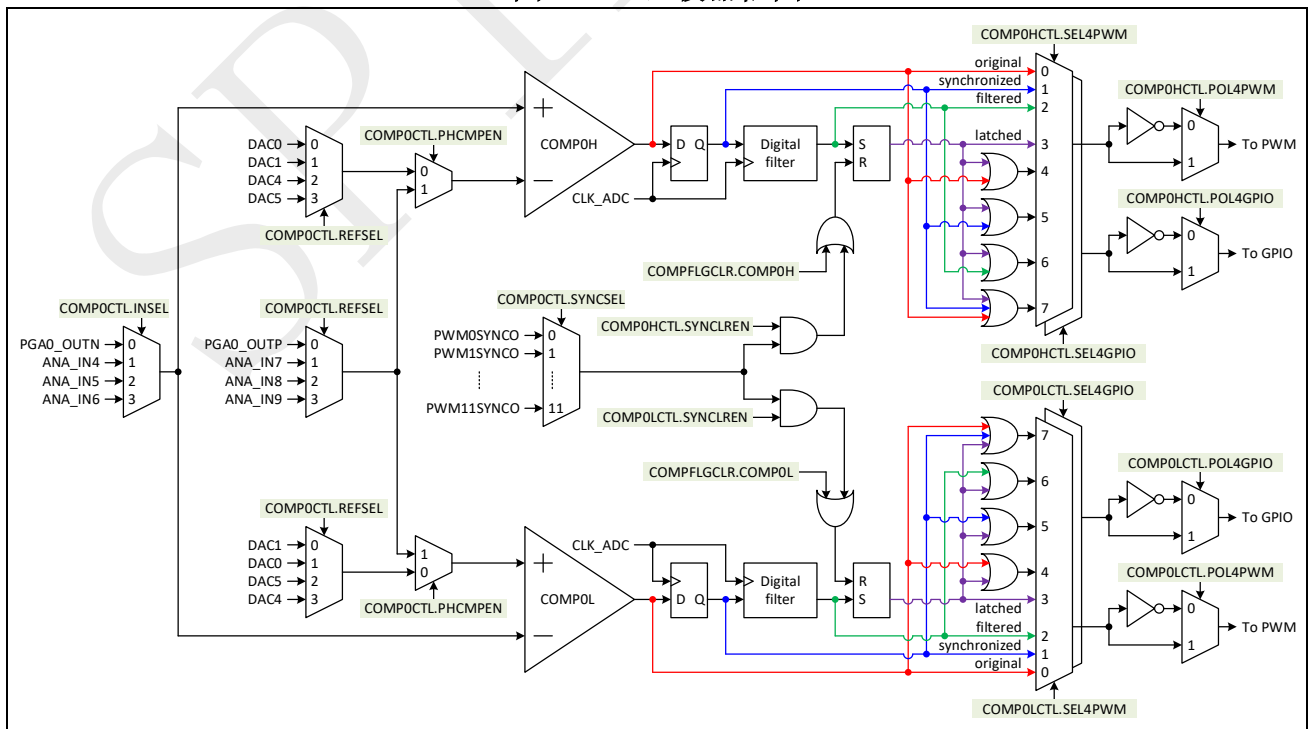
SPC1185 提供了 8 个模拟比较器，可以将输入的两个电压进行比较，其特性如下：

- 轨到轨输入；
- 可编程的迟滞；
- 输出带数字滤波器；
- 可用于相位比较；
- 可用于上下边界（阈值可配）比较，实现过流检测，其结果可用于触发 PWM 封锁；
- 内置 5 个 10 位 DAC（数模转换器）和 1 个 12 位 DAC，用于产生上下边界比较的阈值；
- 内置 2 个 DAC 缓冲器
  - DAC 缓冲器 0 可以从 DAC0~DAC3 中选择一个输出到 GPIO12；
  - DAC 缓冲器 1 可以从 DAC4、DAC5、ATEST 模拟测试节点、ANA\_IN8 输入中选择一个输出到 GPIO13。

### 16.2 比较器架构

比较器按照成对设计和使用。图 16-1 以 COMP0H 和 COMP0L 为例子给出了框图。其中，COMP0H 用于监测电压过高，COMP0L 用于监测电压过低。当 COMP0CTL.PHCMPEN = 1 时，启用相位比较器功能，可以选择来自 I/O 引脚的差分信号或者 PGA 的差分输出等作为输入，监测电压差过零。比较器输出经过数字滤波器，最终结果可以锁存到寄存器中。根据寄存器的配置，可以选择比较器原始输出、经过模块时钟同步后的值、滤波之后的值、锁存后的值或者它们的组合作为最终输出触发 PWM 封锁，也可以送到 GPIO 输出，用于监测这些结果。

图 16-1：比较器框图

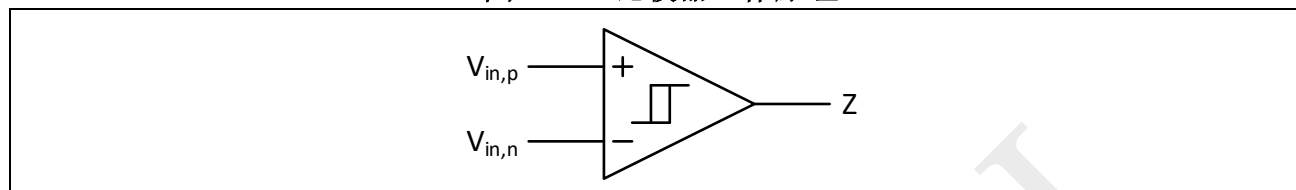


## 16.3 比较器原理

如图 16-2 所示，比较器会比较两端的输入电压：

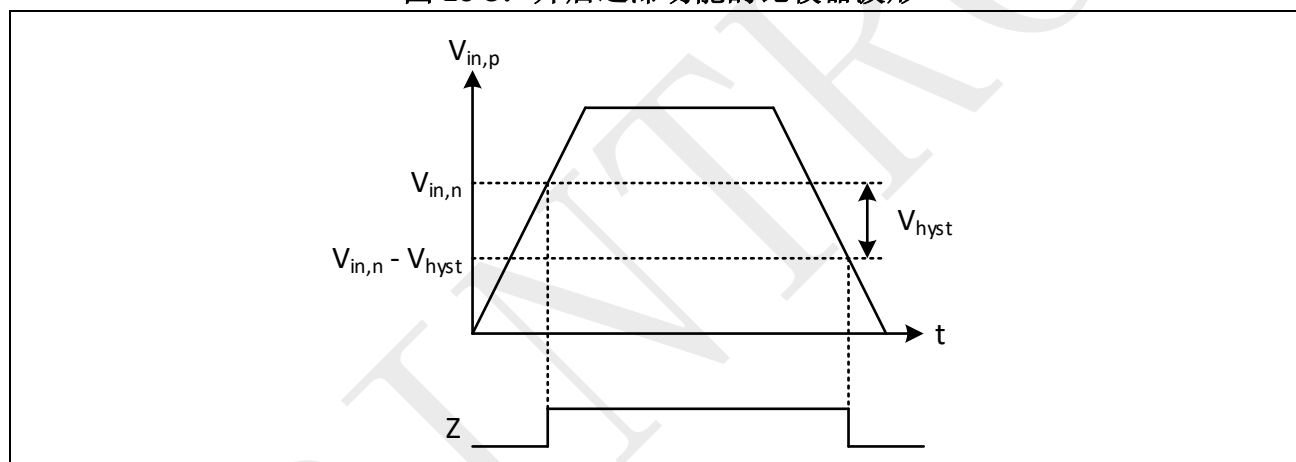
- 如果  $V_{in,p}$  大于  $V_{in,n}$ ，输出  $Z$  为高电平；
- 如果  $V_{in,p}$  小于  $V_{in,n}$ ，输出  $Z$  为低电平。

图 16-2：比较器工作原理



考虑到环境中会存在一定的噪声，比较器提供了迟滞功能。如图 16-3 所示，若开启了迟滞，当  $V_{in,p}$  逐渐增大至超过  $V_{in,n}$  时，输出翻转为高，此时  $V_{in,p}$  需要降低到  $V_{in,n} - V_{hyst}$  以下，输出才会翻转为低。

图 16-3：开启迟滞功能的比较器波形



迟滞的档位选择如表 16-1 所示，默认档位是 0，即没有迟滞功能：

表 16-1：比较器迟滞选择

| COMPxCTL.HYSTSEL (x=0~7) | 迟滞电压 $V_{hyst}$ (mV) |
|--------------------------|----------------------|
| 0                        | 0                    |
| 1                        | 13                   |
| 2                        | 26                   |
| 3                        | 43                   |

## 16.4 比较器输入选择

8 对比较器的输入选择如表 16-2 到仅 QFN56（6×6mm）封装支持。  
表 16-9 所示。

表 16-2: 比较器 COMP0H/COMP0L 输入选择

| INSEL | 输入信号      | REFSEL | PHCMPEN = 1 | PHCMPEN = 0 |           |
|-------|-----------|--------|-------------|-------------|-----------|
|       |           |        | COMP0H/L 参考 | COMP0H 参考   | COMP0L 参考 |
| 0     | PGA0_OUTN | 0      | PGA0_OUTP   | DAC0        | DAC1      |
| 1     | ANA_IN4   | 1      | ANA_IN7     | DAC1        | DAC0      |
| 2     | ANA_IN5   | 2      | ANA_IN8     | DAC4        | DAC5      |
| 3     | ANA_IN6   | 3      | ANA_IN9     | DAC5        | DAC4      |

表 16-3: 比较器 COMP1H/COMP1L 输入选择

| INSEL | 输入信号      | REFSEL | PHCMPEN = 1             | PHCMPEN = 0 |           |
|-------|-----------|--------|-------------------------|-------------|-----------|
|       |           |        | COMP1H/L 参考             | COMP1H 参考   | COMP1L 参考 |
| 0     | PGA1_OUTN | 0      | PGA1_OUTP               | DAC0        | DAC1      |
| 1     | ANA_IN10  | 1      | ANA_IN13                | DAC1        | DAC0      |
| 2     | ANA_IN11  | 2      | ANA_IN14                | DAC4        | DAC5      |
| 3     | ANA_IN12  | 3      | ANA_IN15 <sup>[1]</sup> | DAC5        | DAC4      |

[1] 仅 QFN56（6×6mm）封装支持。

表 16-4: 比较器 COMP2H/COMP2L 输入选择

| INSEL | 输入信号      | REFSEL | PHCMPEN = 1 | PHCMPEN = 0 |           |
|-------|-----------|--------|-------------|-------------|-----------|
|       |           |        | COMP2H/L 参考 | COMP2H 参考   | COMP2L 参考 |
| 0     | PGA2_OUTN | 0      | PGA2_OUTP   | DAC0        | DAC1      |
| 1     | ANA_IN16  | 1      | ANA_IN19    | DAC1        | DAC0      |
| 2     | ANA_IN17  | 2      | ANA_IN20    | DAC4        | DAC5      |
| 3     | ANA_IN18  | 3      | ANA_IN21    | DAC5        | DAC4      |

表 16-5: 比较器 COMP3H/COMP3L 输入选择

| INSEL | 输入信号      | REFSEL | PHCMPEN = 1 | PHCMPEN = 0 |           |
|-------|-----------|--------|-------------|-------------|-----------|
|       |           |        | COMP3H/L 参考 | COMP3H 参考   | COMP3L 参考 |
| 0     | PGA0_OUTP | 0      | PGA0_OUTN   | DAC2        | DAC3      |
| 1     | ANA_IN6   | 1      | ANA_IN5     | DAC3        | DAC2      |
| 2     | ANA_IN8   | 2      | ANA_IN7     | DAC4        | DAC5      |
| 3     | ANA_IN10  | 3      | ANA_IN9     | DAC5        | DAC4      |

表 16-6: 比较器 COMP4H/COMP4L 输入选择

| INSEL | 输入信号      | REFSEL | PHCMPEN = 1             | PHCMPEN = 0 |           |
|-------|-----------|--------|-------------------------|-------------|-----------|
|       |           |        | COMP4H/L 参考             | COMP4H 参考   | COMP4L 参考 |
| 0     | PGA1_OUTP | 0      | PGA1_OUTN               | DAC2        | DAC3      |
| 1     | ANA_IN12  | 1      | ANA_IN11                | DAC3        | DAC2      |
| 2     | ANA_IN14  | 2      | ANA_IN13                | DAC4        | DAC5      |
| 3     | ANA_IN16  | 3      | ANA_IN15 <sup>[1]</sup> | DAC5        | DAC4      |

[1] 仅 QFN56（6×6mm）封装支持。

表 16-7：比较器 COMP5H/COMP5L 输入选择

| INSEL | 输入信号      | REFSEL | PHCMPEN = 1 | PHCMPEN = 0 |           |
|-------|-----------|--------|-------------|-------------|-----------|
|       |           |        | COMP5H/L 参考 | COMP5H 参考   | COMP5L 参考 |
| 0     | PGA2_OUTP | 0      | PGA2_OUTN   | DAC2        | DAC3      |
| 1     | ANA_IN18  | 1      | ANA_IN17    | DAC3        | DAC2      |
| 2     | ANA_IN20  | 2      | ANA_IN19    | DAC4        | DAC5      |
| 3     | ANA_IN22  | 3      | ANA_IN21    | DAC5        | DAC4      |

表 16-8：比较器 COMP6H/COMP6L 输入选择

| INSEL | 输入信号                   | REFSEL | PHCMPEN = 1            | PHCMPEN = 0 |           |
|-------|------------------------|--------|------------------------|-------------|-----------|
|       |                        |        | COMP6H/L 参考            | COMP6H 参考   | COMP6L 参考 |
| 0     | ANA_IN2 <sup>[1]</sup> | 0      | ANA_IN3 <sup>[1]</sup> | DAC0        | DAC1      |
| 1     | ANA_IN8                | 1      | ANA_IN9                | DAC1        | DAC0      |
| 2     | ANA_IN10               | 2      | ANA_IN11               | DAC4        | DAC5      |
| 3     | ANA_IN12               | 3      | ANA_IN13               | DAC5        | DAC4      |

[1] 仅 QFN56（6×6mm）封装支持。

表 16-9：比较器 COMP7H/COMP7L 输入选择

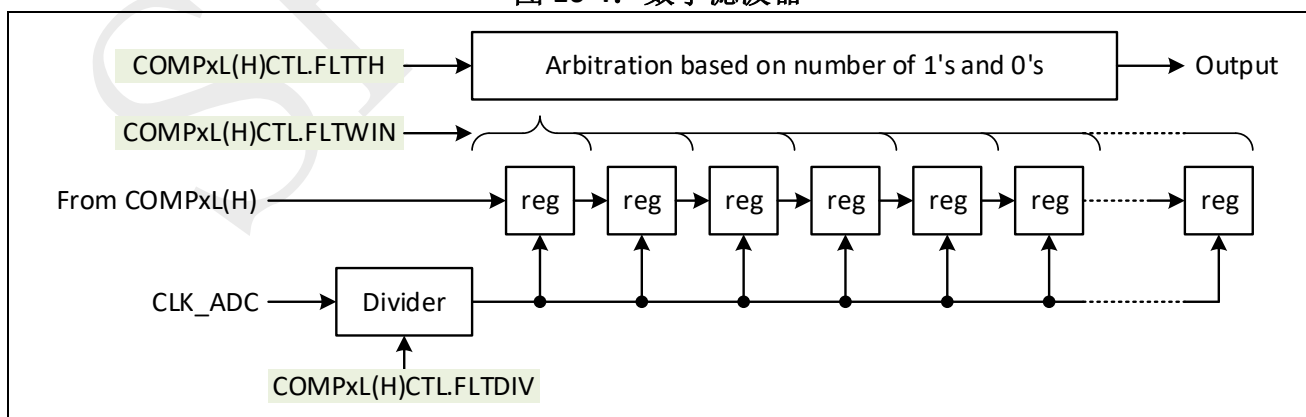
| INSEL | 输入信号     | REFSEL | PHCMPEN = 1            | PHCMPEN = 0 |           |
|-------|----------|--------|------------------------|-------------|-----------|
|       |          |        | COMP7H/L 参考            | COMP7H 参考   | COMP7L 参考 |
| 0     | —        | 0      | ANA_IN1 <sup>[1]</sup> | DAC2        | DAC3      |
| 1     | ANA_IN21 | 1      | ANA_IN19               | DAC3        | DAC2      |
| 2     | ANA_IN20 | 2      | ANA_IN18               | DAC4        | DAC5      |
| 3     | ANA_IN22 | 3      | ANA_IN23               | DAC5        | DAC4      |

[1] 仅 QFN56（6×6mm）封装支持。

## 16.5 数字滤波器

数字滤波器根据 COMPxL(H)CTL.FLTDIV 的配置，以 ADC 模块时钟分频之后的速率对比较器的输出进行采样，并送到一个深度为 32 的移位寄存器链。根据 COMPxL(H)CTL.FLTWIN 的配置，移位寄存器的前若干个数据参与滤波运算。当这些数里 1 或 0 的个数大于 COMPxL(H)CTL.FLTTH 所指定的阈值时，输出对应判定为 1 或 0，否则输出保持不变。

图 16-4：数字滤波器



## 16.6 数模转换器（DAC）

SPC1185 提供了 5 个 10 位 DAC 和 1 个 12 位 DAC，可以通过数字码值的控制，输出静态电压或者动态波形。同时还提供了 2 个可以驱动容性负载的 DAC 缓冲器。

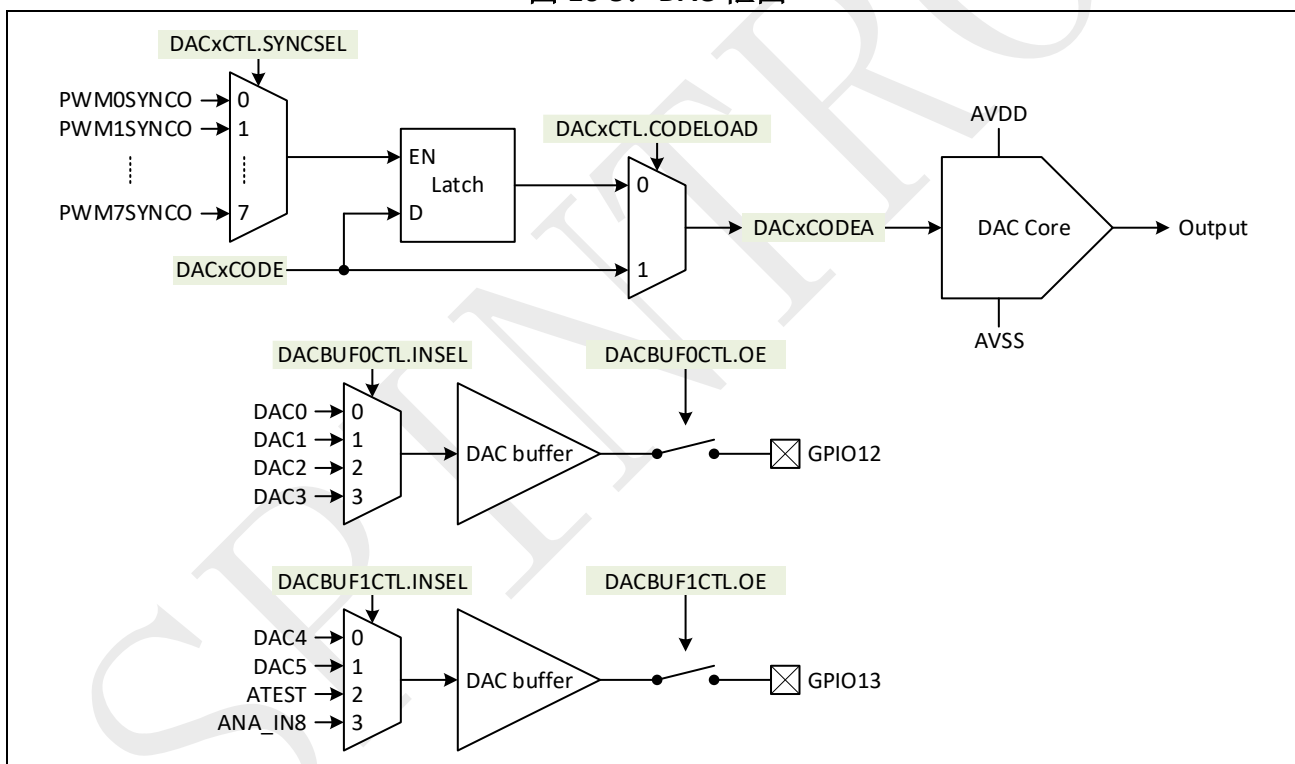
DAC 及缓冲器的框图如图 16-5 所示。N 位 DAC 的输出电压由 DACxCODEA 寄存器控制，可以计算为：

$$V_{\text{DACx}} = V_{\text{AVDD}} \times \text{DACxCODEA} / 2^N$$

- 当 DACxCTL.CODELOAD = 0 时，开启影子模式。此时写入 DACxCODE 寄存器的码值并不会立即生效，而是要等到由 DACxCTL.SYNCSEL 所选定的 PWMxSYNCO 事件发生时才会更新 DACxCODEA。
- 当 DACxCTL.CODELOAD = 1 时，开启即时模式。此时写入 DACxCODE 寄存器的码值立即同步更新到 DACxCODEA。

如图 16-1 所示，可以选择两个不同的 DAC 产生比较器电压上下限阈值。具体见章节 16.3。

图 16-5: DAC 框图



DAC 缓冲器的输入选择如表 16-10 所示，输出可以作为 ADC 或者 PGA 的输入（详见表 13-1 和表 14-1），也可以送到 GPIO12 和 GPIO13 引脚。

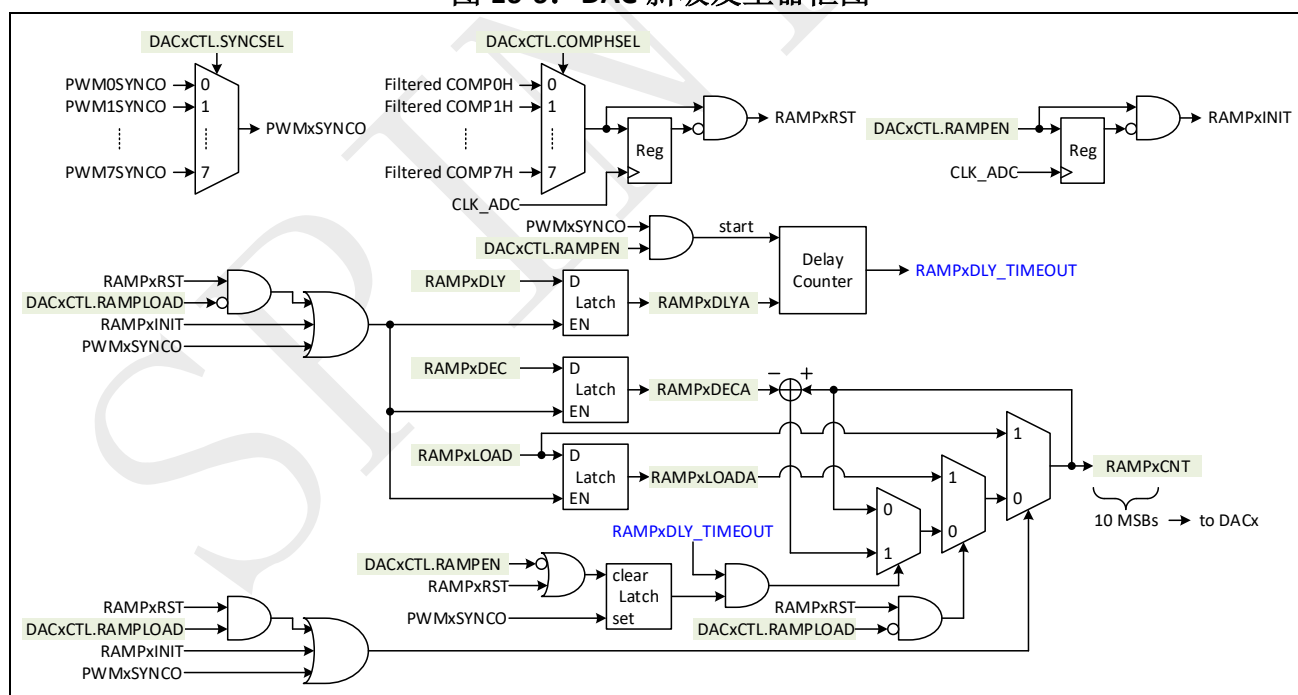
表 16-10: DAC 缓冲器输入选择

| DACBUFxCTL.INSEL | DACBUF0 输入 | DACBUF1 输入 |
|------------------|------------|------------|
| 0                | DAC0       | DAC4       |
| 1                | DAC1       | DAC5       |
| 2                | DAC2       | ATEST      |
| 3                | DAC3       | ANA_IN8    |

如图 16-6 所示，斜坡发生器可以为 COMPyH 比较器产生一个下降的斜坡参考电压。只有 DAC0 和 DAC1 支持这个功能，其工作原理如下：

- 通过 DACxCTL.RAMPEN 使能斜坡发生器后，触发初始化加载影子寄存器 RAMPxDLY、RAMPxDEC、RAMPxLOAD 到对应的有效值寄存器 RAMPxDLYA、RAMPxDECA、RAMPxLOADA；
- RAMPxCNT 计数器维持初值不变；
- 在 PWMxSYNCO 事件触发后，延时计数器从其初值 RAMPxDLYA 开始递减计数，直到超时；
- 延时结束后，RAMPxCNT 计数器以 RAMPxDECA 为步长递减计数；
- 由于 RAMPxCNT 的高 10 位用作 DACx 的码值，因此其输出的电压递减，即 COMPyH 的参考电压递减；
- 随着 RAMPxCNT 的减小，COMPyH 输出在某个时候会变高，这使得 RAMPxCNT 回到初值，在新的 PWMxSYNCO 事件到来后重复延时等待和递减计数的过程；
- 用户可以通过 RAMPxLOAD 设置 RAMPxCNT 计数初值
  - 若 DACxCTL.RAMPLOAD = 1，该初值立即生效；
  - 若 DACxCTL.RAMPLOAD = 0，在 PWMxSYNCO 事件后才会加载到 RAMPxLOADA 并生效。
- 用户可以通过 RAMPxDLY 寄存器配置延时的大小，通过 RAMPxDEC 寄存器设置 RAMPxCNT 递减的步长，但两者都需要在 PWMxSYNCO 事件后才会加载到 RAMPxDLYA 和 RAMPxDECA 并生效。DACxCTL.RAMPLOAD = 0 时，COMPyH 的上升沿也会触发从影子寄存器到有效值寄存器的加载。

图 16-6: DAC 斜坡发生器框图



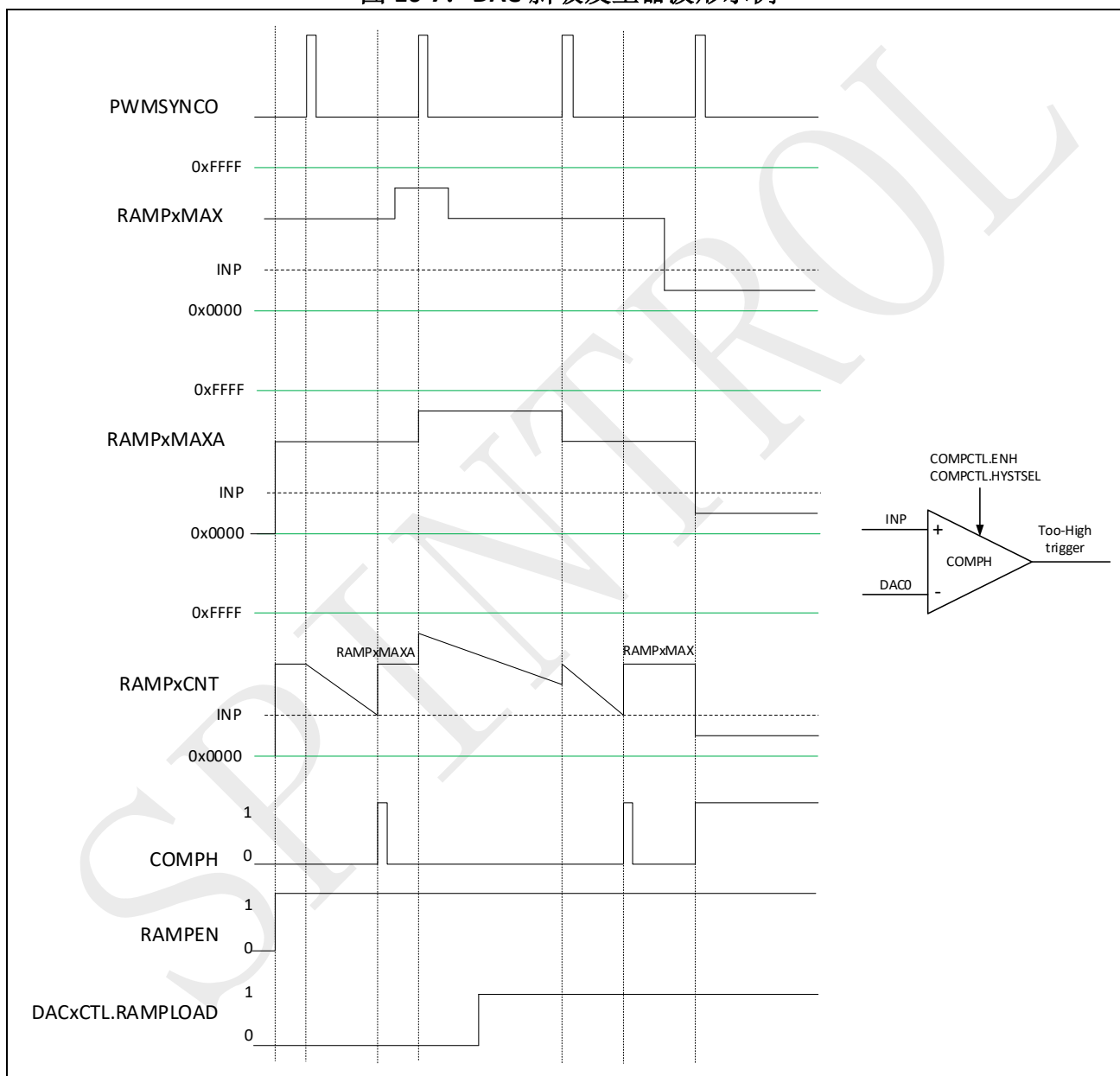
[2] 仅有 DAC0/1 通道的 COMP0/1/2/6H 比较器有斜坡发生器功能，详情见章节 16.4。



图 16-7 给出了 DAC 斜坡发生器波形示例。

- 使能斜坡发生器功能时以及 PWMxSYNCO 事件发生时更新有效的 RAMPxDLYA、RAMPxDECA、RAMPxLOADA，且 RAMPxCNT 初始化为 RAMPxLOADA；
- COMPyH 由 0 变 1 时 RAMPxCNT 恢复为 RAMPxLOADA；
- 若 PWMxSYNCO 事件发生后，RAMPxCNT 被初始化成很小的 RAMPxLOADA，则 COMPyH 立刻由 0 变 1 并使得 RAMPxCNT 一直保持在 RAMPxLOADA。

图 16-7: DAC 斜坡发生器波形示例



## 16.7 上电顺序

当模拟比较器、DAC 和 DAC 缓冲器开始启动，需要遵循如下上电顺序：

1. 使能模拟前端的带隙基准源；
2. 使能模拟比较器、DAC 或 DAC 缓冲器。

## 16.8 寄存器

### 16.8.1 COMP 寄存器列表

表 16-11: COMP 模块基地址

| 外设模块 | 基地址         |
|------|-------------|
| COMP | 0x4000 9800 |

表 16-12: COMP 寄存器列表

| 寄存器                         | 偏移地址   | 描述              | 复位值        |
|-----------------------------|--------|-----------------|------------|
| <a href="#">COMPFLTOUT</a>  | 0x02F0 | 比较器滤波输出寄存器      | 0x00000000 |
| <a href="#">COMPFLG</a>     | 0x02F4 | 比较器标志寄存器        | 0x00000000 |
| <a href="#">COMPFLGCLR</a>  | 0x02F8 | 比较器标志清除寄存器      | 0x00000000 |
| <a href="#">COMP0CTL</a> *  | 0x02FC | 比较器 0 控制寄存器     | 0x00000000 |
| <a href="#">COMP0LCTL</a> * | 0x0300 | COMP0L 控制寄存器    | 0x00000088 |
| <a href="#">COMP0HCTL</a> * | 0x0304 | COMP0H 控制寄存器    | 0x00000088 |
| <a href="#">COMP1CTL</a> *  | 0x0308 | 比较器 1 控制寄存器     | 0x00000000 |
| <a href="#">COMP1LCTL</a> * | 0x030C | COMP1L 控制寄存器    | 0x00000088 |
| <a href="#">COMP1HCTL</a> * | 0x0310 | COMP1H 控制寄存器    | 0x00000088 |
| <a href="#">COMP2CTL</a> *  | 0x0314 | 比较器 2 控制寄存器     | 0x00000000 |
| <a href="#">COMP2LCTL</a> * | 0x0318 | COMP2L 控制寄存器    | 0x00000088 |
| <a href="#">COMP2HCTL</a> * | 0x031C | COMP2H 控制寄存器    | 0x00000088 |
| <a href="#">COMP3CTL</a> *  | 0x0320 | 比较器 3 控制寄存器     | 0x00000000 |
| <a href="#">COMP3LCTL</a> * | 0x0324 | COMP3L 控制寄存器    | 0x00000088 |
| <a href="#">COMP3HCTL</a> * | 0x0328 | COMP3H 控制寄存器    | 0x00000088 |
| <a href="#">COMP4CTL</a> *  | 0x032C | 比较器 4 控制寄存器     | 0x00000000 |
| <a href="#">COMP4LCTL</a> * | 0x0330 | COMP4L 控制寄存器    | 0x00000088 |
| <a href="#">COMP4HCTL</a> * | 0x0334 | COMP4H 控制寄存器    | 0x00000088 |
| <a href="#">COMP5CTL</a> *  | 0x0338 | 比较器 5 控制寄存器     | 0x00000000 |
| <a href="#">COMP5LCTL</a> * | 0x033C | COMP5L 控制寄存器    | 0x00000088 |
| <a href="#">COMP5HCTL</a> * | 0x0340 | COMP5H 控制寄存器    | 0x00000088 |
| <a href="#">COMP6CTL</a> *  | 0x0344 | 比较器 6 控制寄存器     | 0x00000000 |
| <a href="#">COMP6LCTL</a> * | 0x0348 | COMP6L 控制寄存器    | 0x00000088 |
| <a href="#">COMP6HCTL</a> * | 0x034C | COMP6H 控制寄存器    | 0x00000088 |
| <a href="#">COMP7CTL</a> *  | 0x0350 | 比较器 7 控制寄存器     | 0x00000000 |
| <a href="#">COMP7LCTL</a> * | 0x0354 | COMP7L 控制寄存器    | 0x00000088 |
| <a href="#">COMP7HCTL</a> * | 0x0358 | COMP7H 控制寄存器    | 0x00000088 |
| <a href="#">DAC0CTL</a> *   | 0x035C | DAC0 控制寄存器      | 0x00000002 |
| <a href="#">DAC0CODE</a>    | 0x0360 | DAC0 码值寄存器      | 0x00000000 |
| <a href="#">DAC0CODEA</a>   | 0x0364 | DAC0 有效码值寄存器    | 0x00000000 |
| <a href="#">RAMP0DLY</a> *  | 0x0368 | RAMP0 延时影子寄存器   | 0x00000000 |
| <a href="#">RAMP0DLYA</a>   | 0x036C | RAMP0 有效延时寄存器   | 0x00000000 |
| <a href="#">RAMP0DEC</a> *  | 0x0370 | RAMP0 递减步长影子寄存器 | 0x00000000 |
| <a href="#">RAMP0DECA</a>   | 0x0374 | RAMP0 有效递减步长寄存器 | 0x00000000 |
| <a href="#">RAMP0LOAD</a> * | 0x0378 | RAMP0 加载初值影子寄存器 | 0x00000000 |

| 寄存器                          | 偏移地址   | 描述              | 复位值        |
|------------------------------|--------|-----------------|------------|
| <a href="#">RAMP0LOADA</a>   | 0x037C | RAMP0 有效加载初值寄存器 | 0x00000000 |
| <a href="#">RAMP0CNT</a>     | 0x0380 | RAMP0 计数寄存器     | 0x00000000 |
| <a href="#">DAC1CTL</a> *    | 0x0384 | DAC1 控制寄存器      | 0x00000002 |
| <a href="#">DAC1CODE</a>     | 0x0388 | DAC1 码值寄存器      | 0x00000000 |
| <a href="#">DAC1CODEA</a>    | 0x038C | DAC1 有效码值寄存器    | 0x00000000 |
| <a href="#">RAMP1DLY</a> *   | 0x0390 | RAMP1 延时影子寄存器   | 0x00000000 |
| <a href="#">RAMP1DLYA</a>    | 0x0394 | RAMP1 有效延时寄存器   | 0x00000000 |
| <a href="#">RAMP1DEC</a> *   | 0x0398 | RAMP1 递减步长影子寄存器 | 0x00000000 |
| <a href="#">RAMP1DECA</a>    | 0x039C | RAMP1 有效递减步长寄存器 | 0x00000000 |
| <a href="#">RAMP1LOAD</a> *  | 0x03A0 | RAMP1 加载初值影子寄存器 | 0x00000000 |
| <a href="#">RAMP1LOADA</a>   | 0x03A4 | RAMP1 有效加载初值寄存器 | 0x00000000 |
| <a href="#">RAMP1CNT</a>     | 0x03A8 | RAMP1 计数寄存器     | 0x00000000 |
| <a href="#">DAC2CTL</a> *    | 0x03AC | DAC2 控制寄存器      | 0x00000002 |
| <a href="#">DAC2CODE</a>     | 0x03B0 | DAC2 码值寄存器      | 0x00000000 |
| <a href="#">DAC2CODEA</a>    | 0x03B4 | DAC2 有效码值寄存器    | 0x00000000 |
| <a href="#">DAC3CTL</a> *    | 0x03B8 | DAC3 控制寄存器      | 0x00000002 |
| <a href="#">DAC3CODE</a>     | 0x03BC | DAC3 码值寄存器      | 0x00000000 |
| <a href="#">DAC3CODEA</a>    | 0x03C0 | DAC3 有效码值寄存器    | 0x00000000 |
| <a href="#">DAC4CTL</a> *    | 0x03C4 | DAC4 控制寄存器      | 0x00000002 |
| <a href="#">DAC4CODE</a>     | 0x03C8 | DAC4 码值寄存器      | 0x00000000 |
| <a href="#">DAC4CODEA</a>    | 0x03CC | DAC4 有效码值寄存器    | 0x00000000 |
| <a href="#">DAC5CTL</a> *    | 0x03D0 | DAC5 控制寄存器      | 0x00000002 |
| <a href="#">DAC5CODE</a>     | 0x03D4 | DAC5 码值寄存器      | 0x00000000 |
| <a href="#">DAC5CODEA</a>    | 0x03D8 | DAC5 有效码值寄存器    | 0x00000000 |
| <a href="#">DACBUF0CTL</a> * | 0x03F4 | DAC 缓冲器 0 控制寄存器 | 0x00000000 |
| <a href="#">DACBUF1CTL</a> * | 0x03F8 | DAC 缓冲器 1 控制寄存器 | 0x00000000 |
| <a href="#">COMPREGKEY</a>   | 0x03FC | COMP 模块写使能寄存器   | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 COMPREGKEY=0x1ACCE551 时才可以改写。

## 16.8.2 COMP 寄存器

### 16.8.2.1 比较器滤波输出寄存器 (COMPFLTOUT)

表 16-13: 比较器滤波输出寄存器 (COMPFLTOUT) 位段定义

| COMPFLTOUT (Comparator Filter Output Register)                    |        |        |        |        |        |        |        |
|-------------------------------------------------------------------|--------|--------|--------|--------|--------|--------|--------|
| Access: COMP->COMPFLTOUT    Offset: 0x02F0    Default: 0x00000000 |        |        |        |        |        |        |        |
| 31                                                                | 30     | 29     | 28     | 27     | 26     | 25     | 24     |
| RESERVED                                                          |        |        |        |        |        |        |        |
| 23                                                                | 22     | 21     | 20     | 19     | 18     | 17     | 16     |
| RESERVED                                                          |        |        |        |        |        |        |        |
| 15                                                                | 14     | 13     | 12     | 11     | 10     | 9      | 8      |
| COMP7H                                                            | COMP7L | COMP6H | COMP6L | COMP5H | COMP5L | COMP4H | COMP4L |
| 7                                                                 | 6      | 5      | 4      | 3      | 2      | 1      | 0      |
| COMP3H                                                            | COMP3L | COMP2H | COMP2L | COMP1H | COMP1L | COMP0H | COMP0L |

表 16-14: 比较器滤波输出寄存器 (COMPFLTOUT) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                        |
|-------|----------------|----|-----|-----------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                        |
| 15    | COMP7H         | RO | 0x0 | COMP7H 滤波输出状态<br>0: 输出为低, 表明输入低于参考值<br>1: 输出为高, 表明输入高于参考值 |
| 14    | COMP7L         | RO | 0x0 | COMP7L 滤波输出状态<br>0: 输出为低, 表明输入高于参考值<br>1: 输出为高, 表明输入低于参考值 |
| 13    | COMP6H         | RO | 0x0 | COMP6H 滤波输出状态<br>0: 输出为低, 表明输入低于参考值<br>1: 输出为高, 表明输入高于参考值 |
| 12    | COMP6L         | RO | 0x0 | COMP6L 滤波输出状态<br>0: 输出为低, 表明输入高于参考值<br>1: 输出为高, 表明输入低于参考值 |
| 11    | COMP5H         | RO | 0x0 | COMP5H 滤波输出状态<br>0: 输出为低, 表明输入低于参考值<br>1: 输出为高, 表明输入高于参考值 |
| 10    | COMP5L         | RO | 0x0 | COMP5L 滤波输出状态<br>0: 输出为低, 表明输入高于参考值<br>1: 输出为高, 表明输入低于参考值 |
| 9     | COMP4H         | RO | 0x0 | COMP4H 滤波输出状态<br>0: 输出为低, 表明输入低于参考值<br>1: 输出为高, 表明输入高于参考值 |
| 8     | COMP4L         | RO | 0x0 | COMP4L 滤波输出状态<br>0: 输出为低, 表明输入高于参考值<br>1: 输出为高, 表明输入低于参考值 |

| 位段 | 位段名    | 属性 | 复位值 | 描述                                                        |
|----|--------|----|-----|-----------------------------------------------------------|
| 7  | COMP3H | RO | 0x0 | COMP3H 滤波输出状态<br>0: 输出为低, 表明输入低于参考值<br>1: 输出为高, 表明输入高于参考值 |
| 6  | COMP3L | RO | 0x0 | COMP3L 滤波输出状态<br>0: 输出为低, 表明输入高于参考值<br>1: 输出为高, 表明输入低于参考值 |
| 5  | COMP2H | RO | 0x0 | COMP2H 滤波输出状态<br>0: 输出为低, 表明输入低于参考值<br>1: 输出为高, 表明输入高于参考值 |
| 4  | COMP2L | RO | 0x0 | COMP2L 滤波输出状态<br>0: 输出为低, 表明输入高于参考值<br>1: 输出为高, 表明输入低于参考值 |
| 3  | COMP1H | RO | 0x0 | COMP1H 滤波输出状态<br>0: 输出为低, 表明输入低于参考值<br>1: 输出为高, 表明输入高于参考值 |
| 2  | COMP1L | RO | 0x0 | COMP1L 滤波输出状态<br>0: 输出为低, 表明输入高于参考值<br>1: 输出为高, 表明输入低于参考值 |
| 1  | COMP0H | RO | 0x0 | COMP0H 滤波输出状态<br>0: 输出为低, 表明输入低于参考值<br>1: 输出为高, 表明输入高于参考值 |
| 0  | COMP0L | RO | 0x0 | COMP0L 滤波输出状态<br>0: 输出为低, 表明输入高于参考值<br>1: 输出为高, 表明输入低于参考值 |

### 16.8.2.2 比较器标志寄存器（COMPFLG）

表 16-15：比较器标志寄存器（COMPFLG）位段定义

| COMPFLG (Comparator Flag Register)                             |        |        |        |        |        |        |        |
|----------------------------------------------------------------|--------|--------|--------|--------|--------|--------|--------|
| Access: COMP->COMPFLG    Offset: 0x02F4    Default: 0x00000000 |        |        |        |        |        |        |        |
| 31                                                             | 30     | 29     | 28     | 27     | 26     | 25     | 24     |
| RESERVED                                                       |        |        |        |        |        |        |        |
| 23                                                             | 22     | 21     | 20     | 19     | 18     | 17     | 16     |
| RESERVED                                                       |        |        |        |        |        |        |        |
| 15                                                             | 14     | 13     | 12     | 11     | 10     | 9      | 8      |
| COMP7H                                                         | COMP7L | COMP6H | COMP6L | COMP5H | COMP5L | COMP4H | COMP4L |
| 7                                                              | 6      | 5      | 4      | 3      | 2      | 1      | 0      |
| COMP3H                                                         | COMP3L | COMP2H | COMP2L | COMP1H | COMP1L | COMP0H | COMP0L |

表 16-16：比较器标志寄存器（COMPFLG）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                            |
|-------|----------------|----|-----|---------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                            |
| 15    | COMP7H         | RO | 0x0 | 锁存的 COMP7H 滤波结果标志<br>0: COMP7H 滤波结果一直为低<br>1: COMP7H 滤波结果曾经为高 |
| 14    | COMP7L         | RO | 0x0 | 锁存的 COMP7L 滤波结果标志<br>0: COMP7L 滤波结果一直为低<br>1: COMP7L 滤波结果曾经为高 |
| 13    | COMP6H         | RO | 0x0 | 锁存的 COMP6H 滤波结果标志<br>0: COMP6H 滤波结果一直为低<br>1: COMP6H 滤波结果曾经为高 |
| 12    | COMP6L         | RO | 0x0 | 锁存的 COMP6L 滤波结果标志<br>0: COMP6L 滤波结果一直为低<br>1: COMP6L 滤波结果曾经为高 |
| 11    | COMP5H         | RO | 0x0 | 锁存的 COMP5H 滤波结果标志<br>0: COMP5H 滤波结果一直为低<br>1: COMP5H 滤波结果曾经为高 |
| 10    | COMP5L         | RO | 0x0 | 锁存的 COMP5L 滤波结果标志<br>0: COMP5L 滤波结果一直为低<br>1: COMP5L 滤波结果曾经为高 |
| 9     | COMP4H         | RO | 0x0 | 锁存的 COMP4H 滤波结果标志<br>0: COMP4H 滤波结果一直为低<br>1: COMP4H 滤波结果曾经为高 |
| 8     | COMP4L         | RO | 0x0 | 锁存的 COMP4L 滤波结果标志<br>0: COMP4L 滤波结果一直为低<br>1: COMP4L 滤波结果曾经为高 |

| 位段 | 位段名    | 属性 | 复位值 | 描述                                                            |
|----|--------|----|-----|---------------------------------------------------------------|
| 7  | COMP3H | RO | 0x0 | 锁存的 COMP3H 滤波结果标志<br>0: COMP3H 滤波结果一直为低<br>1: COMP3H 滤波结果曾经为高 |
| 6  | COMP3L | RO | 0x0 | 锁存的 COMP3L 滤波结果标志<br>0: COMP3L 滤波结果一直为低<br>1: COMP3L 滤波结果曾经为高 |
| 5  | COMP2H | RO | 0x0 | 锁存的 COMP2H 滤波结果标志<br>0: COMP2H 滤波结果一直为低<br>1: COMP2H 滤波结果曾经为高 |
| 4  | COMP2L | RO | 0x0 | 锁存的 COMP2L 滤波结果标志<br>0: COMP2L 滤波结果一直为低<br>1: COMP2L 滤波结果曾经为高 |
| 3  | COMP1H | RO | 0x0 | 锁存的 COMP1H 滤波结果标志<br>0: COMP1H 滤波结果一直为低<br>1: COMP1H 滤波结果曾经为高 |
| 2  | COMP1L | RO | 0x0 | 锁存的 COMP1L 滤波结果标志<br>0: COMP1L 滤波结果一直为低<br>1: COMP1L 滤波结果曾经为高 |
| 1  | COMP0H | RO | 0x0 | 锁存的 COMP0H 滤波结果标志<br>0: COMP0H 滤波结果一直为低<br>1: COMP0H 滤波结果曾经为高 |
| 0  | COMP0L | RO | 0x0 | 锁存的 COMP0L 滤波结果标志<br>0: COMP0L 滤波结果一直为低<br>1: COMP0L 滤波结果曾经为高 |



### 16.8.2.3 比较器标志清除寄存器 (COMPFLGCLR)

表 16-17: 比较器标志清除寄存器 (COMPFLGCLR) 位段定义

| COMPFLGCLR (Comparator Flag Clear Register)                       |        |        |        |        |        |        |        |
|-------------------------------------------------------------------|--------|--------|--------|--------|--------|--------|--------|
| Access: COMP->COMPFLGCLR    Offset: 0x02F8    Default: 0x00000000 |        |        |        |        |        |        |        |
| 31                                                                | 30     | 29     | 28     | 27     | 26     | 25     | 24     |
| RESERVED                                                          |        |        |        |        |        |        |        |
| 23                                                                | 22     | 21     | 20     | 19     | 18     | 17     | 16     |
| RESERVED                                                          |        |        |        |        |        |        |        |
| 15                                                                | 14     | 13     | 12     | 11     | 10     | 9      | 8      |
| COMP7H                                                            | COMP7L | COMP6H | COMP6L | COMP5H | COMP5L | COMP4H | COMP4L |
| 7                                                                 | 6      | 5      | 4      | 3      | 2      | 1      | 0      |
| COMP3H                                                            | COMP3L | COMP2H | COMP2L | COMP1H | COMP1L | COMP0H | COMP0L |

表 16-18: 比较器标志清除寄存器 (COMPFLGCLR) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                      |
|-------|----------------|-----|-----|---------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                      |
| 15    | COMP7H         | W1C | 0x0 | COMP7H 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 14    | COMP7L         | W1C | 0x0 | COMP7L 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 13    | COMP6H         | W1C | 0x0 | COMP6H 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 12    | COMP6L         | W1C | 0x0 | COMP6L 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 11    | COMP5H         | W1C | 0x0 | COMP5H 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 10    | COMP5L         | W1C | 0x0 | COMP5L 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 9     | COMP4H         | W1C | 0x0 | COMP4H 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 8     | COMP4L         | W1C | 0x0 | COMP4L 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 7     | COMP3H         | W1C | 0x0 | COMP3H 标志清除                                             |



| 位段 | 位段名    | 属性  | 复位值 | 描述                                                      |
|----|--------|-----|-----|---------------------------------------------------------|
|    |        |     |     | 0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零                |
| 6  | COMP3L | W1C | 0x0 | COMP3L 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 5  | COMP2H | W1C | 0x0 | COMP2H 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 4  | COMP2L | W1C | 0x0 | COMP2L 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 3  | COMP1H | W1C | 0x0 | COMP1H 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 2  | COMP1L | W1C | 0x0 | COMP1L 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 1  | COMP0H | W1C | 0x0 | COMP0H 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |
| 0  | COMP0L | W1C | 0x0 | COMP0L 标志清除<br>0: 写 0 无效, 读总是 1<br>1: 写 1 清除标志, 本位段自动清零 |

### 16.8.2.4 比较器 0 控制寄存器 (COMP0CTL)

表 16-19: 比较器 0 控制寄存器 (COMP0CTL) 位段定义

|                                                                 |       |    |         |    |         |     |        |
|-----------------------------------------------------------------|-------|----|---------|----|---------|-----|--------|
| COMP0CTL (Comparator 0 Control Register)                        |       |    |         |    |         |     |        |
| Access: COMP->COMP0CTL    Offset: 0x02FC    Default: 0x00000000 |       |    |         |    |         |     |        |
| 31                                                              | 30    | 29 | 28      | 27 | 26      | 25  | 24     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 23                                                              | 22    | 21 | 20      | 19 | 18      | 17  | 16     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 15                                                              | 14    | 13 | 12      | 11 | 10      | 9   | 8      |
| RESERVED                                                        |       |    | SYNCSEL |    |         |     | REFSEL |
| 7                                                               | 6     | 5  | 4       | 3  | 2       | 1   | 0      |
| REFSEL                                                          | INSEL |    | HYSTSEL |    | PHCMPEN | ENH | ENL    |

表 16-20: 比较器 0 控制寄存器 (COMP0CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                           |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 31:13 | RESERVED_31_13 | RO | 0x0 | 保留                                                                                                                                           |
| 12:9  | SYNCSEL        | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 8:7   | REFSEL         | RW | 0x0 | 参考信号选择, 详见 <a href="#">章节 16.3</a>                                                                                                           |
| 6:5   | INSEL          | RW | 0x0 | 输入选择, 详见 <a href="#">章节 16.3</a>                                                                                                             |
| 4:3   | HYSTSEL        | RW | 0x0 | 迟滞选择<br>0: 0 mV<br>1: 12 mV<br>2: 24 mV<br>3: 36 mV                                                                                          |
| 2     | PHCMPEN        | RW | 0x0 | 相位比较使能<br>0: 普通模式<br>1: 相位比较模式                                                                                                               |
| 1     | ENH            | RW | 0x0 | COMP0H 使能<br>0: 关闭<br>1: 使能                                                                                                                  |
| 0     | ENL            | RW | 0x0 | COMP0L 使能<br>0: 关闭<br>1: 使能                                                                                                                  |

## 16.8.2.5 COMP0L 控制寄存器 (COMP0LCTL)

表 16-21: COMP0L 控制寄存器 (COMP0LCTL) 位段定义

| COMP0LCTL (COMP0L Control Register)                              |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| Access: COMP->COMP0LCTL    Offset: 0x0300    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-22: COMP0L 控制寄存器 (COMP0LCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有(FLTTH+1)个 0 或 1 时输出对应翻转                                                                                                                                    |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为(FLTWIN+1)                                                                                                                                              |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过(FLTDIV+1)分频                                                                                                                                     |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP0L 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP0L 输出到引脚的监测信号的极性<br>0: COMP0L 事件时输出低 (对 COMP0L 取反)<br>1: COMP0L 事件时输出高 (与 COMP0L 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP0L 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP0L 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP0L 事件时输出低（对 COMP0L 取反）<br>1: COMP0L 事件时输出高（与 COMP0L 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP0L 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

## 16.8.2.6 COMP0H 控制寄存器 (COMP0HCTL)

表 16-23: COMP0H 控制寄存器 (COMP0HCTL) 位段定义

| COMP0HCTL (COMP0H Control Register)                              |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| Access: COMP->COMP0HCTL    Offset: 0x0304    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-24: COMP0H 控制寄存器 (COMP0HCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有(FLTTH+1)个 0 或 1 时输出对应翻转                                                                                                                                    |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为(FLTWIN+1)                                                                                                                                              |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过(FLTDIV+1)分频                                                                                                                                     |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP0H 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP0H 输出到引脚的监测信号的极性<br>0: COMP0H 事件时输出低 (对 COMP0H 取反)<br>1: COMP0H 事件时输出高 (与 COMP0H 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP0H 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP0H 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP0H 事件时输出低（对 COMP0H 取反）<br>1: COMP0H 事件时输出高（与 COMP0H 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP0H 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

## 16.8.2.7 比较器 1 控制寄存器 (COMP1CTL)

表 16-25: 比较器 1 控制寄存器 (COMP1CTL) 位段定义

|                                                                 |       |    |         |    |         |     |        |
|-----------------------------------------------------------------|-------|----|---------|----|---------|-----|--------|
| COMP1CTL (Comparator 1 Control Register)                        |       |    |         |    |         |     |        |
| Access: COMP->COMP1CTL    Offset: 0x0308    Default: 0x00000000 |       |    |         |    |         |     |        |
| 31                                                              | 30    | 29 | 28      | 27 | 26      | 25  | 24     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 23                                                              | 22    | 21 | 20      | 19 | 18      | 17  | 16     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 15                                                              | 14    | 13 | 12      | 11 | 10      | 9   | 8      |
| RESERVED                                                        |       |    | SYNCSEL |    |         |     | REFSEL |
| 7                                                               | 6     | 5  | 4       | 3  | 2       | 1   | 0      |
| REFSEL                                                          | INSEL |    | HYSTSEL |    | PHCMPEN | ENH | ENL    |

表 16-26: 比较器 1 控制寄存器 (COMP1CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                           |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 31:13 | RESERVED_31_13 | RO | 0x0 | 保留                                                                                                                                           |
| 12:9  | SYNCSEL        | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 8:7   | REFSEL         | RW | 0x0 | 参考信号选择, 详见 <a href="#">章节 16.3</a>                                                                                                           |
| 6:5   | INSEL          | RW | 0x0 | 输入选择, 详见 <a href="#">章节 16.3</a>                                                                                                             |
| 4:3   | HYSTSEL        | RW | 0x0 | 迟滞选择<br>0: 0 mV<br>1: 12 mV<br>2: 24 mV<br>3: 36 mV                                                                                          |
| 2     | PHCMPEN        | RW | 0x0 | 相位比较使能<br>0: 普通模式<br>1: 相位比较模式                                                                                                               |
| 1     | ENH            | RW | 0x0 | COMP1H 使能<br>0: 关闭<br>1: 使能                                                                                                                  |
| 0     | ENL            | RW | 0x0 | COMP1L 使能<br>0: 关闭<br>1: 使能                                                                                                                  |

### 16.8.2.8 COMP1L 控制寄存器（COMP1LCTL）

表 16-27: COMP1L 控制寄存器（COMP1LCTL）位段定义

|                                                                  |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| COMP1LCTL (COMP1L Control Register)                              |          |        |       |         |         |    |           |
| Access: COMP->COMP1LCTL    Offset: 0x030C    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-28: COMP1L 控制寄存器（COMP1LCTL）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效，读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                               |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有(FLTTH+1)个 0 或 1 时输出对应翻转                                                                                                                                    |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为(FLTWIN+1)                                                                                                                                              |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过(FLTDIV+1)分频                                                                                                                                     |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP1L 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP1L 输出到引脚的监测信号的极性<br>0: COMP1L 事件时输出低（对 COMP1L 取反）<br>1: COMP1L 事件时输出高（与 COMP1L 相同）                                                                           |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP1L 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP1L 输出到 PWM 的封锁信号的极性                                                                                                                                          |



| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP1L 事件时输出低（对 COMP1L 取反）<br>1: COMP1L 事件时输出高（与 COMP1L 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP1L 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

### 16.8.2.9 COMP1H 控制寄存器 (COMP1HCTL)

表 16-29: COMP1H 控制寄存器 (COMP1HCTL) 位段定义

| COMP1HCTL (COMP1H Control Register)                              |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| Access: COMP->COMP1HCTL    Offset: 0x0310    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-30: COMP1H 控制寄存器 (COMP1HCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有(FLTTH+1)个 0 或 1 时输出对应翻转                                                                                                                                    |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为(FLTWIN+1)                                                                                                                                              |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过(FLTDIV+1)分频                                                                                                                                     |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP1H 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP1H 输出到引脚的监测信号的极性<br>0: COMP1H 事件时输出低 (对 COMP1H 取反)<br>1: COMP1H 事件时输出高 (与 COMP1H 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP1H 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP1H 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP1H 事件时输出低（对 COMP1H 取反）<br>1: COMP1H 事件时输出高（与 COMP1H 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP1H 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

### 16.8.2.10 比较器 2 控制寄存器 (COMP2CTL)

表 16-31: 比较器 2 控制寄存器 (COMP2CTL) 位段定义

|                                                                 |       |    |         |    |         |     |        |
|-----------------------------------------------------------------|-------|----|---------|----|---------|-----|--------|
| COMP2CTL (Comparator 2 Control Register)                        |       |    |         |    |         |     |        |
| Access: COMP->COMP2CTL    Offset: 0x0314    Default: 0x00000000 |       |    |         |    |         |     |        |
| 31                                                              | 30    | 29 | 28      | 27 | 26      | 25  | 24     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 23                                                              | 22    | 21 | 20      | 19 | 18      | 17  | 16     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 15                                                              | 14    | 13 | 12      | 11 | 10      | 9   | 8      |
| RESERVED                                                        |       |    | SYNCSEL |    |         |     | REFSEL |
| 7                                                               | 6     | 5  | 4       | 3  | 2       | 1   | 0      |
| REFSEL                                                          | INSEL |    | HYSTSEL |    | PHCMPEN | ENH | ENL    |

表 16-32: 比较器 2 控制寄存器 (COMP2CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                           |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 31:13 | RESERVED_31_13 | RO | 0x0 | 保留                                                                                                                                           |
| 12:9  | SYNCSEL        | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 8:7   | REFSEL         | RW | 0x0 | 参考信号选择, 详见 <a href="#">章节 16.3</a>                                                                                                           |
| 6:5   | INSEL          | RW | 0x0 | 输入选择, 详见 <a href="#">章节 16.3</a>                                                                                                             |
| 4:3   | HYSTSEL        | RW | 0x0 | 迟滞选择<br>0: 0 mV<br>1: 12 mV<br>2: 24 mV<br>3: 36 mV                                                                                          |
| 2     | PHCMPEN        | RW | 0x0 | 相位比较使能<br>0: 普通模式<br>1: 相位比较模式                                                                                                               |
| 1     | ENH            | RW | 0x0 | COMP2H 使能<br>0: 关闭<br>1: 使能                                                                                                                  |
| 0     | ENL            | RW | 0x0 | COMP2L 使能<br>0: 关闭<br>1: 使能                                                                                                                  |

## 16.8.2.11 COMP2L 控制寄存器 (COMP2LCTL)

表 16-33: COMP2L 控制寄存器 (COMP2LCTL) 位段定义

|                                                                  |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| COMP2LCTL (COMP2L Control Register)                              |          |        |       |         |         |    |           |
| Access: COMP->COMP2LCTL    Offset: 0x0318    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-34: COMP2L 控制寄存器 (COMP2LCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有 (FLTTH+1) 个 0 或 1 时输出对应翻转                                                                                                                                  |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为 (FLTWIN+1)                                                                                                                                             |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过 (FLTDIV+1) 分频                                                                                                                                   |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP2L 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP2L 输出到引脚的监测信号的极性<br>0: COMP2L 事件时输出低 (对 COMP2L 取反)<br>1: COMP2L 事件时输出高 (与 COMP2L 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP2L 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP2L 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP2L 事件时输出低（对 COMP2L 取反）<br>1: COMP2L 事件时输出高（与 COMP2L 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP2L 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

## 16.8.2.12 COMP2H 控制寄存器 (COMP2HCTL)

表 16-35: COMP2H 控制寄存器 (COMP2HCTL) 位段定义

| COMP2HCTL (COMP2H Control Register)                              |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| Access: COMP->COMP2HCTL    Offset: 0x031C    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-36: COMP2H 控制寄存器 (COMP2HCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有(FLTTH+1)个 0 或 1 时输出对应翻转                                                                                                                                    |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为(FLTWIN+1)                                                                                                                                              |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过(FLTDIV+1)分频                                                                                                                                     |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP2H 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP2H 输出到引脚的监测信号的极性<br>0: COMP2H 事件时输出低 (对 COMP2H 取反)<br>1: COMP2H 事件时输出高 (与 COMP2H 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP2H 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP2H 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP2H 事件时输出低（对 COMP2H 取反）<br>1: COMP2H 事件时输出高（与 COMP2H 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP2H 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |



## 16.8.2.13 比较器 3 控制寄存器 (COMP3CTL)

表 16-37: 比较器 3 控制寄存器 (COMP3CTL) 位段定义

|                                                                 |       |    |         |    |         |     |        |
|-----------------------------------------------------------------|-------|----|---------|----|---------|-----|--------|
| COMP3CTL (Comparator 3 Control Register)                        |       |    |         |    |         |     |        |
| Access: COMP->COMP3CTL    Offset: 0x0320    Default: 0x00000000 |       |    |         |    |         |     |        |
| 31                                                              | 30    | 29 | 28      | 27 | 26      | 25  | 24     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 23                                                              | 22    | 21 | 20      | 19 | 18      | 17  | 16     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 15                                                              | 14    | 13 | 12      | 11 | 10      | 9   | 8      |
| RESERVED                                                        |       |    | SYNCSEL |    |         |     | REFSEL |
| 7                                                               | 6     | 5  | 4       | 3  | 2       | 1   | 0      |
| REFSEL                                                          | INSEL |    | HYSTSEL |    | PHCMPEN | ENH | ENL    |

表 16-38: 比较器 3 控制寄存器 (COMP3CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                           |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 31:13 | RESERVED_31_13 | RO | 0x0 | 保留                                                                                                                                           |
| 12:9  | SYNCSEL        | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 8:7   | REFSEL         | RW | 0x0 | 参考信号选择, 详见 <a href="#">章节 16.3</a>                                                                                                           |
| 6:5   | INSEL          | RW | 0x0 | 输入选择, 详见 <a href="#">章节 16.3</a>                                                                                                             |
| 4:3   | HYSTSEL        | RW | 0x0 | 迟滞选择<br>0: 0 mV<br>1: 12 mV<br>2: 24 mV<br>3: 36 mV                                                                                          |
| 2     | PHCMPEN        | RW | 0x0 | 相位比较使能<br>0: 普通模式<br>1: 相位比较模式                                                                                                               |
| 1     | ENH            | RW | 0x0 | COMP3H 使能<br>0: 关闭<br>1: 使能                                                                                                                  |
| 0     | ENL            | RW | 0x0 | COMP3L 使能<br>0: 关闭<br>1: 使能                                                                                                                  |

### 16.8.2.14 COMP3L 控制寄存器（COMP3LCTL）

表 16-39: COMP3L 控制寄存器（COMP3LCTL）位段定义

|                                                                  |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| COMP3LCTL (COMP3L Control Register)                              |          |        |       |         |         |    |           |
| Access: COMP->COMP3LCTL    Offset: 0x0324    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-40: COMP3L 控制寄存器（COMP3LCTL）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效，读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                               |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有(FLTTH+1)个 0 或 1 时输出对应翻转                                                                                                                                    |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为(FLTWIN+1)                                                                                                                                              |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过(FLTDIV+1)分频                                                                                                                                     |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP3L 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP3L 输出到引脚的监测信号的极性<br>0: COMP3L 事件时输出低（对 COMP3L 取反）<br>1: COMP3L 事件时输出高（与 COMP3L 相同）                                                                           |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP3L 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP3L 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP3L 事件时输出低（对 COMP3L 取反）<br>1: COMP3L 事件时输出高（与 COMP3L 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP3L 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

### 16.8.2.15 COMP3H 控制寄存器 (COMP3HCTL)

表 16-41: COMP3H 控制寄存器 (COMP3HCTL) 位段定义

| COMP3HCTL (COMP3H Control Register)                              |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| Access: COMP->COMP3HCTL    Offset: 0x0328    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-42: COMP3H 控制寄存器 (COMP3HCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有(FLTTH+1)个 0 或 1 时输出对应翻转                                                                                                                                    |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为(FLTWIN+1)                                                                                                                                              |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过(FLTDIV+1)分频                                                                                                                                     |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP3H 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP3H 输出到引脚的监测信号的极性<br>0: COMP3H 事件时输出低 (对 COMP3H 取反)<br>1: COMP3H 事件时输出高 (与 COMP3H 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP3H 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP3H 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP3H 事件时输出低（对 COMP3H 取反）<br>1: COMP3H 事件时输出高（与 COMP3H 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP3H 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

### 16.8.2.16 比较器 4 控制寄存器 (COMP4CTL)

表 16-43: 比较器 4 控制寄存器 (COMP4CTL) 位段定义

|                                                                 |       |    |         |    |         |     |        |
|-----------------------------------------------------------------|-------|----|---------|----|---------|-----|--------|
| COMP4CTL (Comparator 4 Control Register)                        |       |    |         |    |         |     |        |
| Access: COMP->COMP4CTL    Offset: 0x032C    Default: 0x00000000 |       |    |         |    |         |     |        |
| 31                                                              | 30    | 29 | 28      | 27 | 26      | 25  | 24     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 23                                                              | 22    | 21 | 20      | 19 | 18      | 17  | 16     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 15                                                              | 14    | 13 | 12      | 11 | 10      | 9   | 8      |
| RESERVED                                                        |       |    | SYNCSEL |    |         |     | REFSEL |
| 7                                                               | 6     | 5  | 4       | 3  | 2       | 1   | 0      |
| REFSEL                                                          | INSEL |    | HYSTSEL |    | PHCMPEN | ENH | ENL    |

表 16-44: 比较器 4 控制寄存器 (COMP4CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                           |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 31:13 | RESERVED_31_13 | RO | 0x0 | 保留                                                                                                                                           |
| 12:9  | SYNCSEL        | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 8:7   | REFSEL         | RW | 0x0 | 参考信号选择, 详见 <a href="#">章节 16.3</a>                                                                                                           |
| 6:5   | INSEL          | RW | 0x0 | 输入选择, 详见 <a href="#">章节 16.3</a>                                                                                                             |
| 4:3   | HYSTSEL        | RW | 0x0 | 迟滞选择<br>0: 0 mV<br>1: 12 mV<br>2: 24 mV<br>3: 36 mV                                                                                          |
| 2     | PHCMPEN        | RW | 0x0 | 相位比较使能<br>0: 普通模式<br>1: 相位比较模式                                                                                                               |
| 1     | ENH            | RW | 0x0 | COMP4H 使能<br>0: 关闭<br>1: 使能                                                                                                                  |
| 0     | ENL            | RW | 0x0 | COMP4L 使能<br>0: 关闭<br>1: 使能                                                                                                                  |

## 16.8.2.17 COMP4L 控制寄存器 (COMP4LCTL)

表 16-45: COMP4L 控制寄存器 (COMP4LCTL) 位段定义

| COMP4LCTL (COMP4L Control Register)                              |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| Access: COMP->COMP4LCTL    Offset: 0x0330    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-46: COMP4L 控制寄存器 (COMP4LCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有 (FLTTH+1) 个 0 或 1 时输出对应翻转                                                                                                                                  |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为 (FLTWIN+1)                                                                                                                                             |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过 (FLTDIV+1) 分频                                                                                                                                   |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP4L 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP4L 输出到引脚的监测信号的极性<br>0: COMP4L 事件时输出低 (对 COMP4L 取反)<br>1: COMP4L 事件时输出高 (与 COMP4L 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP4L 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP4L 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP4L 事件时输出低（对 COMP4L 取反）<br>1: COMP4L 事件时输出高（与 COMP4L 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP4L 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |



## 16.8.2.18 COMP4H 控制寄存器 (COMP4HCTL)

表 16-47: COMP4H 控制寄存器 (COMP4HCTL) 位段定义

| COMP4HCTL (COMP4H Control Register)                              |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| Access: COMP->COMP4HCTL    Offset: 0x0334    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-48: COMP4H 控制寄存器 (COMP4HCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有(FLTTH+1)个 0 或 1 时输出对应翻转                                                                                                                                    |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为(FLTWIN+1)                                                                                                                                              |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过(FLTDIV+1)分频                                                                                                                                     |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP4H 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP4H 输出到引脚的监测信号的极性<br>0: COMP4H 事件时输出低 (对 COMP4H 取反)<br>1: COMP4H 事件时输出高 (与 COMP4H 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP4H 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP4H 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP4H 事件时输出低（对 COMP4H 取反）<br>1: COMP4H 事件时输出高（与 COMP4H 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP4H 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

## 16.8.2.19 比较器 5 控制寄存器 (COMP5CTL)

表 16-49: 比较器 5 控制寄存器 (COMP5CTL) 位段定义

|                                                                 |       |    |         |    |         |     |        |
|-----------------------------------------------------------------|-------|----|---------|----|---------|-----|--------|
| COMP5CTL (Comparator 5 Control Register)                        |       |    |         |    |         |     |        |
| Access: COMP->COMP5CTL    Offset: 0x0338    Default: 0x00000000 |       |    |         |    |         |     |        |
| 31                                                              | 30    | 29 | 28      | 27 | 26      | 25  | 24     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 23                                                              | 22    | 21 | 20      | 19 | 18      | 17  | 16     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 15                                                              | 14    | 13 | 12      | 11 | 10      | 9   | 8      |
| RESERVED                                                        |       |    | SYNCSEL |    |         |     | REFSEL |
| 7                                                               | 6     | 5  | 4       | 3  | 2       | 1   | 0      |
| REFSEL                                                          | INSEL |    | HYSTSEL |    | PHCMPEN | ENH | ENL    |

表 16-50: 比较器 5 控制寄存器 (COMP5CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                           |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 31:13 | RESERVED_31_13 | RO | 0x0 | 保留                                                                                                                                           |
| 12:9  | SYNCSEL        | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 8:7   | REFSEL         | RW | 0x0 | 参考信号选择, 详见 <a href="#">章节 16.3</a>                                                                                                           |
| 6:5   | INSEL          | RW | 0x0 | 输入选择, 详见 <a href="#">章节 16.3</a>                                                                                                             |
| 4:3   | HYSTSEL        | RW | 0x0 | 迟滞选择<br>0: 0 mV<br>1: 12 mV<br>2: 24 mV<br>3: 36 mV                                                                                          |
| 2     | PHCMPEN        | RW | 0x0 | 相位比较使能<br>0: 普通模式<br>1: 相位比较模式                                                                                                               |
| 1     | ENH            | RW | 0x0 | COMP5H 使能<br>0: 关闭<br>1: 使能                                                                                                                  |
| 0     | ENL            | RW | 0x0 | COMP5L 使能<br>0: 关闭<br>1: 使能                                                                                                                  |

### 16.8.2.20 COMP5L 控制寄存器 (COMP5LCTL)

表 16-51: COMP5L 控制寄存器 (COMP5LCTL) 位段定义

|                                                                  |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| COMP5LCTL (COMP5L Control Register)                              |          |        |       |         |         |    |           |
| Access: COMP->COMP5LCTL    Offset: 0x033C    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-52: COMP5L 控制寄存器 (COMP5LCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有(FLTTH+1)个 0 或 1 时输出对应翻转                                                                                                                                    |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为(FLTWIN+1)                                                                                                                                              |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过(FLTDIV+1)分频                                                                                                                                     |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP5L 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP5L 输出到引脚的监测信号的极性<br>0: COMP5L 事件时输出低 (对 COMP5L 取反)<br>1: COMP5L 事件时输出高 (与 COMP5L 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP5L 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP5L 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP5L 事件时输出低（对 COMP5L 取反）<br>1: COMP5L 事件时输出高（与 COMP5L 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP5L 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

### 16.8.2.21 COMP5H 控制寄存器 (COMP5HCTL)

表 16-53: COMP5H 控制寄存器 (COMP5HCTL) 位段定义

| COMP5HCTL (COMP5H Control Register)                              |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| Access: COMP->COMP5HCTL    Offset: 0x0340    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-54: COMP5H 控制寄存器 (COMP5HCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有(FLTTH+1)个 0 或 1 时输出对应翻转                                                                                                                                    |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为(FLTWIN+1)                                                                                                                                              |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过(FLTDIV+1)分频                                                                                                                                     |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP5H 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP5H 输出到引脚的监测信号的极性<br>0: COMP5H 事件时输出低 (对 COMP5H 取反)<br>1: COMP5H 事件时输出高 (与 COMP5H 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP5H 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP5H 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP5H 事件时输出低（对 COMP5H 取反）<br>1: COMP5H 事件时输出高（与 COMP5H 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP5H 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

### 16.8.2.22 比较器 6 控制寄存器 (COMP6CTL)

表 16-55: 比较器 6 控制寄存器 (COMP6CTL) 位段定义

|                                                                 |       |    |         |    |         |     |        |
|-----------------------------------------------------------------|-------|----|---------|----|---------|-----|--------|
| COMP6CTL (Comparator 6 Control Register)                        |       |    |         |    |         |     |        |
| Access: COMP->COMP6CTL    Offset: 0x0344    Default: 0x00000000 |       |    |         |    |         |     |        |
| 31                                                              | 30    | 29 | 28      | 27 | 26      | 25  | 24     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 23                                                              | 22    | 21 | 20      | 19 | 18      | 17  | 16     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 15                                                              | 14    | 13 | 12      | 11 | 10      | 9   | 8      |
| RESERVED                                                        |       |    | SYNCSEL |    |         |     | REFSEL |
| 7                                                               | 6     | 5  | 4       | 3  | 2       | 1   | 0      |
| REFSEL                                                          | INSEL |    | HYSTSEL |    | PHCMPEN | ENH | ENL    |

表 16-56: 比较器 6 控制寄存器 (COMP6CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                           |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 31:13 | RESERVED_31_13 | RO | 0x0 | 保留                                                                                                                                           |
| 12:9  | SYNCSEL        | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 8:7   | REFSEL         | RW | 0x0 | 参考信号选择, 详见 <a href="#">章节 16.3</a>                                                                                                           |
| 6:5   | INSEL          | RW | 0x0 | 输入选择, 详见 <a href="#">章节 16.3</a>                                                                                                             |
| 4:3   | HYSTSEL        | RW | 0x0 | 迟滞选择<br>0: 0 mV<br>1: 12 mV<br>2: 24 mV<br>3: 36 mV                                                                                          |
| 2     | PHCMPEN        | RW | 0x0 | 相位比较使能<br>0: 普通模式<br>1: 相位比较模式                                                                                                               |
| 1     | ENH            | RW | 0x0 | COMP6H 使能<br>0: 关闭<br>1: 使能                                                                                                                  |
| 0     | ENL            | RW | 0x0 | COMP6L 使能<br>0: 关闭<br>1: 使能                                                                                                                  |



## 16.8.2.23 COMP6L 控制寄存器 (COMP6LCTL)

表 16-57: COMP6L 控制寄存器 (COMP6LCTL) 位段定义

|                                                                  |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| COMP6LCTL (COMP6L Control Register)                              |          |        |       |         |         |    |           |
| Access: COMP->COMP6LCTL    Offset: 0x0348    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-58: COMP6L 控制寄存器 (COMP6LCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有(FLTTH+1)个 0 或 1 时输出对应翻转                                                                                                                                    |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为(FLTWIN+1)                                                                                                                                              |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过(FLTDIV+1)分频                                                                                                                                     |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP6L 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP6L 输出到引脚的监测信号的极性<br>0: COMP6L 事件时输出低 (对 COMP6L 取反)<br>1: COMP6L 事件时输出高 (与 COMP6L 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP6L 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP6L 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP6L 事件时输出低（对 COMP6L 取反）<br>1: COMP6L 事件时输出高（与 COMP6L 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP6L 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

## 16.8.2.24 COMP6H 控制寄存器 (COMP6HCTL)

表 16-59: COMP6H 控制寄存器 (COMP6HCTL) 位段定义

| COMP6HCTL (COMP6H Control Register)                              |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| Access: COMP->COMP6HCTL    Offset: 0x034C    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-60: COMP6H 控制寄存器 (COMP6HCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有 (FLTTH+1) 个 0 或 1 时输出对应翻转                                                                                                                                  |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为 (FLTWIN+1)                                                                                                                                             |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过 (FLTDIV+1) 分频                                                                                                                                   |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP6H 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP6H 输出到引脚的监测信号的极性<br>0: COMP6H 事件时输出低 (对 COMP6H 取反)<br>1: COMP6H 事件时输出高 (与 COMP6H 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP6H 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP6H 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP6H 事件时输出低（对 COMP6H 取反）<br>1: COMP6H 事件时输出高（与 COMP6H 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP6H 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

## 16.8.2.25 比较器 7 控制寄存器 (COMP7CTL)

表 16-61: 比较器 7 控制寄存器 (COMP7CTL) 位段定义

|                                                                 |       |    |         |    |         |     |        |
|-----------------------------------------------------------------|-------|----|---------|----|---------|-----|--------|
| COMP7CTL (Comparator 7 Control Register)                        |       |    |         |    |         |     |        |
| Access: COMP->COMP7CTL    Offset: 0x0350    Default: 0x00000000 |       |    |         |    |         |     |        |
| 31                                                              | 30    | 29 | 28      | 27 | 26      | 25  | 24     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 23                                                              | 22    | 21 | 20      | 19 | 18      | 17  | 16     |
| RESERVED                                                        |       |    |         |    |         |     |        |
| 15                                                              | 14    | 13 | 12      | 11 | 10      | 9   | 8      |
| RESERVED                                                        |       |    | SYNCSEL |    |         |     | REFSEL |
| 7                                                               | 6     | 5  | 4       | 3  | 2       | 1   | 0      |
| REFSEL                                                          | INSEL |    | HYSTSEL |    | PHCMPEN | ENH | ENL    |

表 16-62: 比较器 7 控制寄存器 (COMP7CTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                           |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 31:13 | RESERVED_31_13 | RO | 0x0 | 保留                                                                                                                                           |
| 12:9  | SYNCSEL        | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 8:7   | REFSEL         | RW | 0x0 | 参考信号选择, 详见 <a href="#">章节 16.3</a>                                                                                                           |
| 6:5   | INSEL          | RW | 0x0 | 输入选择, 详见 <a href="#">章节 16.3</a>                                                                                                             |
| 4:3   | HYSTSEL        | RW | 0x0 | 迟滞选择<br>0: 0 mV<br>1: 12 mV<br>2: 24 mV<br>3: 36 mV                                                                                          |
| 2     | PHCMPEN        | RW | 0x0 | 相位比较使能<br>0: 普通模式<br>1: 相位比较模式                                                                                                               |
| 1     | ENH            | RW | 0x0 | COMP7H 使能<br>0: 关闭<br>1: 使能                                                                                                                  |
| 0     | ENL            | RW | 0x0 | COMP7L 使能<br>0: 关闭<br>1: 使能                                                                                                                  |

### 16.8.2.26 COMP7L 控制寄存器 (COMP7LCTL)

表 16-63: COMP7L 控制寄存器 (COMP7LCTL) 位段定义

|                                                                  |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| COMP7LCTL (COMP7L Control Register)                              |          |        |       |         |         |    |           |
| Access: COMP->COMP7LCTL    Offset: 0x0354    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-64: COMP7L 控制寄存器 (COMP7LCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有 (FLTTH+1) 个 0 或 1 时输出对应翻转                                                                                                                                  |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为 (FLTWIN+1)                                                                                                                                             |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过 (FLTDIV+1) 分频                                                                                                                                   |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP7L 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP7L 输出到引脚的监测信号的极性<br>0: COMP7L 事件时输出低 (对 COMP7L 取反)<br>1: COMP7L 事件时输出高 (与 COMP7L 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP7L 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP7L 输出到 PWM 的封锁信号的极性                                                                                                                                          |

| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP7L 事件时输出低（对 COMP7L 取反）<br>1: COMP7L 事件时输出高（与 COMP7L 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP7L 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

## 16.8.2.27 COMP7H 控制寄存器 (COMP7HCTL)

表 16-65: COMP7H 控制寄存器 (COMP7HCTL) 位段定义

| COMP7HCTL (COMP7H Control Register)                              |          |        |       |         |         |    |           |
|------------------------------------------------------------------|----------|--------|-------|---------|---------|----|-----------|
| Access: COMP->COMP7HCTL    Offset: 0x0358    Default: 0x00000088 |          |        |       |         |         |    |           |
| 31                                                               | 30       | 29     | 28    | 27      | 26      | 25 | 24        |
| RESERVED                                                         |          | FLTRST | FLTTH |         |         |    |           |
| 23                                                               | 22       | 21     | 20    | 19      | 18      | 17 | 16        |
| FLTWIN                                                           |          |        |       |         | FLTDIV  |    |           |
| 15                                                               | 14       | 13     | 12    | 11      | 10      | 9  | 8         |
| FLTDIV                                                           |          |        |       |         |         |    | SYNCCLREN |
| 7                                                                | 6        | 5      | 4     | 3       | 2       | 1  | 0         |
| POL4GPIO                                                         | SEL4GPIO |        |       | POL4PWM | SEL4PWM |    |           |

表 16-66: COMP7H 控制寄存器 (COMP7HCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:30 | RESERVED_31_30 | RO  | 0x0 | 保留                                                                                                                                                               |
| 29    | FLTRST         | W1S | 0x0 | 复位并初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入值填充滤波器的寄存器链<br>本位段自动清零                                                                                              |
| 28:24 | FLTTH          | RW  | 0x0 | 当样本里有(FLTTH+1)个 0 或 1 时输出对应翻转                                                                                                                                    |
| 23:19 | FLTWIN         | RW  | 0x0 | 设置滤波样本数目为(FLTWIN+1)                                                                                                                                              |
| 18:9  | FLTDIV         | RW  | 0x0 | 滤波采样时钟为 ADC 时钟经过(FLTDIV+1)分频                                                                                                                                     |
| 8     | SYNCCLREN      | RW  | 0x0 | 使能 PWMSYNCO 清除 COMPFLG.COMP7H 标志<br>0: 关闭<br>1: 使能                                                                                                               |
| 7     | POL4GPIO       | RW  | 0x1 | COMP7H 输出到引脚的监测信号的极性<br>0: COMP7H 事件时输出低 (对 COMP7H 取反)<br>1: COMP7H 事件时输出高 (与 COMP7H 相同)                                                                         |
| 6:4   | SEL4GPIO       | RW  | 0x0 | COMP7H 输出到引脚的监测信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |
| 3     | POL4PWM        | RW  | 0x1 | COMP7H 输出到 PWM 的封锁信号的极性                                                                                                                                          |



| 位段  | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                  |
|-----|---------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |         |    |     | 0: COMP7H 事件时输出低（对 COMP7H 取反）<br>1: COMP7H 事件时输出高（与 COMP7H 相同）                                                                                                      |
| 2:0 | SEL4PWM | RW | 0x0 | COMP7H 输出到 PWM 的封锁信号的选择<br>0: 原始信号<br>1: 经过时钟同步后的信号<br>2: 滤波输出的实时结果<br>3: 滤波输出锁存的标志<br>4: 原始输出或锁存的标志<br>5: 同步后的信号或锁存的标志<br>6: 滤波输出的结果或锁存的标志<br>7: 原始输出、同步后的信号或锁存的标志 |

### 16.8.2.28 DAC0 控制寄存器（DAC0CTL）

表 16-67: DAC0 控制寄存器（DAC0CTL）位段定义

| DAC0CTL (DAC0 Control Register)                                |        |          |    |    |          |          |    |
|----------------------------------------------------------------|--------|----------|----|----|----------|----------|----|
| Access: COMP->DAC0CTL    Offset: 0x035C    Default: 0x00000002 |        |          |    |    |          |          |    |
| 31                                                             | 30     | 29       | 28 | 27 | 26       | 25       | 24 |
| RESERVED                                                       |        |          |    |    |          |          |    |
| 23                                                             | 22     | 21       | 20 | 19 | 18       | 17       | 16 |
| RESERVED                                                       |        |          |    |    |          |          |    |
| 15                                                             | 14     | 13       | 12 | 11 | 10       | 9        | 8  |
| DBGRUN                                                         |        | RESERVED |    |    | COMPHSEL |          |    |
| 7                                                              | 6      | 5        | 4  | 3  | 2        | 1        | 0  |
| RAMPLOAD                                                       | RAMPEN | SYNCSEL  |    |    |          | CODELOAD | EN |

表 16-68: DAC0 控制寄存器（DAC0CTL）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                           |
|-------|----------------|----|-----|------------------------------------------------------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                                                                           |
| 15:14 | DBGRUN         | RW | 0x0 | 斜坡发生器在 CPU halted 或 lockup 时的行为<br>0: 立刻停止<br>1: 在下一个 PWMSYNCO 事件时停止<br>2: 继续运行                                              |
| 13:11 | RESERVED_13_11 | RO | 0x0 | 保留                                                                                                                           |
| 10:8  | COMPHSEL       | RW | 0x0 | 用于斜坡发生器的 COMPxH 信号选择<br>0: COMP0H<br>1: COMP1H<br>2: COMP2H<br>3: COMP3H<br>4: COMP4H<br>5: COMP5H<br>6: COMP6H<br>7: COMP7H |
| 7     | RAMPLOAD       | RW | 0x0 | 斜坡发生器加载初值的配置模式<br>0: 影子模式<br>写入 RAMPLOAD 的加载初值在指定的 PWMSYNCO 事件时更新到 RAMPLOADA 并生效<br>1: 即刻模式<br>写 RAMPLOAD 的加载初值直接生效          |
| 6     | RAMPEN         | RW | 0x0 | DAC 斜坡发生器使能<br>0: 关闭<br>1: 使能<br>此时 DAC0CODEA 为 RAMP0CNT 的高 10 位                                                             |

| 位段  | 位段名      | 属性 | 复位值 | 描述                                                                                                                                           |
|-----|----------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 5:2 | SYNCSEL  | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 1   | CODELOAD | RW | 0x1 | DAC 码值更新方式<br>0: 写入 DAC0CODE 的值在 PWMSYNCO 事件时才会更新到 DAC0CODEA 并生效<br>1: 写 DAC0CODE 时即刻更新 DAC0CODEA 并生效                                        |
| 0   | EN       | RW | 0x0 | DAC 使能<br>0: 关闭<br>1: 使能                                                                                                                     |

#### 16.8.2.29 DAC0 码值寄存器 (DAC0CODE)

表 16-69: DAC0 码值寄存器 (DAC0CODE) 位段定义

|                                                                 |    |    |    |    |    |     |    |
|-----------------------------------------------------------------|----|----|----|----|----|-----|----|
| DAC0CODE (DAC0 Code Register)                                   |    |    |    |    |    |     |    |
| Access: COMP->DAC0CODE    Offset: 0x0360    Default: 0x00000000 |    |    |    |    |    |     |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                        |    |    |    |    |    |     |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                        |    |    |    |    |    |     |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                        |    |    |    |    |    | VAL |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| VAL                                                             |    |    |    |    |    |     |    |

表 16-70: DAC0 码值寄存器 (DAC0CODE) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                       |
|-------|----------------|----|-----|----------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                       |
| 9:0   | VAL            | RW | 0x0 | DAC0 码值<br>DAC0CTL.CODELOAD = 1 时, 写本寄存器时会同时更新 DAC0CODEA |

### 16.8.2.30 DAC0 有效码值寄存器 (DAC0CODEA)

表 16-71: DAC0 有效码值寄存器 (DAC0CODEA) 位段定义

|                                                                  |    |    |    |    |    |     |    |
|------------------------------------------------------------------|----|----|----|----|----|-----|----|
| DAC0CODEA (DAC0 Active Code Register)                            |    |    |    |    |    |     |    |
| Access: COMP->DAC0CODEA    Offset: 0x0364    Default: 0x00000000 |    |    |    |    |    |     |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                         |    |    |    |    |    |     |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                         |    |    |    |    |    |     |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                         |    |    |    |    |    | VAL |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| VAL                                                              |    |    |    |    |    |     |    |

表 16-72: DAC0 有效码值寄存器 (DAC0CODEA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                       |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                                                                                       |
| 9:0   | VAL            | RO | 0x0 | DAC0 的有效码值<br>DAC0CTL.CODELOAD = 1: 写 DAC0CODE 时会同时更新本寄存器;<br>DAC0CTL.CODELOAD = 0: 当指定的 PWMSYNCO 发生时会从 DAC0CODE 更新本寄存器。 |

### 16.8.2.31 RAMPO 延时影子寄存器 (RAMPODLY)

表 16-73: RAMPO 延时影子寄存器 (RAMPODLY) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| RAMPODLY (RAMPO Delay Shadow Register)                          |    |    |    |    |    |    |    |
| Access: COMP->RAMPODLY    Offset: 0x0368    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 16-74: RAMPO 延时影子寄存器 (RAMPODLY) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                         |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                                         |
| 15:0  | VAL            | RW | 0x0 | 从指定的 PWMSYNCO 发生到斜坡产生的延时<br>本寄存器不直接控制延时大小, 写入的值需要等到指定的 PWMSYNCO 事件发生才能更新到 RAMPODLYA 寄存器并生效 |

## 16.8.2.32 RAMPO 有效延时寄存器 (RAMPODLYA)

表 16-75: RAMPO 有效延时寄存器 (RAMPODLYA) 位段定义

| RAMPODLYA (RAMPO Delay Active Register)                          |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: COMP->RAMPODLYA    Offset: 0x036C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                              |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 16-76: RAMPO 有效延时寄存器 (RAMPODLYA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                              |
|-------|----------------|----|-----|---------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                              |
| 15:0  | VAL            | RO | 0x0 | 从指定的 PWMSYNCO 发生到斜坡产生的延时<br>本寄存器控制当前延时大小, 当 PWMSYNCO 事件发生时根据 RAMPODLY 更新本寄存器并生效 |

## 16.8.2.33 RAMPO 递减步长影子寄存器 (RAMPODEC)

表 16-77: RAMPO 递减步长影子寄存器 (RAMPODEC) 位段定义

| RAMPODEC (RAMPO Decrement Shadow Register)                      |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: COMP->RAMPODEC    Offset: 0x0370    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 16-78: RAMPO 递减步长影子寄存器 (RAMPODEC) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                          |
|-------|----------------|----|-----|-----------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                          |
| 15:0  | VAL            | RW | 0x0 | 斜坡产生的递减步长<br>本寄存器不直接控制递减步长, 写入的值需要等到指定的 PWMSYNCO 事件发生才能更新到 RAMPODECA 寄存器并生效 |

### 16.8.2.34 RAMP0 有效递减步长寄存器 (RAMP0DECA)

表 16-79: RAMP0 有效递减步长寄存器 (RAMP0DECA) 位段定义

|                                                            |    |    |    |    |    |    |    |
|------------------------------------------------------------|----|----|----|----|----|----|----|
| RAMP0DECA (RAMP0 Decrement Active Register)                |    |    |    |    |    |    |    |
| Access: COMP->RAMP0DECA Offset: 0x0374 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                         | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 23                                                         | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 15                                                         | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                        |    |    |    |    |    |    |    |
| 7                                                          | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                        |    |    |    |    |    |    |    |

表 16-80: RAMP0 有效递减步长寄存器 (RAMP0DECA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                               |
|-------|----------------|----|-----|------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                               |
| 15:0  | VAL            | RO | 0x0 | 斜坡产生的递减步长<br>本寄存器控制当前递减步长, 当 PWMSYNCO 事件发生时根据 RAMP0DEC 更新本寄存器并生效 |

### 16.8.2.35 RAMP0 加载初值影子寄存器 (RAMP0LOAD)

表 16-81: RAMP0 加载初值影子寄存器 (RAMP0LOAD) 位段定义

|                                                            |    |    |    |    |    |    |    |
|------------------------------------------------------------|----|----|----|----|----|----|----|
| RAMP0LOAD (RAMP0 Reload Value Shadow Register)             |    |    |    |    |    |    |    |
| Access: COMP->RAMP0LOAD Offset: 0x0378 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                         | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 23                                                         | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 15                                                         | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                        |    |    |    |    |    |    |    |
| 7                                                          | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                        |    |    |    |    |    |    |    |

表 16-82: RAMP0 加载初值影子寄存器 (RAMP0LOAD) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                           |
|-------|----------------|----|-----|------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                           |
| 15:0  | VAL            | RW | 0x0 | 斜坡产生的加载初值<br>本寄存器不直接控制加载初值, 写入的值需要等到指定的 PWMSYNCO 事件发生才能更新到 RAMP0LOADA 寄存器并生效 |

## 16.8.2.36 RAMP0 有效加载初值寄存器 (RAMP0LOADA)

表 16-83: RAMP0 有效加载初值寄存器 (RAMP0LOADA) 位段定义

| RAMP0LOADA (RAMP0 Reload Value Active Register)                   |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: COMP->RAMP0LOADA    Offset: 0x037C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                          |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                          |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                               |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                               |    |    |    |    |    |    |    |

表 16-84: RAMP0 有效加载初值寄存器 (RAMP0LOADA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                               |
|-------|----------------|----|-----|------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                               |
| 15:0  | VAL            | RO | 0x0 | 斜坡产生的加载初值<br>本寄存器控制当前加载初值，当 PWMSYNCO 事件发生时根据 RAMP0LOAD 更新本寄存器并生效 |

## 16.8.2.37 RAMP0 计数寄存器 (RAMPOCNT)

表 16-85: RAMP0 计数寄存器 (RAMPOCNT) 位段定义

| RAMPOCNT (RAMP0 Count Register)                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: COMP->RAMPOCNT    Offset: 0x0380    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 16-86: RAMP0 计数寄存器 (RAMPOCNT) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                      |
|-------|----------------|----|-----|---------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                      |
| 15:0  | VAL            | RO | 0x0 | 斜坡产生的计数值<br>当 DAC0CTL.RAMPEN = 1 时，DAC0 的码值为本寄存器的高 10 位 |

### 16.8.2.38 DAC1 控制寄存器（DAC1CTL）

表 16-87: DAC1 控制寄存器（DAC1CTL）位段定义

| DAC1CTL (DAC1 Control Register)                                |        |          |    |    |          |          |    |
|----------------------------------------------------------------|--------|----------|----|----|----------|----------|----|
| Access: COMP->DAC1CTL    Offset: 0x0384    Default: 0x00000002 |        |          |    |    |          |          |    |
| 31                                                             | 30     | 29       | 28 | 27 | 26       | 25       | 24 |
| RESERVED                                                       |        |          |    |    |          |          |    |
| 23                                                             | 22     | 21       | 20 | 19 | 18       | 17       | 16 |
| RESERVED                                                       |        |          |    |    |          |          |    |
| 15                                                             | 14     | 13       | 12 | 11 | 10       | 9        | 8  |
| DBGRUN                                                         |        | RESERVED |    |    | COMPHSEL |          |    |
| 7                                                              | 6      | 5        | 4  | 3  | 2        | 1        | 0  |
| RAMPLOAD                                                       | RAMPEN | SYNCSEL  |    |    |          | CODELOAD | EN |

表 16-88: DAC1 控制寄存器（DAC1CTL）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                           |
|-------|----------------|----|-----|------------------------------------------------------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                                                                           |
| 15:14 | DBGRUN         | RW | 0x0 | 斜坡发生器在 CPU halted 或 lockup 时的行为<br>0: 立刻停止<br>1: 在下一个 PWMSYNCO 事件时停止<br>2: 继续运行                                              |
| 13:11 | RESERVED_13_11 | RO | 0x0 | 保留                                                                                                                           |
| 10:8  | COMPHSEL       | RW | 0x0 | 用于斜坡发生器的 COMPxH 信号选择<br>0: COMP0H<br>1: COMP1H<br>2: COMP2H<br>3: COMP3H<br>4: COMP4H<br>5: COMP5H<br>6: COMP6H<br>7: COMP7H |
| 7     | RAMPLOAD       | RW | 0x0 | 斜坡发生器加载初值的配置模式<br>0: 影子模式<br>写入 RAMP1LOAD 的加载初值在指定的 PWMSYNCO 事件时更新到 RAMP1LOADA 并生效<br>1: 即刻模式<br>写 RAMP1LOAD 的加载初值直接生效       |
| 6     | RAMPEN         | RW | 0x0 | DAC 斜坡发生器使能<br>0: 关闭<br>1: 使能<br>此时 DAC1CODEA 为 RAMP1CNT 的高 10 位                                                             |



| 位段  | 位段名      | 属性 | 复位值 | 描述                                                                                                                                           |
|-----|----------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 5:2 | SYNCSEL  | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 1   | CODELOAD | RW | 0x1 | DAC 码值更新方式<br>0: 写入 DAC1CODE 的值在 PWMSYNCO 事件时才会更新到 DAC1CODEA 并生效<br>1: 写 DAC1CODE 时即刻更新 DAC1CODEA 并生效                                        |
| 0   | EN       | RW | 0x0 | DAC 使能<br>0: 关闭<br>1: 使能                                                                                                                     |

#### 16.8.2.39 DAC1 码值寄存器（DAC1CODE）

表 16-89: DAC1 码值寄存器（DAC1CODE）位段定义

|                                                                                                  |    |    |    |    |    |     |    |
|--------------------------------------------------------------------------------------------------|----|----|----|----|----|-----|----|
| DAC1CODE (DAC1 Code Register)<br>Access: COMP->DAC1CODE    Offset: 0x0388    Default: 0x00000000 |    |    |    |    |    |     |    |
| 31                                                                                               | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                                                         |    |    |    |    |    |     |    |
| 23                                                                                               | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                                                         |    |    |    |    |    |     |    |
| 15                                                                                               | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                                                         |    |    |    |    |    | VAL |    |
| 7                                                                                                | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| VAL                                                                                              |    |    |    |    |    |     |    |

表 16-90: DAC1 码值寄存器（DAC1CODE）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                      |
|-------|----------------|----|-----|---------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                      |
| 9:0   | VAL            | RW | 0x0 | DAC1 码值<br>DAC1CTL.CODELOAD = 1 时，写本寄存器时会同时更新 DAC1CODEA |

### 16.8.2.40 DAC1 有效码值寄存器 (DAC1CODEA)

表 16-91: DAC1 有效码值寄存器 (DAC1CODEA) 位段定义

|                                                                  |    |    |    |    |    |     |    |
|------------------------------------------------------------------|----|----|----|----|----|-----|----|
| DAC1CODEA (DAC1 Active Code Register)                            |    |    |    |    |    |     |    |
| Access: COMP->DAC1CODEA    Offset: 0x038C    Default: 0x00000000 |    |    |    |    |    |     |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                         |    |    |    |    |    |     |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                         |    |    |    |    |    |     |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                         |    |    |    |    |    | VAL |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| VAL                                                              |    |    |    |    |    |     |    |

表 16-92: DAC1 有效码值寄存器 (DAC1CODEA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                       |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                                                                                       |
| 9:0   | VAL            | RO | 0x0 | DAC1 的有效码值<br>DAC1CTL.CODELOAD = 1: 写 DAC1CODE 时会同时更新本寄存器;<br>DAC1CTL.CODELOAD = 0: 当指定的 PWMSYNCO 发生时会从 DAC1CODE 更新本寄存器。 |

### 16.8.2.41 RAMP1 延时影子寄存器 (RAMP1DLY)

表 16-93: RAMP1 延时影子寄存器 (RAMP1DLY) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| RAMP1DLY (RAMP1 Delay Shadow Register)                          |    |    |    |    |    |    |    |
| Access: COMP->RAMP1DLY    Offset: 0x0390    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 16-94: RAMP1 延时影子寄存器 (RAMP1DLY) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                         |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                                         |
| 15:0  | VAL            | RW | 0x0 | 从指定的 PWMSYNCO 发生到斜坡产生的延时<br>本寄存器不直接控制延时大小, 写入的值需要等到指定的 PWMSYNCO 事件发生才能更新到 RAMP1DLYA 寄存器并生效 |

## 16.8.2.42 RAMP1 有效延时寄存器 (RAMP1DLYA)

表 16-95: RAMP1 有效延时寄存器 (RAMP1DLYA) 位段定义

| RAMP1DLYA (RAMP1 Delay Active Register)                          |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: COMP->RAMP1DLYA    Offset: 0x0394    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                         |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                              |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 16-96: RAMP1 有效延时寄存器 (RAMP1DLYA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                              |
|-------|----------------|----|-----|---------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                              |
| 15:0  | VAL            | RO | 0x0 | 从指定的 PWMSYNCO 发生到斜坡产生的延时<br>本寄存器控制当前延时大小, 当 PWMSYNCO 事件发生时根据 RAMP1DLY 更新本寄存器并生效 |

## 16.8.2.43 RAMP1 递减步长影子寄存器 (RAMP1DEC)

表 16-97: RAMP1 递减步长影子寄存器 (RAMP1DEC) 位段定义

| RAMP1DEC (RAMP1 Decrement Shadow Register)                      |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: COMP->RAMP1DEC    Offset: 0x0398    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 16-98: RAMP1 递减步长影子寄存器 (RAMP1DEC) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                          |
|-------|----------------|----|-----|-----------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                          |
| 15:0  | VAL            | RW | 0x0 | 斜坡产生的递减步长<br>本寄存器不直接控制递减步长, 写入的值需要等到指定的 PWMSYNCO 事件发生才能更新到 RAMP1DECA 寄存器并生效 |

#### 16.8.2.44 RAMP1 有效递减步长寄存器（RAMP1DECA）

表 16-99: RAMP1 有效递减步长寄存器（RAMP1DECA）位段定义

|                                                            |    |    |    |    |    |    |    |
|------------------------------------------------------------|----|----|----|----|----|----|----|
| RAMP1DECA (RAMP1 Decrement Active Register)                |    |    |    |    |    |    |    |
| Access: COMP->RAMP1DECA Offset: 0x039C Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                         | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 23                                                         | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 15                                                         | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                        |    |    |    |    |    |    |    |
| 7                                                          | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                        |    |    |    |    |    |    |    |

表 16-100: RAMP1 有效递减步长寄存器（RAMP1DECA）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                              |
|-------|----------------|----|-----|-----------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                              |
| 15:0  | VAL            | RO | 0x0 | 斜坡产生的递减步长<br>本寄存器控制当前递减步长，当 PWMSYNCO 事件发生时根据 RAMP1DEC 更新本寄存器并生效 |

#### 16.8.2.45 RAMP1 加载初值影子寄存器（RAMP1LOAD）

表 16-101: RAMP1 加载初值影子寄存器（RAMP1LOAD）位段定义

|                                                            |    |    |    |    |    |    |    |
|------------------------------------------------------------|----|----|----|----|----|----|----|
| RAMP1LOAD (RAMP1 Reload Value Shadow Register)             |    |    |    |    |    |    |    |
| Access: COMP->RAMP1LOAD Offset: 0x03A0 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                         | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 23                                                         | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 15                                                         | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                        |    |    |    |    |    |    |    |
| 7                                                          | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                        |    |    |    |    |    |    |    |

表 16-102: RAMP1 加载初值影子寄存器（RAMP1LOAD）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                          |
|-------|----------------|----|-----|-----------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                          |
| 15:0  | VAL            | RW | 0x0 | 斜坡产生的加载初值<br>本寄存器不直接控制加载初值，写入的值需要等到指定的 PWMSYNCO 事件发生才能更新到 RAMP1LOADA 寄存器并生效 |

## 16.8.2.46 RAMP1 有效加载初值寄存器 (RAMP1LOADA)

表 16-103: RAMP1 有效加载初值寄存器 (RAMP1LOADA) 位段定义

| RAMP1LOADA (RAMP1 Reload Value Active Register)                   |    |    |    |    |    |    |    |
|-------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: COMP->RAMP1LOADA    Offset: 0x03A4    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                          |    |    |    |    |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                          |    |    |    |    |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                               |    |    |    |    |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                               |    |    |    |    |    |    |    |

表 16-104: RAMP1 有效加载初值寄存器 (RAMP1LOADA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                               |
|-------|----------------|----|-----|------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                               |
| 15:0  | VAL            | RO | 0x0 | 斜坡产生的加载初值<br>本寄存器控制当前加载初值，当 PWMSYNCO 事件发生时根据 RAMP1LOAD 更新本寄存器并生效 |

## 16.8.2.47 RAMP1 计数寄存器 (RAMP1CNT)

表 16-105: RAMP1 计数寄存器 (RAMP1CNT) 位段定义

| RAMP1CNT (RAMP1 Count Register)                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: COMP->RAMP1CNT    Offset: 0x03A8    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 16-106: RAMP1 计数寄存器 (RAMP1CNT) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                      |
|-------|----------------|----|-----|---------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                      |
| 15:0  | VAL            | RO | 0x0 | 斜坡产生的计数值<br>当 DAC1CTL.RAMPEN = 1 时，DAC1 的码值为本寄存器的高 10 位 |

## 16.8.2.48 DAC2 控制寄存器 (DAC2CTL)

表 16-107: DAC2 控制寄存器 (DAC2CTL) 位段定义

|                                                                |    |         |    |    |    |          |    |
|----------------------------------------------------------------|----|---------|----|----|----|----------|----|
| DAC2CTL (DAC2 Control Register)                                |    |         |    |    |    |          |    |
| Access: COMP->DAC2CTL    Offset: 0x03AC    Default: 0x00000002 |    |         |    |    |    |          |    |
| 31                                                             | 30 | 29      | 28 | 27 | 26 | 25       | 24 |
| RESERVED                                                       |    |         |    |    |    |          |    |
| 23                                                             | 22 | 21      | 20 | 19 | 18 | 17       | 16 |
| RESERVED                                                       |    |         |    |    |    |          |    |
| 15                                                             | 14 | 13      | 12 | 11 | 10 | 9        | 8  |
| RESERVED                                                       |    |         |    |    |    |          |    |
| 7                                                              | 6  | 5       | 4  | 3  | 2  | 1        | 0  |
| RESERVED                                                       |    | SYNCSEL |    |    |    | CODELOAD | EN |

表 16-108: DAC2 控制寄存器 (DAC2CTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                                           |
|------|---------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                                                                                                                           |
| 5:2  | SYNCSEL       | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 1    | CODELOAD      | RW | 0x1 | DAC 码值更新方式<br>0: 写入 DAC2CODE 的值在 PWMSYNCO 事件时才会更新到 DAC2CODEA 并生效<br>1: 写 DAC2CODE 时即刻更新 DAC2CODEA 并生效                                        |
| 0    | EN            | RW | 0x0 | DAC 使能<br>0: 关闭<br>1: 使能                                                                                                                     |

## 16.8.2.49 DAC2 码值寄存器 (DAC2CODE)

表 16-109: DAC2 码值寄存器 (DAC2CODE) 位段定义

| DAC2CODE (DAC2 Code Register)                                   |    |    |    |    |    |     |    |
|-----------------------------------------------------------------|----|----|----|----|----|-----|----|
| Access: COMP->DAC2CODE    Offset: 0x03B0    Default: 0x00000000 |    |    |    |    |    |     |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                        |    |    |    |    |    |     |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                        |    |    |    |    |    |     |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                        |    |    |    |    |    | VAL |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| VAL                                                             |    |    |    |    |    |     |    |

表 16-110: DAC2 码值寄存器 (DAC2CODE) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                       |
|-------|----------------|----|-----|----------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                       |
| 9:0   | VAL            | RW | 0x0 | DAC2 码值<br>DAC2CTL.CODELOAD = 1 时, 写本寄存器时会同时更新 DAC2CODEA |

## 16.8.2.50 DAC2 有效码值寄存器 (DAC2CODEA)

表 16-111: DAC2 有效码值寄存器 (DAC2CODEA) 位段定义

| DAC2CODEA (DAC2 Active Code Register)                            |    |    |    |    |    |     |    |
|------------------------------------------------------------------|----|----|----|----|----|-----|----|
| Access: COMP->DAC2CODEA    Offset: 0x03B4    Default: 0x00000000 |    |    |    |    |    |     |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                         |    |    |    |    |    |     |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                         |    |    |    |    |    |     |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                         |    |    |    |    |    | VAL |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| VAL                                                              |    |    |    |    |    |     |    |

表 16-112: DAC2 有效码值寄存器 (DAC2CODEA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                       |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                                                                                       |
| 9:0   | VAL            | RO | 0x0 | DAC2 的有效码值<br>DAC2CTL.CODELOAD = 1: 写 DAC2CODE 时会同时更新本寄存器;<br>DAC2CTL.CODELOAD = 0: 当指定的 PWMSYNCO 发生时将从 DAC2CODE 更新本寄存器。 |

### 16.8.2.51 DAC3 控制寄存器（DAC3CTL）

表 16-113: DAC3 控制寄存器（DAC3CTL）位段定义

|                                                                |    |         |    |    |    |          |    |
|----------------------------------------------------------------|----|---------|----|----|----|----------|----|
| DAC3CTL (DAC3 Control Register)                                |    |         |    |    |    |          |    |
| Access: COMP->DAC3CTL    Offset: 0x03B8    Default: 0x00000002 |    |         |    |    |    |          |    |
| 31                                                             | 30 | 29      | 28 | 27 | 26 | 25       | 24 |
| RESERVED                                                       |    |         |    |    |    |          |    |
| 23                                                             | 22 | 21      | 20 | 19 | 18 | 17       | 16 |
| RESERVED                                                       |    |         |    |    |    |          |    |
| 15                                                             | 14 | 13      | 12 | 11 | 10 | 9        | 8  |
| RESERVED                                                       |    |         |    |    |    |          |    |
| 7                                                              | 6  | 5       | 4  | 3  | 2  | 1        | 0  |
| RESERVED                                                       |    | SYNCSEL |    |    |    | CODELOAD | EN |

表 16-114: DAC3 控制寄存器（DAC3CTL）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                                           |
|------|---------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                                                                                                                           |
| 5:2  | SYNCSEL       | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 1    | CODELOAD      | RW | 0x1 | DAC 码值更新方式<br>0: 写入 DAC3CODE 的值在 PWMSYNCO 事件时才会更新到 DAC3CODEA 并生效<br>1: 写 DAC3CODE 时即刻更新 DAC3CODEA 并生效                                        |
| 0    | EN            | RW | 0x0 | DAC 使能<br>0: 关闭<br>1: 使能                                                                                                                     |



## 16.8.2.52 DAC3 码值寄存器 (DAC3CODE)

表 16-115: DAC3 码值寄存器 (DAC3CODE) 位段定义

| DAC3CODE (DAC3 Code Register)                                   |    |    |    |    |    |     |    |
|-----------------------------------------------------------------|----|----|----|----|----|-----|----|
| Access: COMP->DAC3CODE    Offset: 0x03BC    Default: 0x00000000 |    |    |    |    |    |     |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                        |    |    |    |    |    |     |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                        |    |    |    |    |    |     |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                        |    |    |    |    |    | VAL |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| VAL                                                             |    |    |    |    |    |     |    |

表 16-116: DAC3 码值寄存器 (DAC3CODE) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                       |
|-------|----------------|----|-----|----------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                       |
| 9:0   | VAL            | RW | 0x0 | DAC3 码值<br>DAC3CTL.CODELOAD = 1 时, 写本寄存器时会同时更新 DAC3CODEA |

## 16.8.2.53 DAC3 有效码值寄存器 (DAC3CODEA)

表 16-117: DAC3 有效码值寄存器 (DAC3CODEA) 位段定义

| DAC3CODEA (DAC3 Active Code Register)                            |    |    |    |    |    |     |    |
|------------------------------------------------------------------|----|----|----|----|----|-----|----|
| Access: COMP->DAC3CODEA    Offset: 0x03C0    Default: 0x00000000 |    |    |    |    |    |     |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                         |    |    |    |    |    |     |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                         |    |    |    |    |    |     |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                         |    |    |    |    |    | VAL |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| VAL                                                              |    |    |    |    |    |     |    |

表 16-118: DAC3 有效码值寄存器 (DAC3CODEA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                       |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                                                                                       |
| 9:0   | VAL            | RO | 0x0 | DAC3 的有效码值<br>DAC3CTL.CODELOAD = 1: 写 DAC3CODE 时会同时更新本寄存器;<br>DAC3CTL.CODELOAD = 0: 当指定的 PWMSYNCO 发生时会从 DAC3CODE 更新本寄存器。 |

## 16.8.2.54 DAC4 控制寄存器 (DAC4CTL)

表 16-119: DAC4 控制寄存器 (DAC4CTL) 位段定义

|                                                                |    |         |    |    |    |          |    |
|----------------------------------------------------------------|----|---------|----|----|----|----------|----|
| DAC4CTL (DAC4 Control Register)                                |    |         |    |    |    |          |    |
| Access: COMP->DAC4CTL    Offset: 0x03C4    Default: 0x00000002 |    |         |    |    |    |          |    |
| 31                                                             | 30 | 29      | 28 | 27 | 26 | 25       | 24 |
| RESERVED                                                       |    |         |    |    |    |          |    |
| 23                                                             | 22 | 21      | 20 | 19 | 18 | 17       | 16 |
| RESERVED                                                       |    |         |    |    |    |          |    |
| 15                                                             | 14 | 13      | 12 | 11 | 10 | 9        | 8  |
| RESERVED                                                       |    |         |    |    |    |          |    |
| 7                                                              | 6  | 5       | 4  | 3  | 2  | 1        | 0  |
| RESERVED                                                       |    | SYNCSEL |    |    |    | CODELOAD | EN |

表 16-120: DAC4 控制寄存器 (DAC4CTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                                           |
|------|---------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                                                                                                                           |
| 5:2  | SYNCSEL       | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 1    | CODELOAD      | RW | 0x1 | DAC 码值更新方式<br>0: 写入 DAC2CODE 的值在 PWMSYNCO 事件时才会更新到 DAC2CODEA 并生效<br>1: 写 DAC2CODE 时即刻更新 DAC2CODEA 并生效                                        |
| 0    | EN            | RW | 0x0 | DAC 使能<br>0: 关闭<br>1: 使能                                                                                                                     |

## 16.8.2.55 DAC4 码值寄存器 (DAC4CODE)

表 16-121: DAC4 码值寄存器 (DAC4CODE) 位段定义

|                                                                 |    |    |    |    |    |     |    |
|-----------------------------------------------------------------|----|----|----|----|----|-----|----|
| DAC4CODE (DAC4 Code Register)                                   |    |    |    |    |    |     |    |
| Access: COMP->DAC4CODE    Offset: 0x03C8    Default: 0x00000000 |    |    |    |    |    |     |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                        |    |    |    |    |    |     |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                        |    |    |    |    |    |     |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                        |    |    |    |    |    | VAL |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| VAL                                                             |    |    |    |    |    |     |    |

表 16-122: DAC4 码值寄存器 (DAC4CODE) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                       |
|-------|----------------|----|-----|----------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                       |
| 9:0   | VAL            | RW | 0x0 | DAC4 码值<br>DAC4CTL.CODELOAD = 1 时, 写本寄存器时会同时更新 DAC4CODEA |

## 16.8.2.56 DAC4 有效码值寄存器 (DAC4CODEA)

表 16-123: DAC4 有效码值寄存器 (DAC4CODEA) 位段定义

|                                                                  |    |    |    |    |    |     |    |
|------------------------------------------------------------------|----|----|----|----|----|-----|----|
| DAC4CODEA (DAC4 Active Code Register)                            |    |    |    |    |    |     |    |
| Access: COMP->DAC4CODEA    Offset: 0x03CC    Default: 0x00000000 |    |    |    |    |    |     |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25  | 24 |
| RESERVED                                                         |    |    |    |    |    |     |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17  | 16 |
| RESERVED                                                         |    |    |    |    |    |     |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9   | 8  |
| RESERVED                                                         |    |    |    |    |    | VAL |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1   | 0  |
| VAL                                                              |    |    |    |    |    |     |    |

表 16-124: DAC4 有效码值寄存器 (DAC4CODEA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                       |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                                                                                       |
| 9:0   | VAL            | RO | 0x0 | DAC4 的有效码值<br>DAC4CTL.CODELOAD = 1: 写 DAC4CODE 时会同时更新本寄存器;<br>DAC4CTL.CODELOAD = 0: 当指定的 PWMSYNCO 发生时将从 DAC4CODE 更新本寄存器。 |

## 16.8.2.57 DAC5 控制寄存器（DAC5CTL）

表 16-125: DAC5 控制寄存器（DAC5CTL）位段定义

| DAC5CTL (DAC5 Control Register)                                |    |         |    |    |    |          |    |
|----------------------------------------------------------------|----|---------|----|----|----|----------|----|
| Access: COMP->DAC5CTL    Offset: 0x03D0    Default: 0x00000002 |    |         |    |    |    |          |    |
| 31                                                             | 30 | 29      | 28 | 27 | 26 | 25       | 24 |
| RESERVED                                                       |    |         |    |    |    |          |    |
| 23                                                             | 22 | 21      | 20 | 19 | 18 | 17       | 16 |
| RESERVED                                                       |    |         |    |    |    |          |    |
| 15                                                             | 14 | 13      | 12 | 11 | 10 | 9        | 8  |
| RESERVED                                                       |    |         |    |    |    |          |    |
| 7                                                              | 6  | 5       | 4  | 3  | 2  | 1        | 0  |
| RESERVED                                                       |    | SYNCSEL |    |    |    | CODELOAD | EN |

表 16-126: DAC5 控制寄存器（DAC5CTL）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                                           |
|------|---------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                                                                                                                           |
| 5:2  | SYNCSEL       | RW | 0x0 | PWM 同步输出信号选择<br>0: PWM0SYNCO<br>1: PWM1SYNCO<br>2: PWM2SYNCO<br>3: PWM3SYNCO<br>4: PWM4SYNCO<br>5: PWM5SYNCO<br>6: PWM6SYNCO<br>7: PWM7SYNCO |
| 1    | CODELOAD      | RW | 0x1 | DAC 码值更新方式<br>0: 写入 DAC2CODE 的值在 PWMSYNCO 事件时才会更新到 DAC2CODEA 并生效<br>1: 写 DAC2CODE 时即刻更新 DAC2CODEA 并生效                                        |
| 0    | EN            | RW | 0x0 | DAC 使能<br>0: 关闭<br>1: 使能                                                                                                                     |

## 16.8.2.58 DAC5 码值寄存器 (DAC5CODE)

表 16-127: DAC5 码值寄存器 (DAC5CODE) 位段定义

|                                                                 |    |    |    |     |    |    |    |
|-----------------------------------------------------------------|----|----|----|-----|----|----|----|
| DAC5CODE (DAC5 Code Register)                                   |    |    |    |     |    |    |    |
| Access: COMP->DAC5CODE    Offset: 0x03D4    Default: 0x00000000 |    |    |    |     |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27  | 26 | 25 | 24 |
| RESERVED                                                        |    |    |    |     |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19  | 18 | 17 | 16 |
| RESERVED                                                        |    |    |    |     |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11  | 10 | 9  | 8  |
| RESERVED                                                        |    |    |    | VAL |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3   | 2  | 1  | 0  |
| VAL                                                             |    |    |    |     |    |    |    |

表 16-128: DAC5 码值寄存器 (DAC5CODE) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                       |
|-------|----------------|----|-----|----------------------------------------------------------|
| 31:12 | RESERVED_31_12 | RO | 0x0 | 保留                                                       |
| 11:0  | VAL            | RW | 0x0 | DAC5 码值<br>DAC5CTL.CODELOAD = 1 时, 写本寄存器时会同时更新 DAC5CODEA |

## 16.8.2.59 DAC5 有效码值寄存器 (DAC5CODEA)

表 16-129: DAC5 有效码值寄存器 (DAC5CODEA) 位段定义

|                                                                  |    |    |    |     |    |    |    |
|------------------------------------------------------------------|----|----|----|-----|----|----|----|
| DAC5CODEA (DAC5 Active Code Register)                            |    |    |    |     |    |    |    |
| Access: COMP->DAC5CODEA    Offset: 0x03D8    Default: 0x00000000 |    |    |    |     |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27  | 26 | 25 | 24 |
| RESERVED                                                         |    |    |    |     |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19  | 18 | 17 | 16 |
| RESERVED                                                         |    |    |    |     |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11  | 10 | 9  | 8  |
| RESERVED                                                         |    |    |    | VAL |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3   | 2  | 1  | 0  |
| VAL                                                              |    |    |    |     |    |    |    |

表 16-130: DAC5 有效码值寄存器 (DAC5CODEA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                       |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------|
| 31:12 | RESERVED_31_12 | RO | 0x0 | 保留                                                                                                                       |
| 11:0  | VAL            | RO | 0x0 | DAC5 的有效码值<br>DAC5CTL.CODELOAD = 1: 写 DAC5CODE 时会同时更新本寄存器;<br>DAC5CTL.CODELOAD = 0: 当指定的 PWMSYNCO 发生时将从 DAC5CODE 更新本寄存器。 |

### 16.8.2.60 DAC 缓冲器 0 控制寄存器 (DACBUF0CTL)

表 16-131: DAC 缓冲器 0 控制寄存器 (DACBUF0CTL) 位段定义

| DACBUF0CTL (DAC Buffer 0 Control Register)                        |    |    |    |       |    |    |    |
|-------------------------------------------------------------------|----|----|----|-------|----|----|----|
| Access: COMP->DACBUF0CTL    Offset: 0x03F4    Default: 0x00000000 |    |    |    |       |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27    | 26 | 25 | 24 |
| RESERVED                                                          |    |    |    |       |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19    | 18 | 17 | 16 |
| RESERVED                                                          |    |    |    |       |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11    | 10 | 9  | 8  |
| RESERVED                                                          |    |    |    |       |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3     | 2  | 1  | 0  |
| RESERVED                                                          |    |    |    | INSEL |    | OE | EN |

表 16-132: DAC 缓冲器 0 控制寄存器 (DACBUF0CTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                         |
|------|---------------|----|-----|------------------------------------------------------------|
| 31:4 | RESERVED_31_4 | RO | 0x0 | 保留                                                         |
| 3:2  | INSEL         | RW | 0x0 | DAC 缓冲器 0 输入选择<br>0: DAC0<br>1: DAC1<br>2: DAC2<br>3: DAC3 |
| 1    | OE            | RW | 0x0 | GPIO12 引脚输出使能<br>0: 关闭<br>1: 使能                            |
| 0    | EN            | RW | 0x0 | DAC 缓冲器 0 使能<br>0: 关闭<br>1: 使能                             |

## 16.8.2.61 DAC 缓冲器 1 控制寄存器 (DACBUF1CTL)

表 16-133: DAC 缓冲器 1 控制寄存器 (DACBUF1CTL) 位段定义

| DACBUF1CTL (DAC Buffer 1 Control Register)                        |    |    |    |       |    |    |    |
|-------------------------------------------------------------------|----|----|----|-------|----|----|----|
| Access: COMP->DACBUF1CTL    Offset: 0x03F8    Default: 0x00000000 |    |    |    |       |    |    |    |
| 31                                                                | 30 | 29 | 28 | 27    | 26 | 25 | 24 |
| RESERVED                                                          |    |    |    |       |    |    |    |
| 23                                                                | 22 | 21 | 20 | 19    | 18 | 17 | 16 |
| RESERVED                                                          |    |    |    |       |    |    |    |
| 15                                                                | 14 | 13 | 12 | 11    | 10 | 9  | 8  |
| RESERVED                                                          |    |    |    |       |    |    |    |
| 7                                                                 | 6  | 5  | 4  | 3     | 2  | 1  | 0  |
| RESERVED                                                          |    |    |    | INSEL |    | OE | EN |

表 16-134: DAC 缓冲器 1 控制寄存器 (DACBUF1CTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                             |
|------|---------------|----|-----|----------------------------------------------------------------|
| 31:4 | RESERVED_31_4 | RO | 0x0 | 保留                                                             |
| 3:2  | INSEL         | RW | 0x0 | DAC 缓冲器 1 输入选择<br>0: DAC4<br>1: DAC5<br>2: ATEST<br>3: ANA_IN8 |
| 1    | OE            | RW | 0x0 | GPIO13 引脚输出使能<br>0: 关闭<br>1: 使能                                |
| 0    | EN            | RW | 0x0 | DAC 缓冲器 1 使能<br>0: 关闭<br>1: 使能                                 |

**16.8.2.62 COMP 模块写使能寄存器 (COMPREGKEY)****表 16-135: COMP 模块写使能寄存器 (COMPREGKEY) 位段定义**

| COMPREGKEY (COMP Register Write-Allow Key Register) |    |    |    |                |    |                     |    |
|-----------------------------------------------------|----|----|----|----------------|----|---------------------|----|
| Access: COMP->COMPREGKEY                            |    |    |    | Offset: 0x03FC |    | Default: 0x1ACCE551 |    |
| 31                                                  | 30 | 29 | 28 | 27             | 26 | 25                  | 24 |
| KEY                                                 |    |    |    |                |    |                     |    |
| 23                                                  | 22 | 21 | 20 | 19             | 18 | 17                  | 16 |
| KEY                                                 |    |    |    |                |    |                     |    |
| 15                                                  | 14 | 13 | 12 | 11             | 10 | 9                   | 8  |
| KEY                                                 |    |    |    |                |    |                     |    |
| 7                                                   | 6  | 5  | 4  | 3              | 2  | 1                   | 0  |
| KEY                                                 |    |    |    |                |    |                     |    |

**表 16-136: COMP 模块写使能寄存器 (COMPREGKEY) 位段描述**

| 位段   | 位段名 | 属性 | 复位值        | 描述                            |
|------|-----|----|------------|-------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 COMP 寄存器 |





**图 17-2: PWM 内部结构**

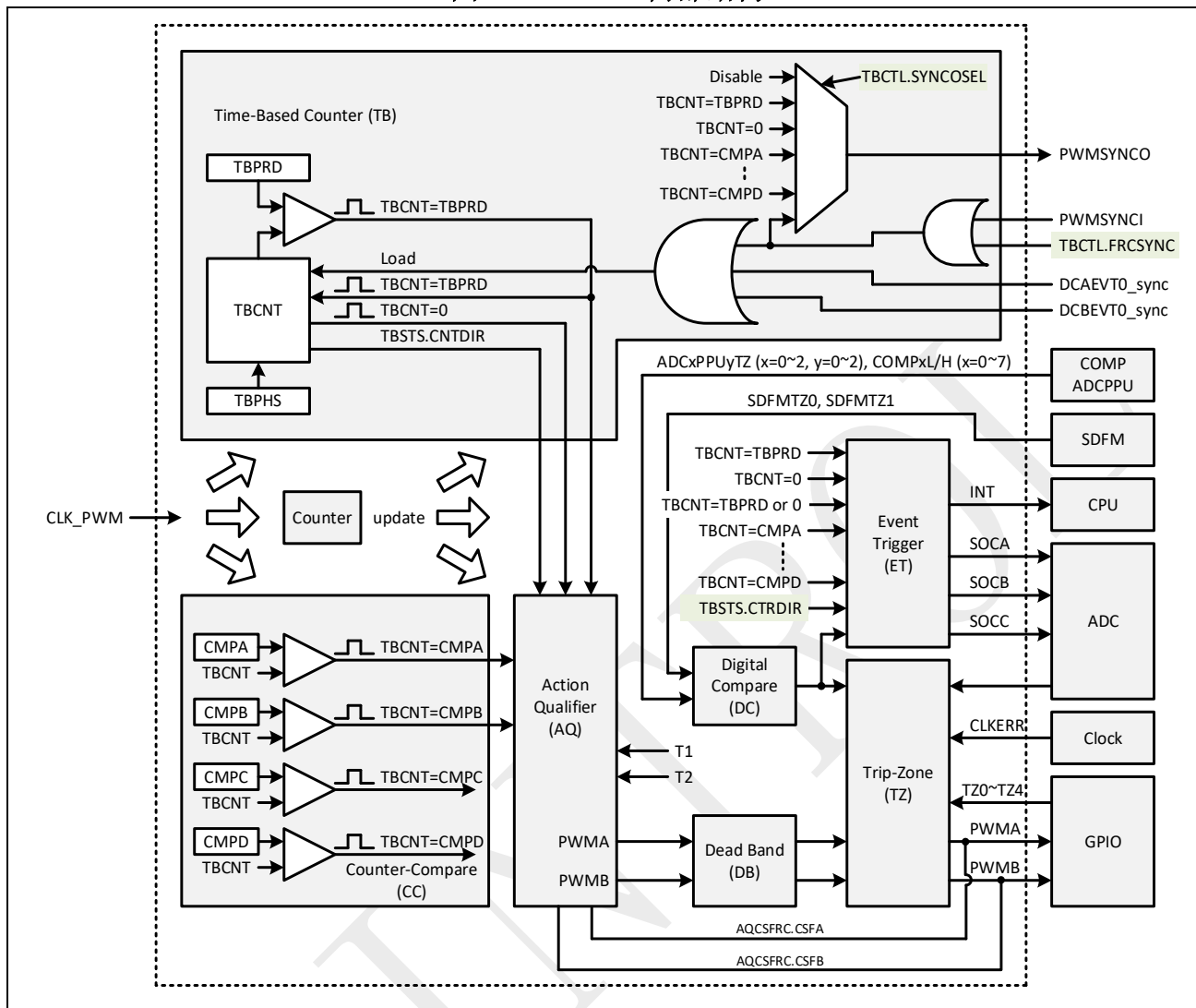


图 17-2 给出了单个 PWM 的内部结构，其关键信号包括：

- 同步信号 (PWMSYNCl 和 PWMSYNCO)

用于实现多个 PWM 之间的相位同步。如图 17-1 所示, PWMSYNCI 输入来自于如下两类:

- 通过 PWMCFG 模块可编程使能的信号，包括：GPIO 输入、TIMER0、TIMER1、TIMER2、EQEP0、EQEP1、ECAPO、ECAP1、FRCSYNC 寄存器发起的同步请求，详见[章节 17.11.4](#)。
- 固定连接关系不可编程的前级 PWM 的 PWMSYNCO 同步输出

注意：

1. 从同步信号输入到同步操作真正完成需要一个 PWM 时钟，因此当 TBCTL 寄存器的 TBPDIV 和 TBDIV 位段同时为 0（即不分频）时，会有一拍时基时钟的延时。用户在设置 TBPHS 寄存器时需要考虑这个因素。
2. PWMCFG 模块中的 FRCSYNC 等全局同步控制提供了更加灵活便捷的跨 PWM 同步方式。

## 一 封锁信号

每个 PWM 有 5 个配置为来自 GPIO 的封锁信号 (TZ0~TZ4) 用于警示外部异常, 另外来自 CLKDET 时钟交叉检测模块或者 PLL 的时钟错误事件、CPU 的 lockup 和 halted 事件也可以

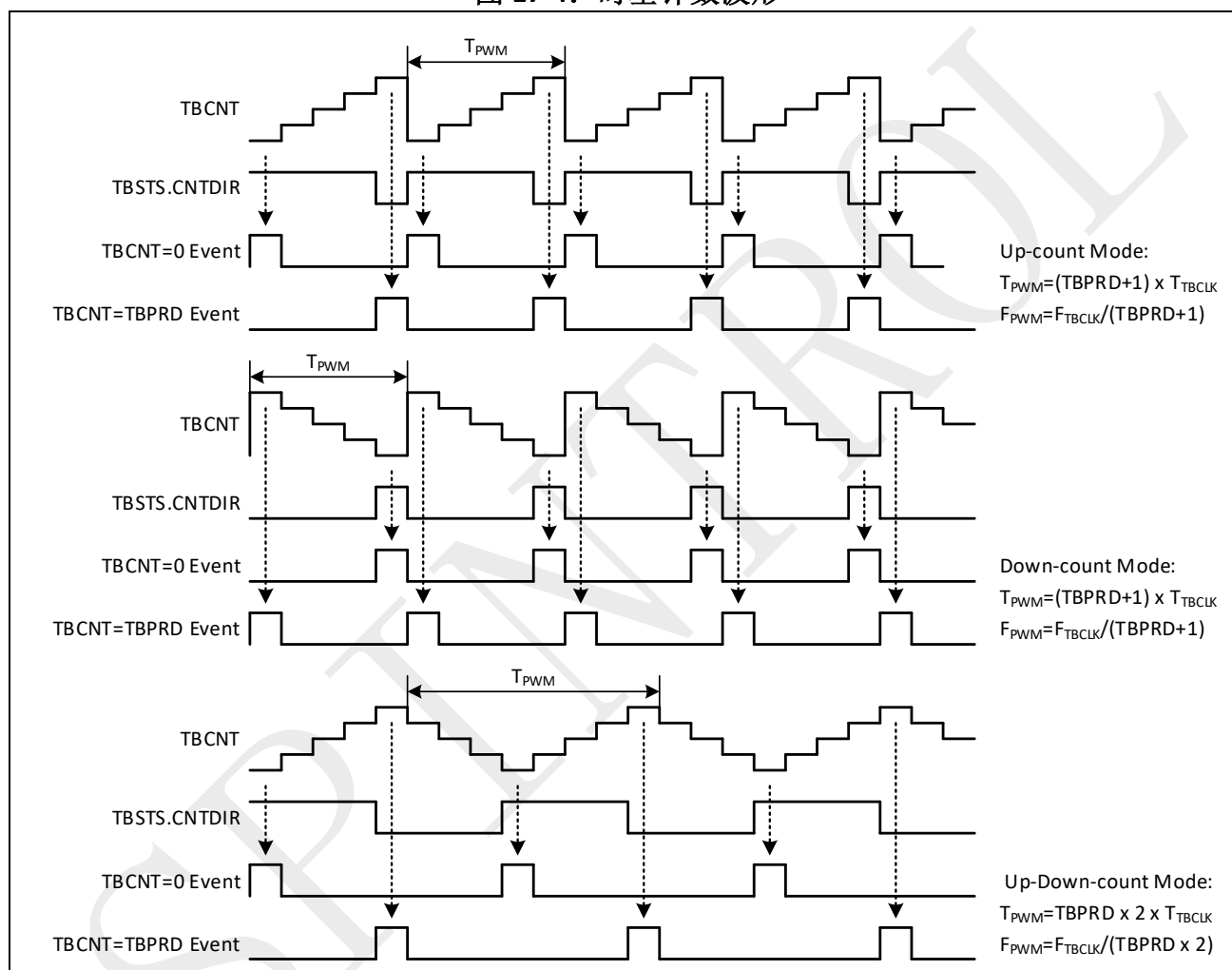


向上计数模式时，时基计数器从 0 开始一直递增计数到 TBPRD，然后复位到 0 重新开始递增计数。从 TBSTS 寄存器 CNTDIR 位段读回的值在 TBCNT=TBPRD 时为 0，其余时候总是为 1。

向下计数模式时，时基计数器从 TBPRD 开始一直递减计数到 0，然后复位到 TBPRD 重新开始递减计数。从 TBSTS 寄存器 CNTDIR 位段读回的值在 TBCNT=0 时为 1，其余时候总是为 0。

上下计数模式时，时基计数器从 0 开始递增计数到 TBPRD，然后递减计数回 0，如此周而复始。从 TBSTS 寄存器 CNTDIR 位段读回的值，在从 0 到(TBPRD-1)递增计数时为 1，在从 TBPRD 到 1 递减计数时为 0。

图 17-4：时基计数波形



TBPRD 寄存器支持影子模式。在该模式下，对 TBPRD 写操作只会先更新影子寄存器的值而不会立即更新实际值，然后根据 TBCTL.TBPRDLOAD 位段的设置，当 TBCNT=0 或者 TBCNT=TBPRD 时才从影子寄存器中更新。

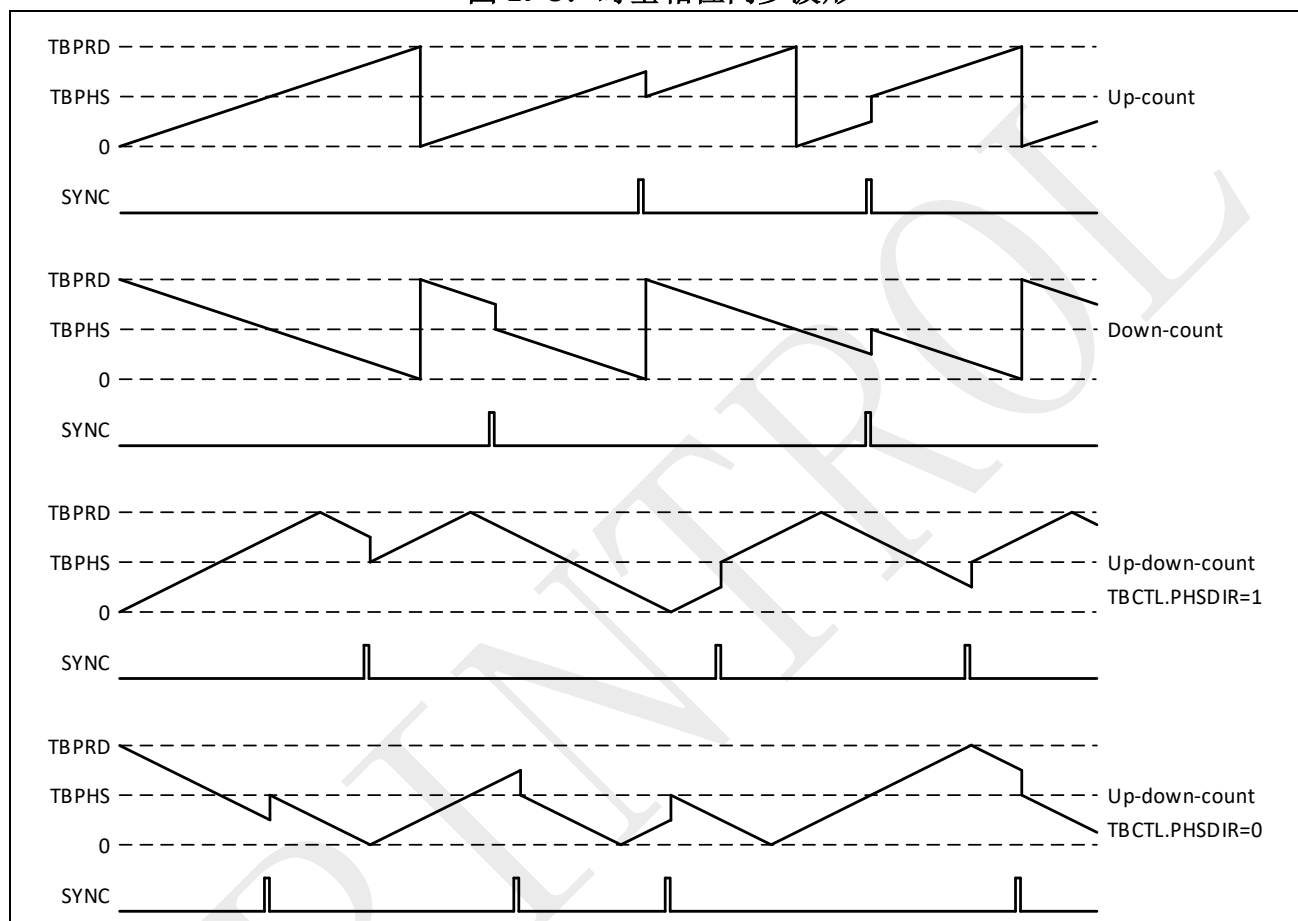
相位同步功能使得 PWM 之间可以自动实现时基同步，可以通过设置 TBCTL.PHSEN 位段为 1 来开启这个功能。此时，一旦发生同步事件，TBCNT 会被更新为时基相位寄存器 (TBPHS) 的值。如图 17-5 所示，对于向上计数和向下计数模式，同步前后计数方向保持不变；对于上下计数方式，按照时基控制寄存器 (TBCTL) 的 PHSDIR 位段来决定同步后的计数方向。此外，如图 17-3 所示，同步事件可以是外部 PWMSYNCl 输入信号（详见章节 17.11.4）、本级 PWM 产生的数字比较同步信号 A 和 B、本级 PWM 软件强制同步。

当  $TBCTL.PHSEN = 0$  时，PWM 忽略输入的同步事件信号，但这些信号仍然会被送往 PWMSYNCO 输出给后级 PWM 模块用于其同步。

SPIN  
TROL

- 注意：
1. 从同步信号输入到同步操作真正完成需要一个 PWM 时钟，因此当 TBCTL 寄存器的 TBPDIV 和 TBDIV 位段同时为 0（即不分频）时，会有一拍时基时钟的延时。用户在设置 TBPHS 寄存器时需要考虑这个因素。
  2. PWMCFG 模块中的 FRCSYNC 等全局同步控制提供了更加灵活便捷的跨 PWM 同步方式。

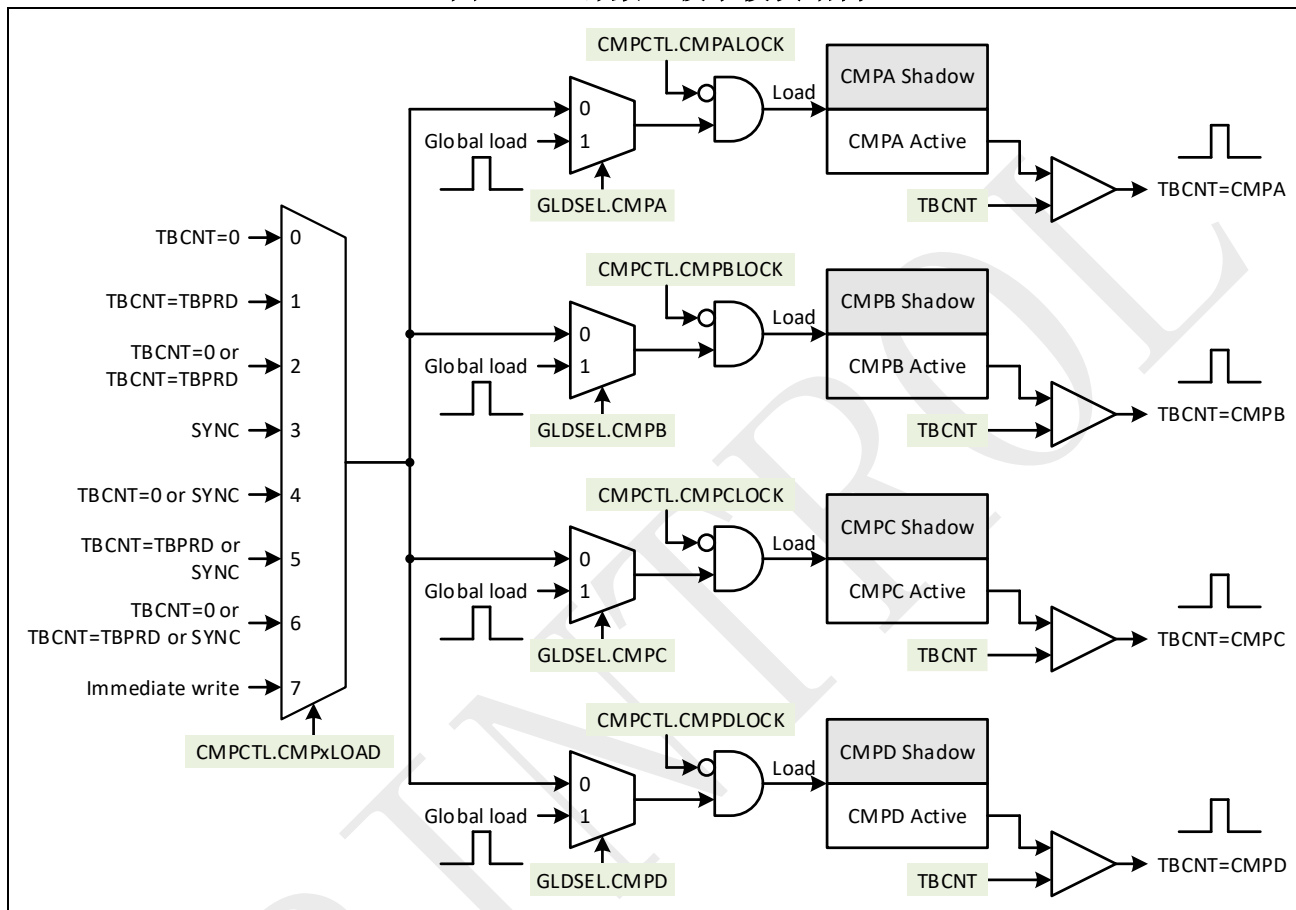
图 17-5：时基相位同步波形



### 17.3 计数比较（CC）子模块

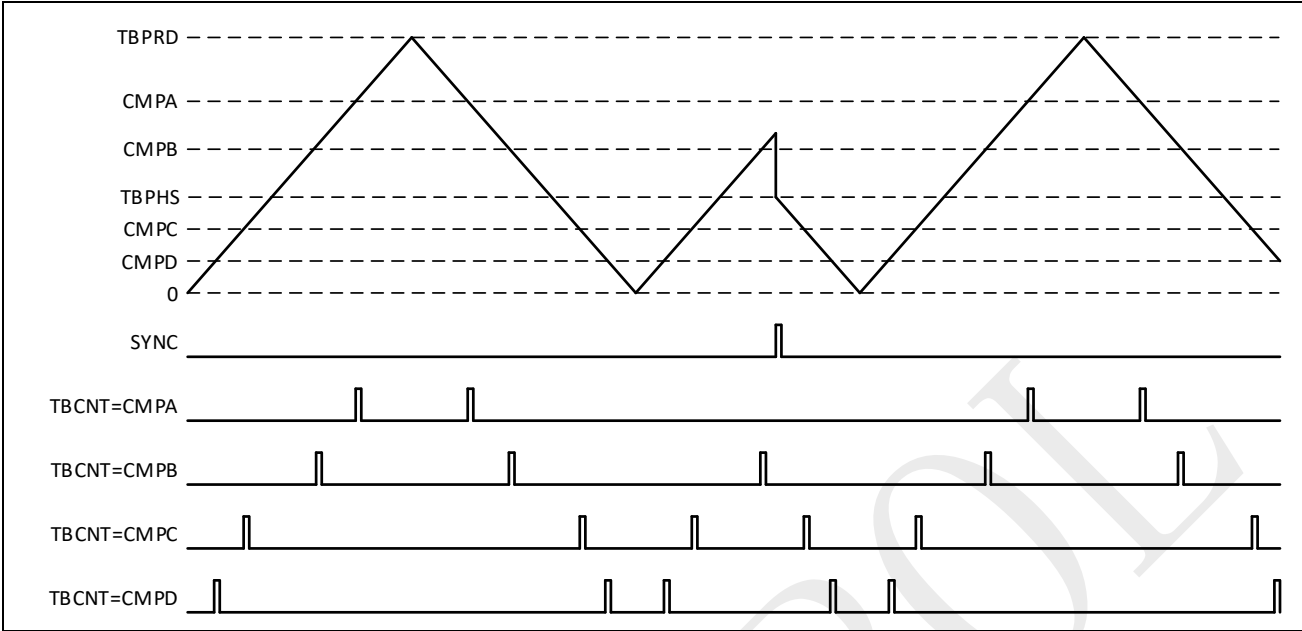
计数比较子模块持续将 TBCNT 与计数比较寄存器 A（CMPA）、计数比较寄存器 B（CMPB）、计数比较寄存器 C（CMPC）以及计数比较寄存器 D（CMPD）的值进行比对。当 TBCNT 的值与这些寄存器的值相等时，产生相应的事件。

图 17-6：计数比较子模块结构



计数比较子模块的基本结构如图 17-6 所示。计数比较寄存器同样具备影子寄存功能，此时对计数比较寄存器的写操作会先更新影子寄存器的值，实际比较值会根据计数比较控制寄存器（CMPCTL）的 CMPxLOAD 位段定义的时间点更新。也可以按照表 17-14 和表 17-15 所示，通过全局影子到有效值更新时机控制寄存器（GLDSEL）的 CMPx 位段来配置影子功能。图 17-7 给出了计数比较子模块波形示例。

图 17-7：计数比较子模块波形

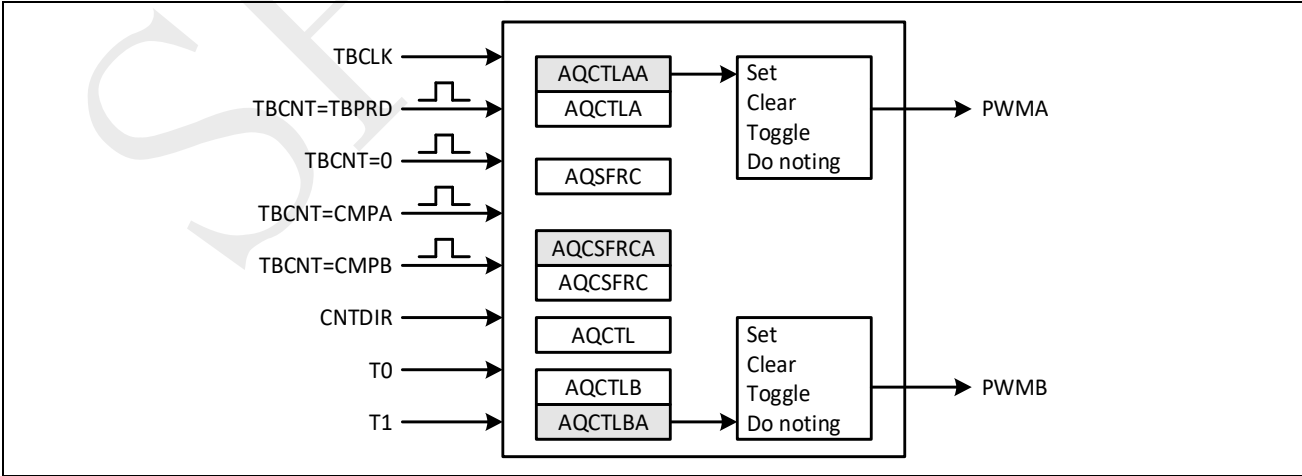


17.4 行为限定（AQ）子模块

行为限定子模块决定了哪些事件会转换为哪种行为并产生相应的 PWMA 和 PWMB 开关波形。如图 17-8 所示，这些事件包括：

- TBCNT=TBPRD
- TBCNT=0
- TBCNT=CMPA
- TBCNT=CMPB
- T0/T1 事件（基于数字比较、封锁和同步输入事件产生）
- 软件强制事件

图 17-8：行为限定子模块输入输出



注意： AQCSFRC 软件强制是限定 TZ 子模块输出的 A/B 路波形。  
T0/T1 输出给 AQ 的信号为脉冲信号，若 T0/T1 为电平信号将不会触发 AQ 行为。



行为限定模块管理这些事件同时发生时的响应优先级，并基于 AQCTLA 和 AQCTLB 寄存器的配置在对应事件发生时做出如下操作：

- 输出置高
- 输出置低
- 输出翻转
- 不操作

可以通过 AQCTL.AQCTLALOAD、AQCTL.AQCTLBLOAD 和 AQSFR.CSFLOAD 寄存器位段来选择影子寄存模式或是直接更新模式。也可以采用如图 17-6 所示 CMPx 寄存器类似的方法，通过 GLDSEL.AQCTLA、GLDSEL.AQCTLB 和 GLDSEL.AQCSFRC 寄存器位段配置全局影子寄存。

表 17-1 到表 17-3 列举了不同计数模式下的行为限定事件优先级。

表 17-1：向上计数时的行为限定事件优先级

| 优先级   | 事件               |
|-------|------------------|
| 1（最高） | 软件强制控制           |
| 2     | TBCNT=TBPRD（PRD） |
| 3     | T0（T0U）          |
| 4     | T1（T1U）          |
| 5     | TBCNT=CMPB（CBU）  |
| 6     | TBCNT=CMPA（CAU）  |
| 7（最低） | TBCNT=0（ZRO）     |

表 17-2：向下计数时的行为限定事件优先级

| 优先级   | 事件               |
|-------|------------------|
| 1（最高） | 软件强制控制           |
| 2     | TBCNT=0（ZRO）     |
| 3     | T0（T0D）          |
| 4     | T1（T1D）          |
| 5     | TBCNT=CMPB（CBD）  |
| 6     | TBCNT=CMPA（CAD）  |
| 7（最低） | TBCNT=TBPRD（PRD） |

表 17-3：上下计数时的行为限定事件优先级

| 优先级   | 事件                  |                   |
|-------|---------------------|-------------------|
|       | 从 0 向上计数到 TBPRD-1 时 | 从 TBPRD 向下计数到 1 时 |
| 1（最高） | 软件强制控制              | 软件强制控制            |
| 2     | T0（T0U）             | T0（T0D）           |
| 3     | T1（T1U）             | T1（T1D）           |
| 4     | TBCNT=CMPB（CBU）     | TBCNT=CMPB（CBD）   |
| 5     | TBCNT=CMPA（CAU）     | TBCNT=CMPA（CAD）   |
| 6（最低） | TBCNT=0（ZRO）        | TBCNT=TBPRD（PRD）  |

图 17-9 和图 17-10 示例了行为限定模块产生的对称和非对称 PWM 波形。

图 17-9: 上下计数时的 PWM 双边沿对称波形

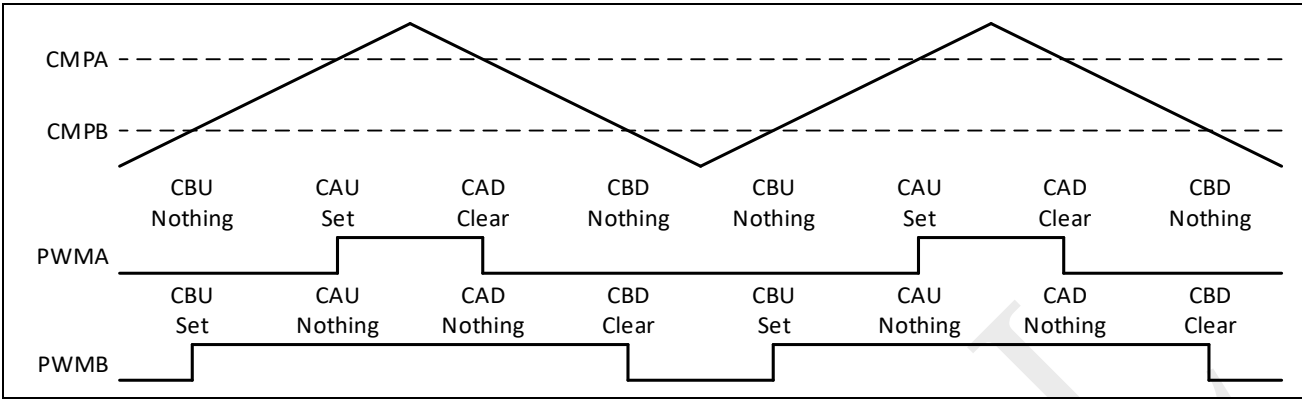
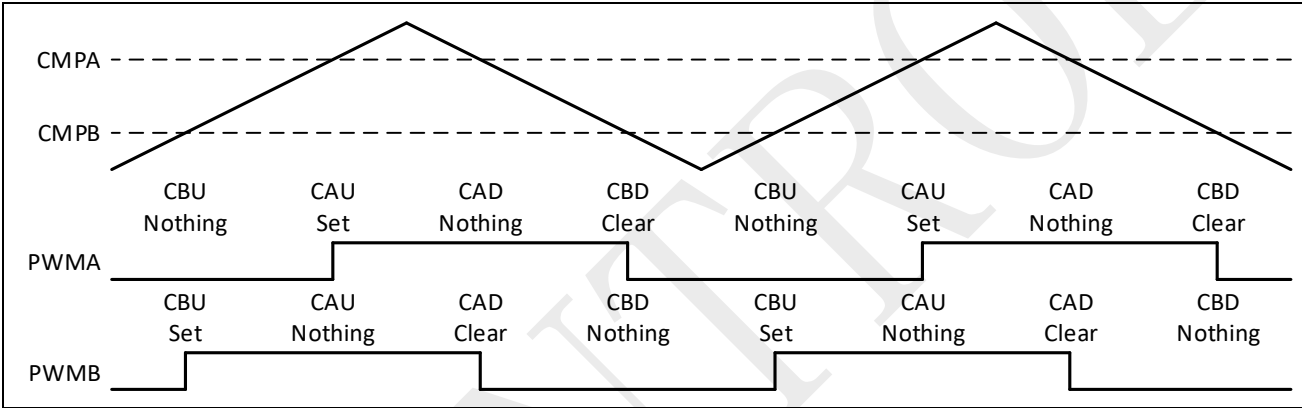


图 17-10: 上下计数时的 PWM 双边沿非对称波形



## 17.5 死区控制（DB）子模块

死区控制子模块将行为限定模块输出的波形做进一步整形，包括对原始波形的上升沿和下降沿做独立的延时以及极性控制。该模块的关键功能包括：

- 基于来自行为限定模块的 PWMA/PWMB 输入产生有相对死区的 PWMA 和 PWMB 信号对；
- 对上升沿加可配置的延迟；
- 对下降沿加可配置的延迟；
- 支持半时钟周期延迟；
- 调整输出信号极性；
- 绕开死区控制信号整形，将行为限定模块输出的波形直接原样输出。

图 17-11：死区控制子模块结构

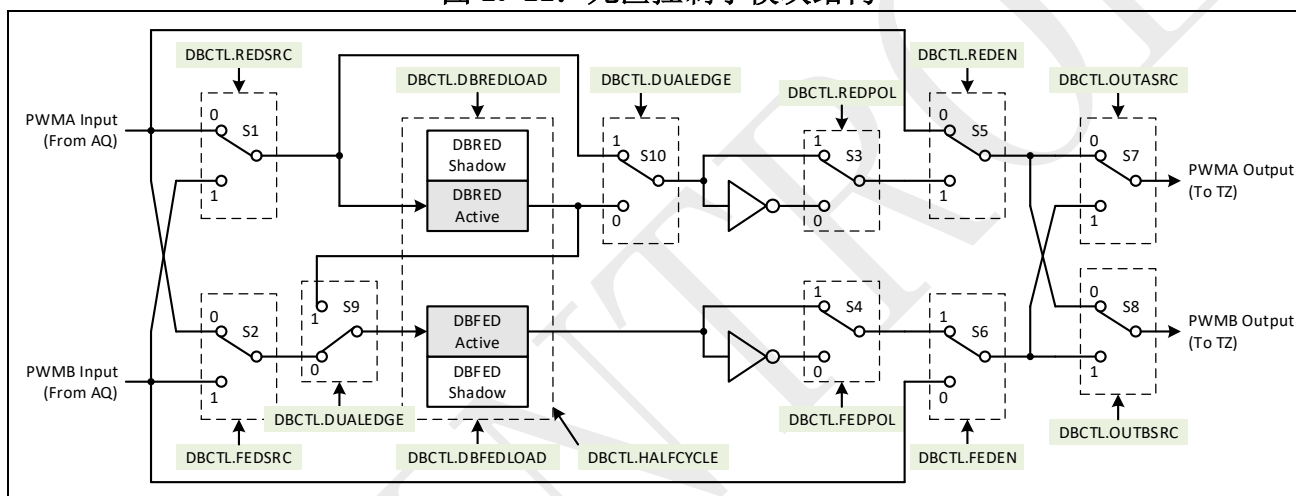


图 17-11 给出了死区控制模块的基本结构。死区控制寄存器（DBCTL）的 REDSRC 和 FEDSRC 位段设定了上升沿延迟通路和下降沿延迟通路的输入信号。随后 S3 到 S10 的各种开关组合可以产生灵活多变的波形。以 DBCTL.REDSRC=0 且 DBCTL.FEDSRC=0 为例，PWMA 被配置为两个延迟通路的输入，典型的死区控制工作模式如表 17-4 所示。

作为一种特殊情形，可以通过设置 DBCTL 寄存器的 DUALEDGE 位段实现双边沿延迟，即对同一路信号完成上升沿和下降沿的同时延迟。这个功能可以便于产生周期和占空比完全相同但存在指定相位差的两路波形。

表 17-4：典型的死区控制工作模式

| 模式 | 描述                                                    | REDPOL<br>S3 | FEDPOL<br>S4 | REDEN<br>S5 | FEDEN<br>S6 |
|----|-------------------------------------------------------|--------------|--------------|-------------|-------------|
| 1  | 同时将 PWMA 和 PWMB 原样输出                                  | X            | X            | 0           | 0           |
| 2  | 高有效的互补波形                                              | 1            | 0            | 1           | 1           |
| 3  | 低有效的互补波形                                              | 0            | 1            | 1           | 1           |
| 4  | 高有效的波形                                                | 0            | 0            | 1           | 1           |
| 5  | 低有效的波形                                                | 1            | 1            | 1           | 1           |
| 6  | PWMA 输出 = PWMA 原始输入（无延迟）<br>PWMB 输出 = PWMA 原始输入加下降沿延迟 | 0 或 1        | 0 或 1        | 0           | 1           |
| 7  | PWMA 输出 = PWMA 原始输入加上升沿延迟<br>PWMB 输出 = PWMA 原始输入（无延迟） | 0 或 1        | 0 或 1        | 1           | 0           |

图 17-12 示例了死区控制的典型波形。

图 17-12: 死区控制典型波形

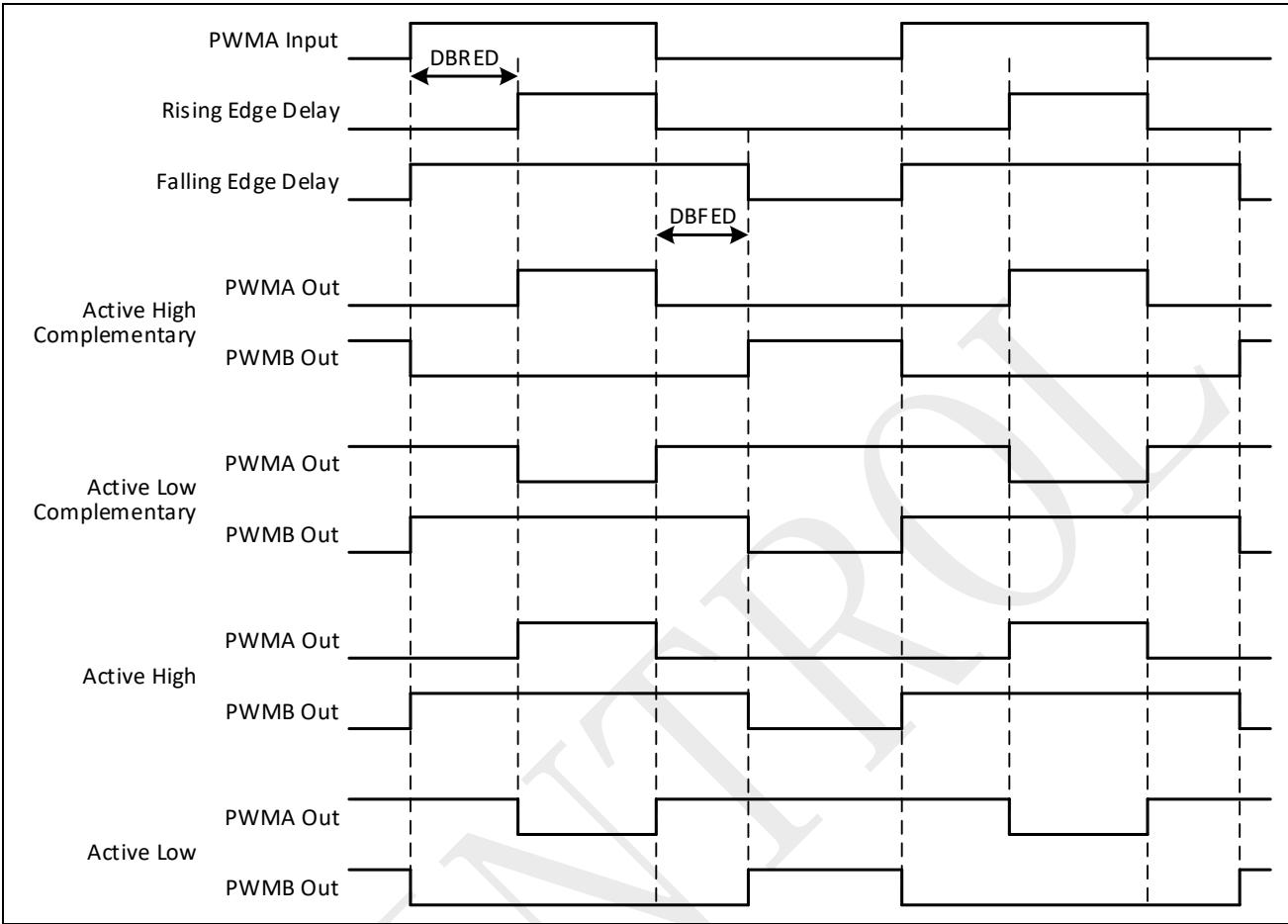
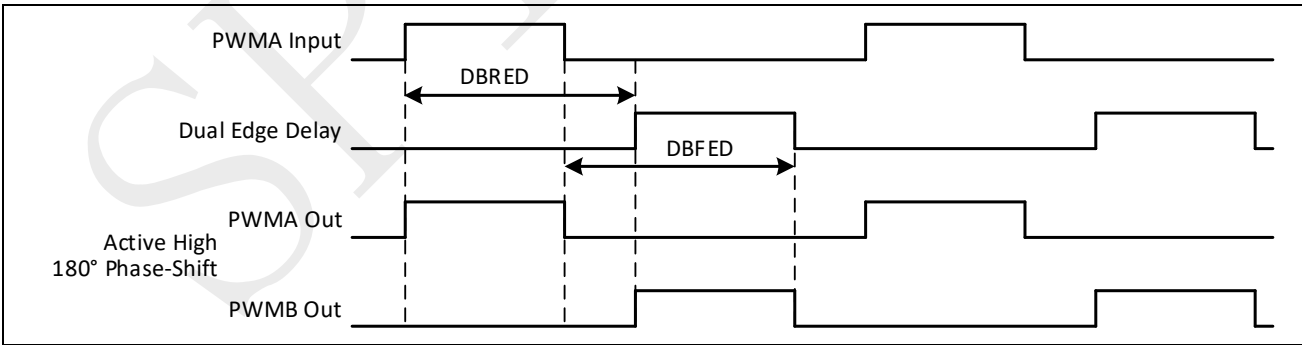


图 17-13 示例了通过使能双边沿延迟并设置 DBRED 和 DBFED 为波形周期的一半来产生 180°相位差的两路波形。

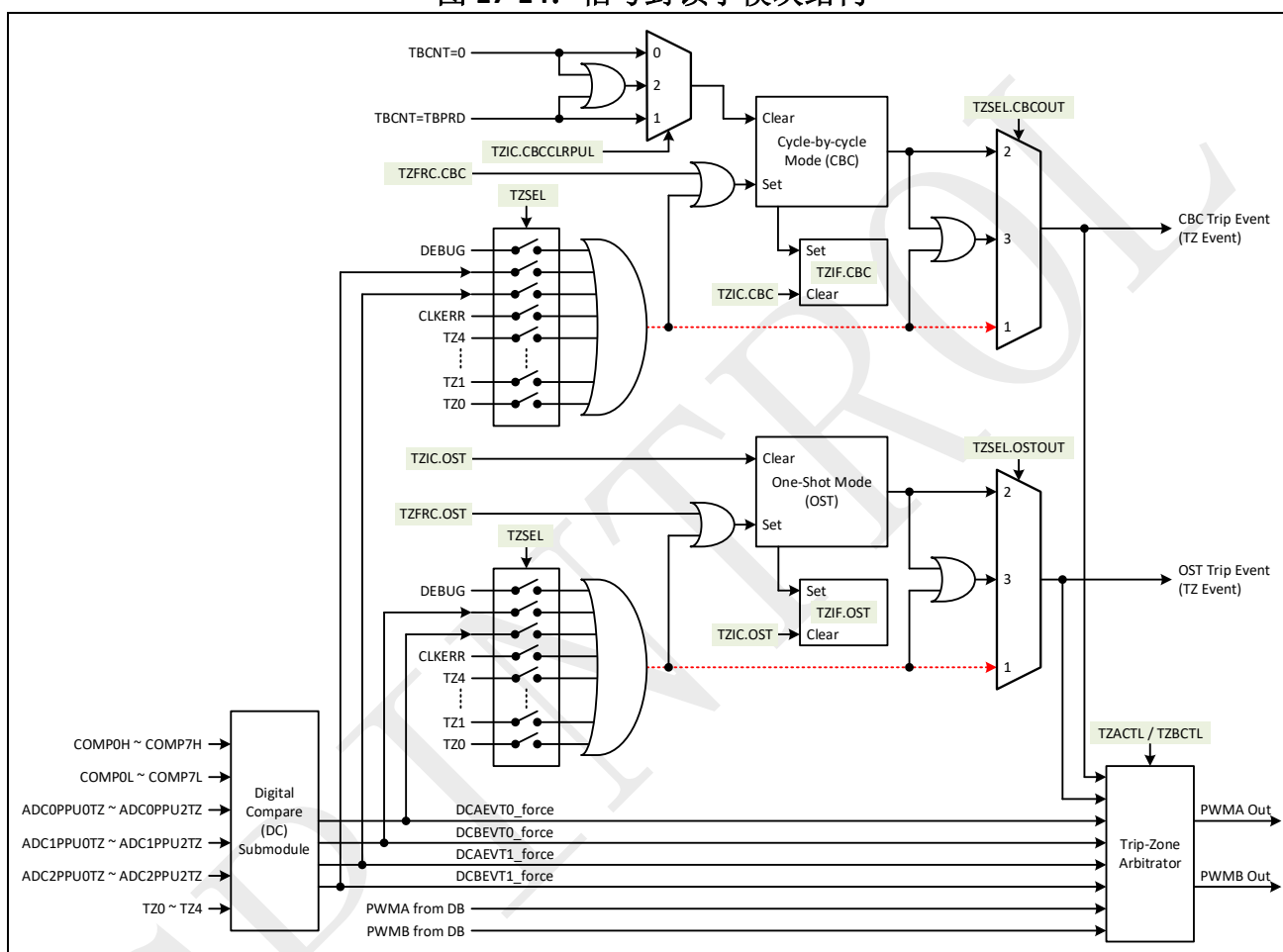
图 17-13: 双边沿延迟死区控制波形



## 17.6 信号封锁 (TZ) 子模块

信号封锁（trip-zone）子模块处理当外部错误事件或封锁条件发生时的 PWM 输出。如图 17-14 所示，输入事件可以是来自 GPIO 的 TZ 信号、来自 PLL 失锁或者 CLKDET 时钟检测模块的时钟错误信号、CPU 调试信号、以及数字比较（DC）子模块的输出。可以根据 PWMCFG 模块中的 TZ#SRCCTL 寄存器选择 5 个 TZ 信号（TZ0~TZ4）具体对应的 GPIO 以及信号的极性。此外支持软件触发的封锁，并且可以配置各种封锁事件触发 CPU 中断。

图 17-14: 信号封锁子模块结构



封锁事件发生时，PWMA 和 PWMB 输出可以被强制为如下几种情形：

- 置高
- 置低
- 高阻
- 维持原样不变

PWMA 的封锁事件动作由寄存器 TZACTL 控制，这些封锁事件动作的优先级为 TZU > TZD > DCAEVT0U > DCAEVT0D > DCAEVT1U > DCAEVT1D。这意味着 TZACTL.DCAEVT0U 的配置只有在 TZACTL.TZAU 设置为“维持原样不变”时才有效。相同的原理适用于 PWMB 的封锁事件动作控制寄存器 TZBCTL。

PWM 模块同时支持一次性封锁（OST）和周期性（CBC）封锁。一次性封锁通常用于诸如严重过流或者电路短路等重大异常，周期性封锁常用于限流。

当一次性封锁发生时，PWMA 和 PWMB 的输出会立刻按照 TZACTL 和 TZBCTL 寄存器相应位段的设置改变。同时，TZIF.OST 标志位置 1。如果用户通过封锁中断使能寄存器（TZIE）开启了中断，则同时会产生 PWM\_TZINT 中断。TZIF.OST 标志位只能通过往 TZIC.OST 位段写 1 手动清除。

当周期性封锁发生时，PWMA 和 PWMB 的输出会立刻按照 TZACTL 和 TZBCTL 寄存器相应位段的设置改变。同时，TZIF.CBC 标志位置 1。如果用户通过封锁中断使能寄存器（TZIE）开启了中断，则同时会产生 PWM\_TZINT 中断。根据 TZIC.CBCCLRPUL 位段的设置，PWM 会在 TBCNT 计数到 0 或者 TBPRD 的时候检查封锁条件是否已不存在，若封锁条件已不存在则自动撤销对输出的强制。但是，TZIF.CBC 标志位依然需要通过往 TZIC.CBC 位段写 1 来手动清除。如果清除 TZIF.CBC 标志位的时候封锁条件依然存在，则该标志位会立即又被置位。

注意：图 17-14 中虚线所示的异步逻辑通路主要用于观测原始封锁事件信号（相应的 TZSEL.OSTOUT 或 TZSEL.CBCOUT 设定为 1）。实际应用中，必须选中锁存的通路来使能上述一次性和周期性封锁功能，即 TZSEL.OSTOUT 和 TZSEL.CBCOUT 必须设定为 2 或 3。

根据数字比较封锁事件选择寄存器（TZDCSEL）中 DCAH/DCAL 和 DCBH/DCBL 位段的设置，会产生数字比较事件 DCAEVT0/1 和 DCBEVT0/1。当数字比较事件发生时，PWMA 和 PWMB 的输出会立刻按照 TZACTL 和 TZBCTL 寄存器相应位段的设置改变。同时，TZIF.DCAEVT0/1 或 TZIF.DCBEVT0/1 标志位置 1。如果用户通过封锁中断使能寄存器（TZIE）开启了中断，则同时会产生 PWM\_TZINT 中断。若数字比较事件消除，则自动撤销对输出的强制。但是，TZIF 寄存器中的相应标志位依然需要通过往 TZIC 相应位段写 1 来手动清除。如果清除标志位时数字比较事件依然存在，则标志位会立即又被置位。

图 17-15 示例了信号封锁中断产生逻辑。

图 17-15: 信号封锁中断产生

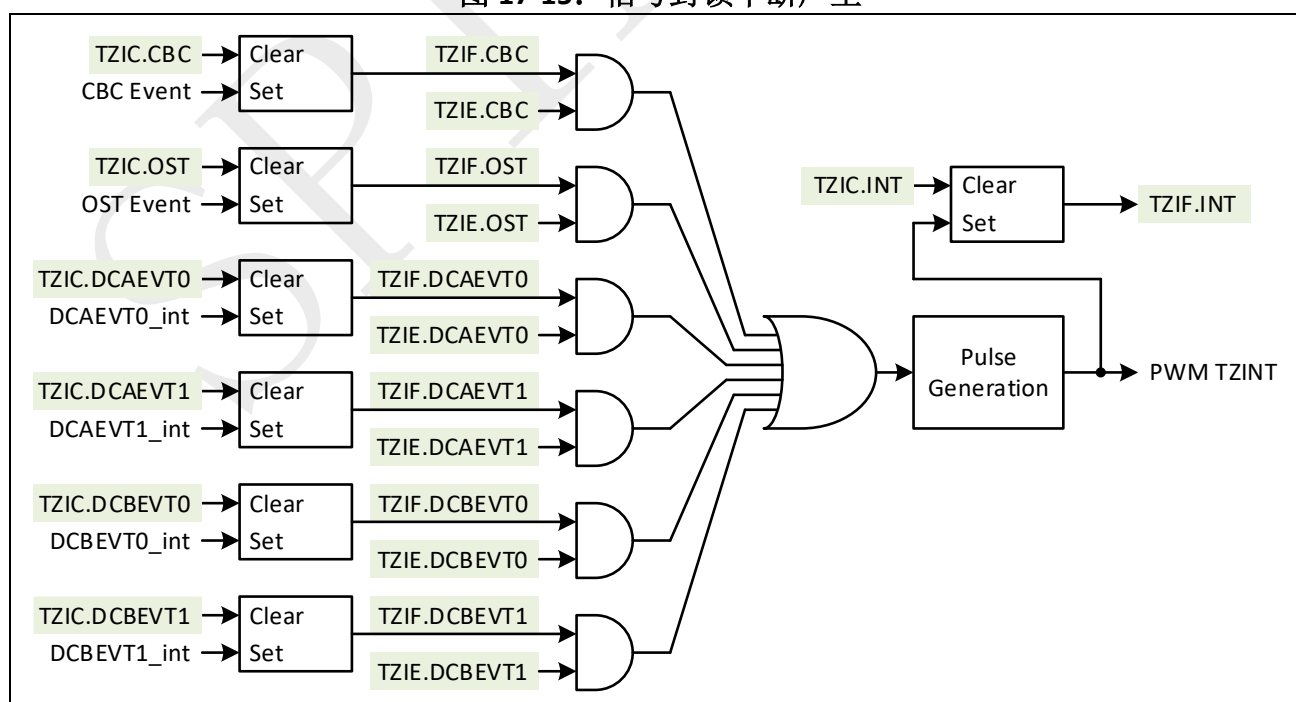


表 17-5 列举了影响 PWM 最终输出波形的各个事件的优先级。

表 17-5: 影响 PWM 最终输出波形的事件优先级

| 优先级    | 事件                           |
|--------|------------------------------|
| 1 (最高) | 封锁 (Trip-zone) 事件            |
| 2      | 通过 AQCSFRC 寄存器的软件持续强制        |
| 3      | 死区 (Dead-Band) 控制逻辑          |
| 4      | 通过 AQSFRC 寄存器的软件单次强制         |
| 5 (最低) | 行为限定 (Action-Qualifier) 控制逻辑 |

## 17.7 数字比较（DC）子模块

如图 17-16 所示，数字比较模块将来自 GPIO 的 TZ0~TZ4 事件、来自比较器（COMP）的 COMPxL 和 COMPxH 事件、以及来自 ADC 后处理单元的 ADCxPPU0TZ~ADCxPPU2TZ 事件作为输入，根据用户配置产生原始的 DCAL、DCAH、DCBL、DCBH 信号，再从这四个信号的各种组合中产生原始的 RAWDCAEVT0、RAWDCAEVT1、RAWDCBEVT0、RAWDCBEVT1 事件。从中又可以选择一个事件，在一个时间窗内加以屏蔽，从而实现对事件噪声的过滤和消隐。具体如图 17-17 所示：在 TBCNT=TBPRD 或者 TBCNT=0 时，位移计数器根据 DCFOFFSET 寄存器重置计数值并开始递减计数，待计数到 0 时开启消隐窗口并保持 DCFWINDOW 寄存器所指定的时基周期。在消隐窗口这段时间内的事件会被忽略，而在消隐窗口前后的事件可以正常用于产生 SOC、SYNC 等信号。考虑到实际应用中模块间的串扰，用户可以使能其他 PWM 模块产生的消隐窗口来对本级原始数字比较事件加以屏蔽。DCFCTL 寄存器的 BLANKINV 位段可以实现对消隐窗口的反相。此外如



图 17-18 所示，一旦位移计数到 0，即便上一个消隐窗口尚未结束，新的消隐窗口仍将开始。

图 17-16: 数字比较子模块结构

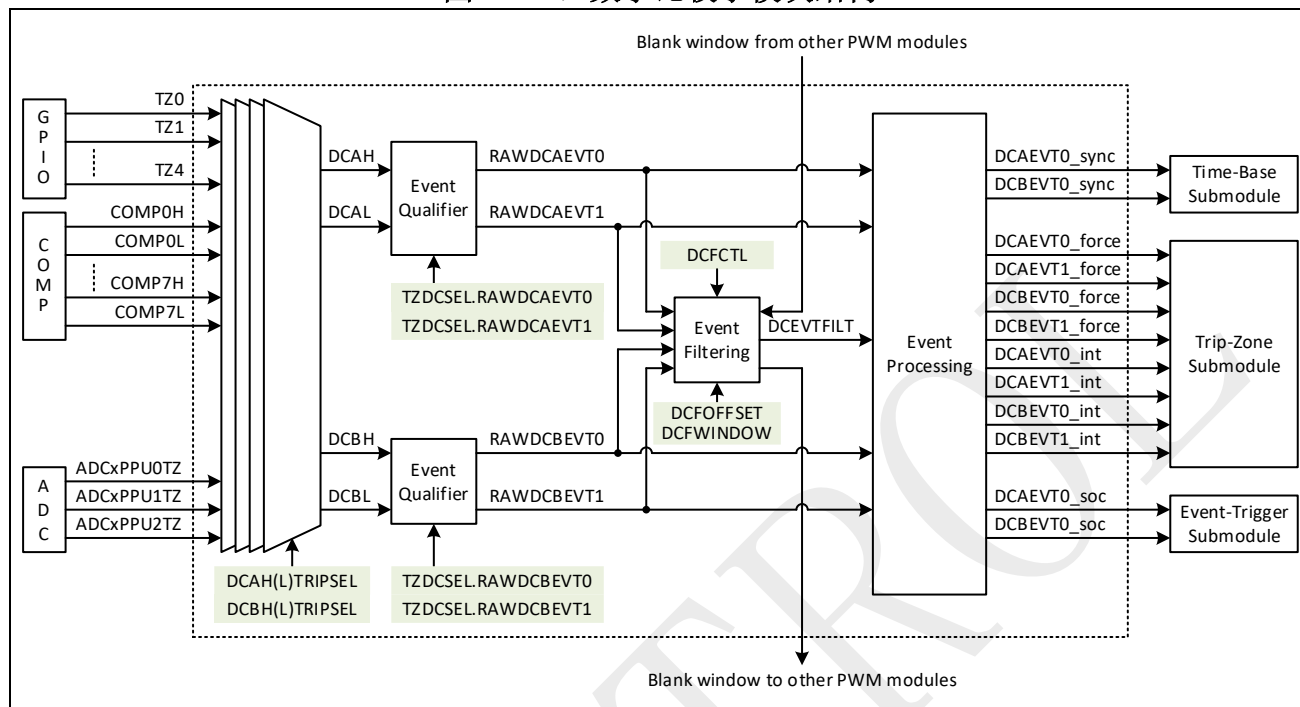


图 17-17: 事件过滤逻辑

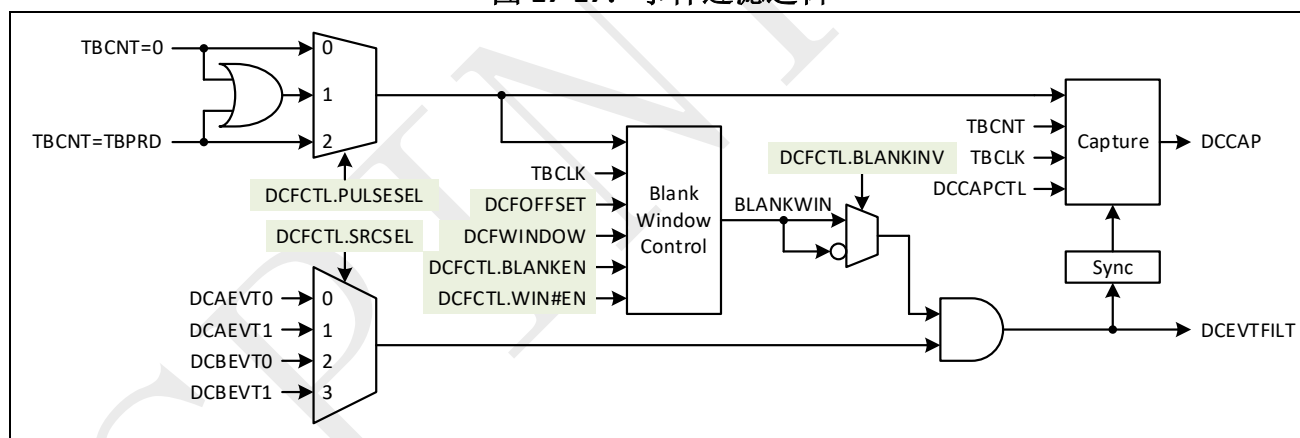


图 17-18: 消隐窗口时序图

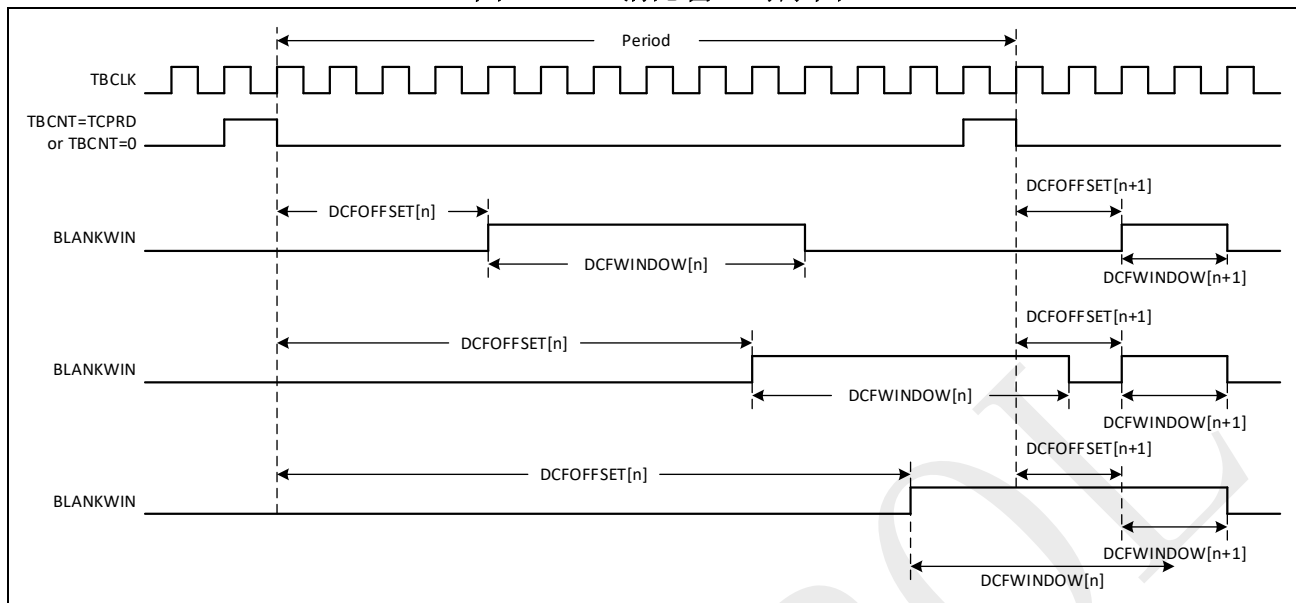
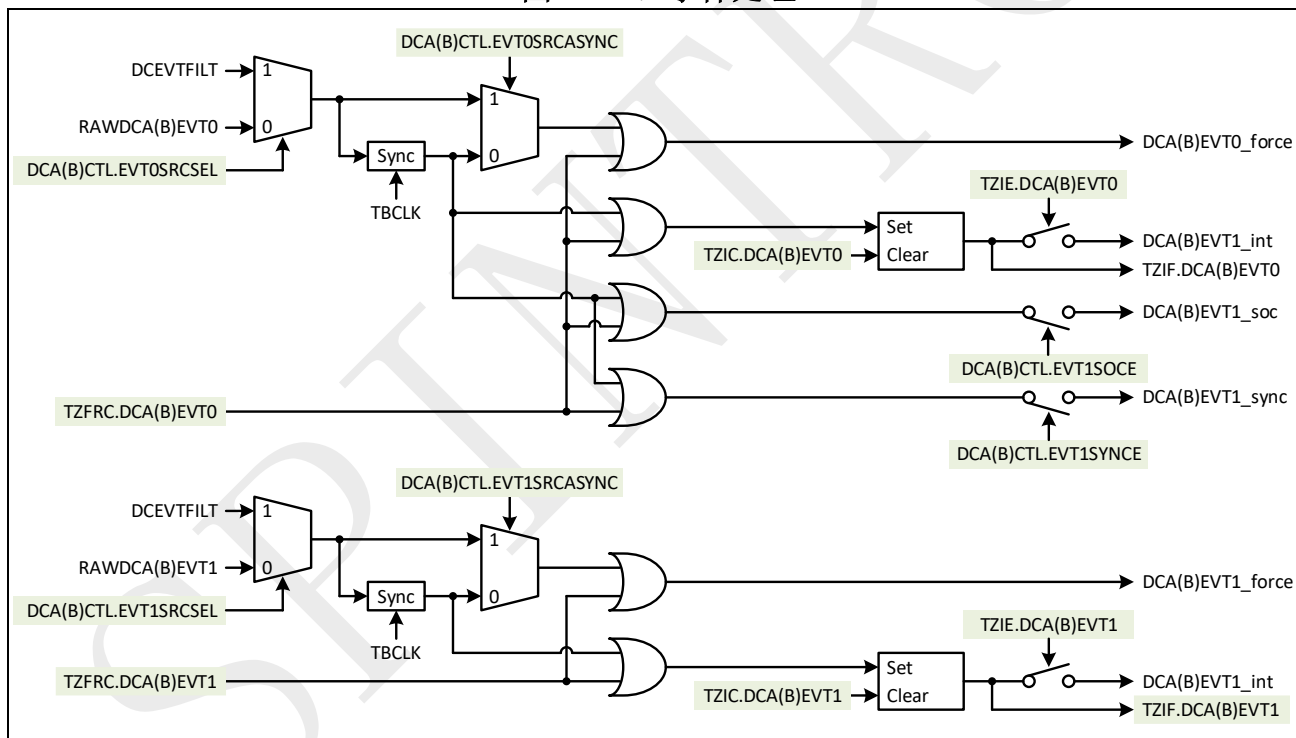


图 17-19: 事件处理



如图 17-19 所示，原始 RAWDCAEVT0、RAWDCAEVT1、RAWDCBEVT0、RAWDCBEVT1 信号和过滤得到的 DCEVTFILT 信号送至事件处理模块，根据 DCACTL 和 DCBCTL 寄存器的 EVT0SRCSEL 和 EVT1SRCSEL 位段，产生最终的 DCAEVT0、DCAEVT1、DCBEVT0 和 DCBEVT1 事件。基于这些事件，可以进一步产生如下信号：

- 送往信号封锁子模块的强制信号  
DCAEVT0\_force、DCAEVT1\_force、DCBEVT0\_force、DCBEVT1\_force
- 送往时基产生子模块的同步信号  
DCAEVT0\_sync、DCBEVT0\_sync
- ADC 采样开始信号

DCAEVT0\_soc、DCBEVT0\_soc

– 中断

DCAEVT0\_int、DCAEVT1\_int、DCBEVT0\_int、DCBEVT1\_int

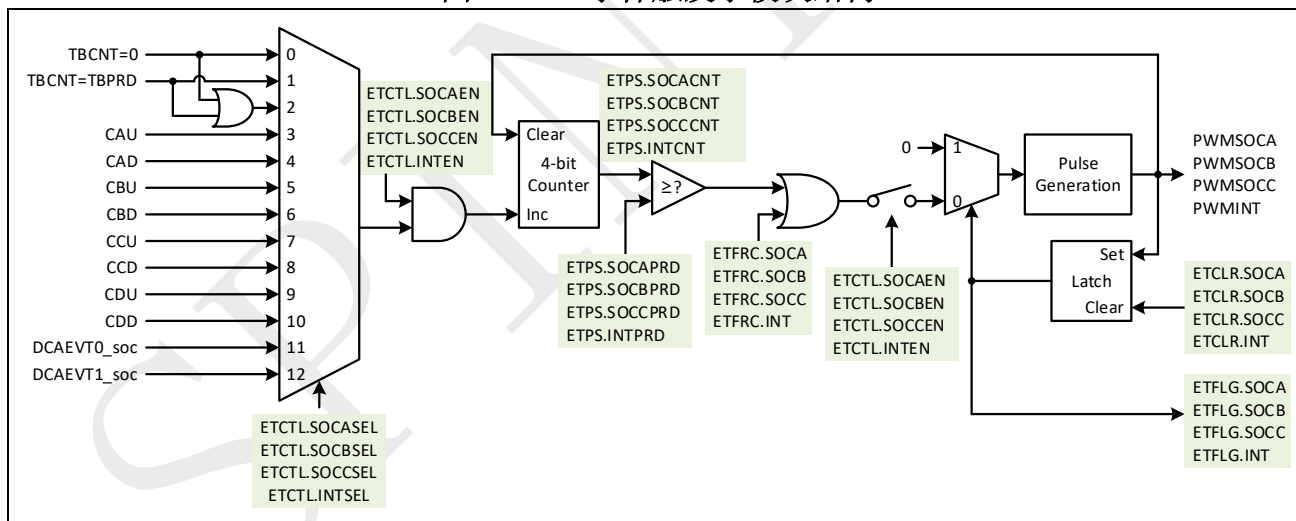
下面给出一个用 COMP0~COMP2 做相电流监测并产生消隐后的数字比较封锁信号来控制 PWMxA 和 PWMxB 输出的例子。

- 通过 DCAHTRIPSEL 寄存器设定 DCAH 事件为 COMP0H、COMP0L、COMP1H、COMP1L、COMP2H 和 COMP2L 信号的逻辑或；
- 设定 TZDCSEL.RAWDCAEVT0=4 来选择 DCAH=1 触发 RAWDCAEVT0 事件；
- 设定 DCFCTL.SRCSEL=0 来选择 RAWDCAEVT0 作为滤波输入；
- 设定 DCACTL.EVT0SRCSEL=1，选择滤波后的 DCEVTFILT 作为最终 DCAEVT0；
- 设定 DCBCTL.EVT0SRCSEL=1，选择滤波后的 DCEVTFILT 作为最终 DCBEVT0；
- 通过 TZACTL 寄存器的 DCAEVT0U 和 DCAEVT0D 位段设定 DCAEVT0 发生时 PWMxA 的输出；
- 通过 TZBCTL 寄存器的 DCBEVT0U 和 DCBEVT0D 位段设定 DCBEVT0 发生时 PWMxB 的输出。

## 17.8 事件触发（ET）子模块

事件触发子模块管理时基产生子模块、计数比较子模块和数字比较子模块产生的各种事件，并根据配置在对应事件发生时产生送至 CPU 的中断请求脉冲或送至 ADC 的采样起始脉冲。

图 17-20：事件触发子模块结构



事件触发子模块的具体结构如图 17-20 所示。为了便于软件调试，除前述硬件信号外，也支持由软件强制触发的 SOCA、SOCB、SOCC 和 INT 脉冲。基于 4 位的计数器，脉冲产生可以有如下场景：

- 从不产生；
- 每次事件到来均产生脉冲；
- 每两次事件到来产生一个脉冲；
- .....
- 每十五次事件到来产生一个脉冲。

## 17.9 寄存器的全局重置

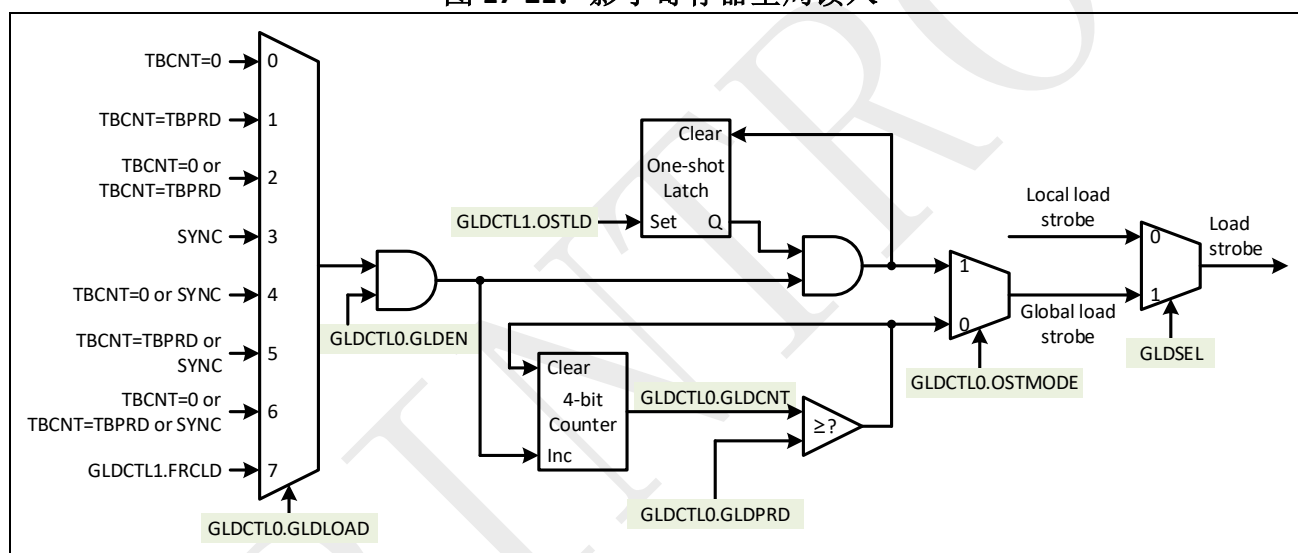
如图 17-21 所示，可以设置在全局重置脉冲发生时将所有影子寄存器的值更新到对应的寄存器中。通过将 GLDCTL0 寄存器的 GLDEN 位段置 1 可以开启这个功能。GLDSEL 寄存器中的各位段指定了每个带影子寄存功能的寄存器是在全局重置脉冲发生时还是在本地重置脉冲发生时根据影子寄存器更新有效值。

如果 GLDCTL0.OSTMODE=0，则为这种全局重置引入预分频功能，根据 GLDCTL0.GLDPRD 位段的值，每当发生相应数目的重置脉冲后才会真正做一次寄存器有效值的重置。

如果 GLDCTL0.OSTMODE=1，则开启单次重置功能。此时仅有 GLDCTL1.OSTLD 置 1 后的第一个全局重置脉冲会触发寄存器有效值的重置。该脉冲还会将 GLDCTL1.OSTLD 硬件清 0，直到软件重新置 1 以使能下一个脉冲触发寄存器重置。在 GLDCTL1.OSTLD=0 期间，全局重置脉冲将被忽略，不会触发寄存器有效值的重置。

用户还可以通过将 GLDCTL1.FRCLD 位段置 1 来软件触发全局重置。

图 17-21：影子寄存器全局读入



## 17.10 寄存器同时写入

在某些应用中，用户期望能对不同 PWM 模块中相同名字的寄存器同时写入相同的值。PWM 模块中提供了 PWMLINK 寄存器，由此实现对其他 PWM 模块中某个寄存器进行写操作的时候会同时更新本 PWM 模块中对应的寄存器。支持该特性的寄存器包括：TBPRD、CMPA、CMPB、CMPC、CMPD、DBRED、DBFED 和 GLDCTL1。

## 17.11 寄存器

### 17.11.1 PWM 寄存器列表

表 17-6: PWM 模块基地址

| 外设模块 | 基地址         |
|------|-------------|
| PWM0 | 0x4000 8000 |
| PWM1 | 0x4000 8100 |
| PWM2 | 0x4000 8200 |
| PWM3 | 0x4000 8300 |
| PWM4 | 0x4000 8400 |
| PWM5 | 0x4000 8500 |
| PWM6 | 0x4000 8600 |
| PWM7 | 0x4000 8700 |

表 17-7: PWM 寄存器列表

| 寄存器                       | 偏移地址   | 描述                 | 复位值        |
|---------------------------|--------|--------------------|------------|
| <a href="#">SHADOWSTS</a> | 0x0000 | 影子状态寄存器            | 0x00000000 |
| <a href="#">GLDCTL0*</a>  | 0x0004 | 全局影子值重置有效值控制寄存器 0  | 0x00000000 |
| <a href="#">GLDCTL1</a>   | 0x0008 | 全局影子值重置有效值控制寄存器 1  | 0x00000000 |
| <a href="#">GLDSEL*</a>   | 0x000C | 全局影子值重置有效值控制选择寄存器  | 0x00000000 |
| <a href="#">PWMLINK*</a>  | 0x0010 | PWM 链接寄存器          | 0xFFFFFFFF |
| <a href="#">TBCTL*</a>    | 0x0014 | 时基控制寄存器            | 0x00000006 |
| <a href="#">TBPRD</a>     | 0x0018 | 时基周期寄存器            | 0x00000000 |
| <a href="#">TBPRDA</a>    | 0x001C | 时基周期有效值寄存器         | 0x00000000 |
| <a href="#">TBPHS</a>     | 0x0020 | 时基相位寄存器            | 0x00000000 |
| <a href="#">TBCNT</a>     | 0x0024 | 时基计数寄存器            | 0x00000000 |
| <a href="#">TBFLG</a>     | 0x0028 | 时基标志寄存器            | 0x00000000 |
| <a href="#">TBFLGCLR</a>  | 0x002C | 时基标志清除寄存器          | 0x00000000 |
| <a href="#">CMPCTL*</a>   | 0x0030 | 计数比较控制寄存器          | 0x00000000 |
| <a href="#">CMPA</a>      | 0x0034 | 计数比较阈值 A 寄存器       | 0x00000000 |
| <a href="#">CMPAA</a>     | 0x0038 | 计数比较阈值 A 有效值寄存器    | 0x00000000 |
| <a href="#">CMPB</a>      | 0x003C | 计数比较阈值 B 寄存器       | 0x00000000 |
| <a href="#">CMPBA</a>     | 0x0040 | 计数比较阈值 B 有效值寄存器    | 0x00000000 |
| <a href="#">CMPC</a>      | 0x0044 | 计数比较阈值 C 寄存器       | 0x00000000 |
| <a href="#">CMPCA</a>     | 0x0048 | 计数比较阈值 C 有效值寄存器    | 0x00000000 |
| <a href="#">CMPD</a>      | 0x004C | 计数比较阈值 D 寄存器       | 0x00000000 |
| <a href="#">CMPDA</a>     | 0x0050 | 计数比较阈值 D 有效值寄存器    | 0x00000000 |
| <a href="#">AQCTL*</a>    | 0x0054 | 行为限定控制寄存器          | 0x00000000 |
| <a href="#">AQCTLA</a>    | 0x0058 | 行为限定 A 路输出控制寄存器    | 0x00000000 |
| <a href="#">AQCTLAA</a>   | 0x005C | 行为限定 A 路输出控制有效值寄存器 | 0x00000000 |
| <a href="#">AQCTLB</a>    | 0x0060 | 行为限定 B 路输出控制寄存器    | 0x00000000 |
| <a href="#">AQCTLBA</a>   | 0x0064 | 行为限定 B 路输出控制有效值寄存器 | 0x00000000 |
| <a href="#">AQSFRC</a>    | 0x0068 | 行为限定软件强制寄存器        | 0x00000000 |
| <a href="#">AQCSFRC</a>   | 0x006C | 行为限定软件持续强制寄存器      | 0x00000000 |

| 寄存器                           | 偏移地址   | 描述                | 复位值        |
|-------------------------------|--------|-------------------|------------|
| <a href="#">AQCSFRCA</a>      | 0x0070 | 行为限定软件持续强制有效值寄存器  | 0x00000000 |
| <a href="#">DBCTL</a> *       | 0x0074 | 死区产生控制寄存器         | 0x00000070 |
| <a href="#">DBCTLA</a>        | 0x0078 | 死区产生控制有效值寄存器      | 0x00000070 |
| <a href="#">DBRED</a>         | 0x007C | 死区产生上升沿延迟量寄存器     | 0x00000000 |
| <a href="#">DBREDA</a>        | 0x0080 | 死区产生上升沿延迟量有效值寄存器  | 0x00000000 |
| <a href="#">DBFED</a>         | 0x0084 | 死区产生下降沿延迟量寄存器     | 0x00000000 |
| <a href="#">DBFEDA</a>        | 0x0088 | 死区产生下降沿延迟量有效值寄存器  | 0x00000000 |
| <a href="#">TZSEL</a> *       | 0x008C | 封锁事件选择寄存器         | 0x00030003 |
| <a href="#">TZFLG</a>         | 0x0090 | 封锁标志寄存器           | 0x00000000 |
| <a href="#">TZFLGCLR</a>      | 0x0094 | 封锁标志清除寄存器         | 0x00000000 |
| <a href="#">TZDCSEL</a> *     | 0x0098 | 数字比较封锁事件寄存器       | 0x00000000 |
| <a href="#">TZACTL</a>        | 0x009C | 封锁 A 路输出控制寄存器     | 0x00000000 |
| <a href="#">TZBCTL</a>        | 0x00A0 | 封锁 B 路输出控制寄存器     | 0x00000000 |
| <a href="#">TZIF</a>          | 0x00A4 | 封锁中断标志寄存器         | 0x00000000 |
| <a href="#">TZIC</a>          | 0x00A8 | 封锁中断清除寄存器         | 0x00000000 |
| <a href="#">TZIE</a> *        | 0x00AC | 封锁中断使能寄存器         | 0x00000000 |
| <a href="#">TZFRC</a>         | 0x00B0 | 封锁软件强制寄存器         | 0x00000000 |
| <a href="#">DCALTRIPSEL</a> * | 0x00B4 | 数字比较 DCAL 事件选择寄存器 | 0x00000000 |
| <a href="#">DCAHTRIPSEL</a> * | 0x00B8 | 数字比较 DCAH 事件选择寄存器 | 0x00000000 |
| <a href="#">DCBLTRIPSEL</a> * | 0x00BC | 数字比较 DCBL 事件选择寄存器 | 0x00000000 |
| <a href="#">DCBHTRIPSEL</a> * | 0x00C0 | 数字比较 DCBH 事件选择寄存器 | 0x00000000 |
| <a href="#">DCACTL</a>        | 0x00C4 | 数字比较 A 控制寄存器      | 0x00000000 |
| <a href="#">DCBCTL</a>        | 0x00C8 | 数字比较 B 控制寄存器      | 0x00000000 |
| <a href="#">DCFCTL</a>        | 0x00CC | 数字比较消隐滤波控制寄存器     | 0x00000010 |
| <a href="#">DCFOFFSET</a> *   | 0x00D0 | 数字比较消隐窗口偏移量寄存器    | 0x00000000 |
| <a href="#">DCFOFFSETCNT</a>  | 0x00D4 | 数字比较消隐窗口偏移计数值寄存器  | 0x00000000 |
| <a href="#">DCFWINDOW</a> *   | 0x00D8 | 数字比较消隐窗口大小寄存器     | 0x00000000 |
| <a href="#">DCFWINDOWCNT</a>  | 0x00DC | 数字比较消隐窗口大小计数值寄存器  | 0x00000000 |
| <a href="#">DCCAPCTL</a>      | 0x00E0 | 数字比较时基计数捕获控制寄存器   | 0x00000000 |
| <a href="#">DCCAP</a>         | 0x00E4 | 数字比较时基计数捕获值寄存器    | 0x00000000 |
| <a href="#">ETCTL</a> *       | 0x00E8 | 事件触发控制寄存器         | 0x1E1E1E1E |
| <a href="#">ETPS</a> *        | 0x00EC | 事件触发预分频寄存器        | 0x00000000 |
| <a href="#">ETFLG</a>         | 0x00F0 | 事件触发标志寄存器         | 0x00000000 |
| <a href="#">ETCLR</a>         | 0x00F4 | 事件触发清除寄存器         | 0x00000000 |
| <a href="#">ETFRC</a>         | 0x00F8 | 事件触发软件强制寄存器       | 0x00000000 |
| <a href="#">PWMREGKEY</a>     | 0x00FC | PWM 模块写使能寄存器      | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 PWMREGKEY=0x1ACCE551 时才可以改写。

## 17.11.2 PWM 寄存器

### 17.11.2.1 影子状态寄存器 (SHADOWSTS)

表 17-8: 影子状态寄存器 (SHADOWSTS) 位段定义

| SHADOWSTS (Shadow Status Register)                              |        |        |      |      |       |       |       |
|-----------------------------------------------------------------|--------|--------|------|------|-------|-------|-------|
| Access: PWM->SHADOWSTS    Offset: 0x0000    Default: 0x00000000 |        |        |      |      |       |       |       |
| 31                                                              | 30     | 29     | 28   | 27   | 26    | 25    | 24    |
| RESERVED                                                        |        |        |      |      |       |       |       |
| 23                                                              | 22     | 21     | 20   | 19   | 18    | 17    | 16    |
| RESERVED                                                        |        |        |      |      |       |       |       |
| 15                                                              | 14     | 13     | 12   | 11   | 10    | 9     | 8     |
| RESERVED                                                        |        |        |      |      | DBFED | DBRED | DBCTL |
| 7                                                               | 6      | 5      | 4    | 3    | 2     | 1     | 0     |
| AQCSFRC                                                         | AQCTLB | AQCTLA | CMPD | CMPC | CMPB  | CMPA  | TBPRD |

表 17-9: 影子状态寄存器 (SHADOWSTS) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                     |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------|
| 31:11 | RESERVED_31_11 | RO | 0x0 | 保留                                                                                     |
| 10    | DBFED          | RO | 0x0 | DBFED 寄存器影子状态<br>0: DBFEDA=DBFED, 即已经用影子值重置有效值<br>1: DBFED 已经写入新的影子值, 但尚未重置到有效值中       |
| 9     | DBRED          | RO | 0x0 | DBRED 寄存器影子状态<br>0: DBREDA=DBRED, 即已经用影子值重置有效值<br>1: DBRED 已经写入新的影子值, 但尚未重置到有效值中       |
| 8     | DBCTL          | RO | 0x0 | DBCTL 寄存器影子状态<br>0: DBCTLA=DBCTL, 即已经用影子值重置有效值<br>1: DBCTL 已经写入新的影子值, 但尚未重置到有效值中       |
| 7     | AQCSFRC        | RO | 0x0 | AQCSFRC 寄存器影子状态<br>0: AQCSFRCA=AQCSFRC, 已用影子值重置有效值<br>1: AQCSFRC 已经写入新的影子值, 但尚未重置到有效值中 |
| 6     | AQCTLB         | RO | 0x0 | AQCTLB 寄存器影子状态<br>0: AQCTLBA=AQCTLB, 即已用影子值重置有效值<br>1: AQCTLB 已经写入新的影子值, 但尚未重置到有效值中    |
| 5     | AQCTLA         | RO | 0x0 | AQCTLA 寄存器影子状态<br>0: AQCTLAA=AQCTLA, 即已用影子值重置有效值                                       |



| 位段 | 位段名   | 属性 | 复位值 | 描述                                                                             |
|----|-------|----|-----|--------------------------------------------------------------------------------|
|    |       |    |     | 1: AQCTLA 已经写入新的影子值，但尚未重置到有效值中                                                 |
| 4  | CMPD  | RO | 0x0 | CMPD 寄存器影子状态<br>0: CMPDA=CMPD，即已经用影子值重置有效值<br>1: CMPD 已经写入新的影子值，但尚未重置到有效值中     |
| 3  | CMPC  | RO | 0x0 | CMPC 寄存器影子状态<br>0: CMPCA=CMPC，即已经用影子值重置有效值<br>1: CMPC 已经写入新的影子值，但尚未重置到有效值中     |
| 2  | CMPB  | RO | 0x0 | CMPB 寄存器影子状态<br>0: CMPBA=CMPB，即已经用影子值重置有效值<br>1: CMPB 已经写入新的影子值，但尚未重置到有效值中     |
| 1  | CMPA  | RO | 0x0 | CMPA 寄存器影子状态<br>0: CMPAA=CMPA，即已经用影子值重置有效值<br>1: CMPA 已经写入新的影子值，但尚未重置到有效值中     |
| 0  | TBPRD | RO | 0x0 | TBPRD 寄存器影子状态<br>0: TBPRDA=TBPRD，即已经用影子值重置有效值<br>1: TBPRD 已经写入新的影子值，但尚未重置到有效值中 |



## 17.11.2.2 全局影子值重置有效值控制寄存器 0 (GLDCTL0)

表 17-10: 全局影子值重置有效值控制寄存器 0 (GLDCTL0) 位段定义

|                                                               |    |    |         |         |    |    |       |
|---------------------------------------------------------------|----|----|---------|---------|----|----|-------|
| GLDCTL0 (Global Shadow to Active Load Control Register 0)     |    |    |         |         |    |    |       |
| Access: PWM->GLDCTL0    Offset: 0x0004    Default: 0x00000000 |    |    |         |         |    |    |       |
| 31                                                            | 30 | 29 | 28      | 27      | 26 | 25 | 24    |
| RESERVED                                                      |    |    |         |         |    |    |       |
| 23                                                            | 22 | 21 | 20      | 19      | 18 | 17 | 16    |
| RESERVED                                                      |    |    |         |         |    |    |       |
| 15                                                            | 14 | 13 | 12      | 11      | 10 | 9  | 8     |
| RESERVED                                                      |    |    | OSTMODE | GLDCNT  |    |    |       |
| 7                                                             | 6  | 5  | 4       | 3       | 2  | 1  | 0     |
| GLDPRD                                                        |    |    |         | GLDLOAD |    |    | GLDEN |

表 17-11: 全局影子值重置有效值控制寄存器 0 (GLDCTL0) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                                                                        |
|-------|----------------|----|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:13 | RESERVED_31_13 | RO | 0x0 | 保留                                                                                                                                                                                                        |
| 12    | OSTMODE        | RW | 0x0 | 单次全局重置模式<br>0: 周期性持续重置模式，由 GLDCNT 对重置事件持续循环计数，当 GLDCNT=GLDPRD 时重置<br>1: 单次重置模式，仅当 GLDCTL1.OSTLOAD=1 时重置事件有效                                                                                               |
| 11:8  | GLDCNT         | RO | 0x0 | 全局重置事件计数<br>记录了重置事件发生的次数                                                                                                                                                                                  |
| 7:4   | GLDPRD         | RW | 0x0 | 全局重置事件周期<br>本位段为 0 时将不产生重置脉冲；否则当 GLDCNT=GLDPRD 时产生重置脉冲。<br>OSTMODE=1 时本位段无效                                                                                                                               |
| 3:1   | GLDLOAD        | RW | 0x0 | 全局重置事件选择<br>0: TBCNT=0<br>1: TBCNT=TBPRD<br>2: TBCNT=0 or TBCNT=TBPRD<br>3: SYNC 事件<br>4: SYNC 事件或 TBCNT=0<br>5: SYNC 事件或 TBCNT=TBPRD<br>6: SYNC 事件或 TBCNT=0 或 TBCNT=TBPRD<br>7: GLDCTL1.FRCLOAD 位段被软件置 1 |
| 0     | GLDEN          | RW | 0x0 | 全局重置使能<br>0: 各寄存器影子值到有效值的重置独立控制，与 GLDSEL 寄存器设置无关<br>例：CMPA 的重置由 CMPCTL.CMPALOAD 决定<br>1: GLDSEL 可以全局控制影子值到有效值的重置                                                                                          |

### 17.11.2.3 全局影子值重置有效值控制寄存器 1 (GLDCTL1)

表 17-12: 全局影子值重置有效值控制寄存器 1 (GLDCTL1) 位段定义

|                                                           |    |                |    |                     |    |         |         |
|-----------------------------------------------------------|----|----------------|----|---------------------|----|---------|---------|
| GLDCTL1 (Global Shadow to Active Load Control Register 1) |    |                |    |                     |    |         |         |
| Access: PWM->GLDCTL1                                      |    | Offset: 0x0008 |    | Default: 0x00000000 |    |         |         |
| 31                                                        | 30 | 29             | 28 | 27                  | 26 | 25      | 24      |
| RESERVED                                                  |    |                |    |                     |    |         |         |
| 23                                                        | 22 | 21             | 20 | 19                  | 18 | 17      | 16      |
| RESERVED                                                  |    |                |    |                     |    |         |         |
| 15                                                        | 14 | 13             | 12 | 11                  | 10 | 9       | 8       |
| RESERVED                                                  |    |                |    |                     |    |         |         |
| 7                                                         | 6  | 5              | 4  | 3                   | 2  | 1       | 0       |
| RESERVED                                                  |    |                |    |                     |    | FRCLOAD | OSTLOAD |

表 17-13: 全局影子值重置有效值控制寄存器 1 (GLDCTL1) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                                                                            |
|------|---------------|-----|-----|---------------------------------------------------------------------------------------------------------------|
| 31:2 | RESERVED_31_2 | RO  | 0x0 | 保留                                                                                                            |
| 1    | FRCLOAD       | W1S | 0x0 | 触发影子值到有效值的全局重置事件<br>0: 写 0 无效, 读总是 0<br>1: 写 1 产生一次全局重置事件, 本位段自动清零                                            |
| 0    | OSTLOAD       | W1S | 0x0 | 启动单次重置等待<br>0: 写 0 无效, 读到 0 表明没有等待中的重置<br>1: 写 1 启动单次重置等待, 当 GLDCTL0.GLDLOAD 位段指定的事件发生时, 重置寄存器有效值, 同时本位段自动清零。 |

## 17.11.2.4 全局影子值重置有效值控制选择寄存器（GLDSEL）

表 17-14：全局影子值重置有效值控制选择寄存器（GLDSEL）位段定义

|                                                              |        |        |      |      |       |       |       |
|--------------------------------------------------------------|--------|--------|------|------|-------|-------|-------|
| GLDSEL (Global Shadow to Active Load Select Register)        |        |        |      |      |       |       |       |
| Access: PWM->GLDSEL    Offset: 0x000C    Default: 0x00000000 |        |        |      |      |       |       |       |
| 31                                                           | 30     | 29     | 28   | 27   | 26    | 25    | 24    |
| RESERVED                                                     |        |        |      |      |       |       |       |
| 23                                                           | 22     | 21     | 20   | 19   | 18    | 17    | 16    |
| RESERVED                                                     |        |        |      |      |       |       |       |
| 15                                                           | 14     | 13     | 12   | 11   | 10    | 9     | 8     |
| RESERVED                                                     |        |        |      |      | DBFED | DBRED | DBCTL |
| 7                                                            | 6      | 5      | 4    | 3    | 2     | 1     | 0     |
| AQCSFRC                                                      | AQCTLB | AQCTLA | CMPD | CMPC | CMPB  | CMPA  | TBPRD |

表 17-15：全局影子值重置有效值控制选择寄存器（GLDSEL）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                    |
|-------|----------------|----|-----|-----------------------------------------------------------------------|
| 31:11 | RESERVED_31_11 | RO | 0x0 | 保留                                                                    |
| 10    | DBFED          | RW | 0x0 | DBFED 全局重置选择<br>0: 由 DBCTL.DBFEDLOAD 决定重置时机<br>1: 由 GLDCTL 决定全局重置时机   |
| 9     | DBRED          | RW | 0x0 | DBRED 全局重置选择<br>0: 由 DBCTL.DBREDLOAD 决定重置时机<br>1: 由 GLDCTL 决定全局重置时机   |
| 8     | DBCTL          | RW | 0x0 | DBCTL 全局重置选择<br>0: 由 DBCTL.DBCTLLOAD 决定重置时机<br>1: 由 GLDCTL 决定全局重置时机   |
| 7     | AQCSFRC        | RW | 0x0 | AQCSFRC 全局重置选择<br>0: 由 AQSFRC.CSFLOAD 决定重置时机<br>1: 由 GLDCTL 决定全局重置时机  |
| 6     | AQCTLB         | RW | 0x0 | AQCTLB 全局重置选择<br>0: 由 AQCTL.AQCTLBLOAD 决定重置时机<br>1: 由 GLDCTL 决定全局重置时机 |
| 5     | AQCTLA         | RW | 0x0 | AQCTLA 全局重置选择<br>0: 由 AQCTL.AQCTLALOAD 决定重置时机<br>1: 由 GLDCTL 决定全局重置时机 |
| 4     | CMPD           | RW | 0x0 | CMPD 全局重置选择<br>0: 由 CMPCTL.CMPDLOAD 决定重置时机<br>1: 由 GLDCTL 决定全局重置时机    |
| 3     | CMPC           | RW | 0x0 | CMPC 全局重置选择<br>0: 由 CMPCTL.CMPCLOAD 决定重置时机<br>1: 由 GLDCTL 决定全局重置时机    |

| 位段 | 位段名   | 属性 | 复位值 | 描述                                                                  |
|----|-------|----|-----|---------------------------------------------------------------------|
| 2  | CMPB  | RW | 0x0 | CMPB 全局重置选择<br>0: 由 CMPCTL.CMPBLOAD 决定重置时机<br>1: 由 GLDCTL 决定全局重置时机  |
| 1  | CMPA  | RW | 0x0 | CMPA 全局重置选择<br>0: 由 CMPCTL.CMPALOAD 决定重置时机<br>1: 由 GLDCTL 决定全局重置时机  |
| 0  | TBPRD | RW | 0x0 | TBPRD 全局重置选择<br>0: 由 TBCTL.TBPRDLOAD 决定重置时机<br>1: 由 GLDCTL 决定全局重置时机 |

## 17.11.2.5 PWM 链接控制寄存器 (PWMLINK)

表 17-16: PWM 链接控制寄存器 (PWMLINK) 位段定义

| PWMLINK (PWM Link Control Register) |    |    |    |                |    |                     |    |
|-------------------------------------|----|----|----|----------------|----|---------------------|----|
| Access: PWM->PWMLINK                |    |    |    | Offset: 0x0010 |    | Default: 0xFFFFFFFF |    |
| 31                                  | 30 | 29 | 28 | 27             | 26 | 25                  | 24 |
| GLDCTL1                             |    |    |    | DBFED          |    |                     |    |
| 23                                  | 22 | 21 | 20 | 19             | 18 | 17                  | 16 |
| DBRED                               |    |    |    | CMPD           |    |                     |    |
| 15                                  | 14 | 13 | 12 | 11             | 10 | 9                   | 8  |
| CMPC                                |    |    |    | CMPB           |    |                     |    |
| 7                                   | 6  | 5  | 4  | 3              | 2  | 1                   | 0  |
| CMPA                                |    |    |    | TBPRD          |    |                     |    |

表 17-17: PWM 链接控制寄存器 (PWMLINK) 位段描述

| 位段    | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                                  |
|-------|---------|----|-----|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:28 | GLDCTL1 | RW | 0xF | 往 PWMLINK.GLDCTL1 指定的 PWM 的 GLDCTL1 寄存器写值时同时写本 PWM 的 GLDCTL1 寄存器<br>0: 链接到 PWM0 对应的寄存器<br>1: 链接到 PWM1 对应的寄存器<br>2: 链接到 PWM2 对应的寄存器<br>.....<br>7: 链接到 PWM7 对应的寄存器<br>其他: 不链接到任何 PWM |
| 27:24 | DBFED   | RW | 0xF | 往 PWMLINK.DBFED 指定的 PWM 的 DBFED 寄存器写值时同时写本 PWM 的 DBFED 寄存器<br>0: 链接到 PWM0 对应的寄存器<br>1: 链接到 PWM1 对应的寄存器<br>2: 链接到 PWM2 对应的寄存器<br>.....<br>7: 链接到 PWM7 对应的寄存器<br>其他: 不链接到任何 PWM       |
| 23:20 | DBRED   | RW | 0xF | 往 PWMLINK.DBRED 指定的 PWM 的 DBRED 寄存器写值时同时写本 PWM 的 DBRED 寄存器<br>0: 链接到 PWM0 对应的寄存器<br>1: 链接到 PWM1 对应的寄存器<br>2: 链接到 PWM2 对应的寄存器<br>.....<br>7: 链接到 PWM7 对应的寄存器<br>其他: 不链接到任何 PWM       |

| 位段    | 位段名   | 属性 | 复位值 | 描述                                                                                                                                                                                |
|-------|-------|----|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 19:16 | CMPD  | RW | 0xF | 往 PWMLINK.CMPD 指定的 PWM 的 CMPD 寄存器<br>写值时同时写本 PWM 的 CMPD 寄存器<br>0: 链接到 PWM0 对应的寄存器<br>1: 链接到 PWM1 对应的寄存器<br>2: 链接到 PWM2 对应的寄存器<br>.....<br>7: 链接到 PWM7 对应的寄存器<br>其他: 不链接到任何 PWM    |
| 15:12 | CMPC  | RW | 0xF | 往 PWMLINK.CMPC 指定的 PWM 的 CMPC 寄存器<br>写值时同时写本 PWM 的 CMPC 寄存器<br>0: 链接到 PWM0 对应的寄存器<br>1: 链接到 PWM1 对应的寄存器<br>2: 链接到 PWM2 对应的寄存器<br>.....<br>7: 链接到 PWM7 对应的寄存器<br>其他: 不链接到任何 PWM    |
| 11:8  | CMPB  | RW | 0xF | 往 PWMLINK.CMPB 指定的 PWM 的 CMPB 寄存器<br>写值时同时写本 PWM 的 CMPB 寄存器<br>0: 链接到 PWM0 对应的寄存器<br>1: 链接到 PWM1 对应的寄存器<br>2: 链接到 PWM2 对应的寄存器<br>.....<br>7: 链接到 PWM7 对应的寄存器<br>其他: 不链接到任何 PWM    |
| 7:4   | CMPA  | RW | 0xF | 往 PWMLINK.CMPA 指定的 PWM 的 CMPA 寄存器<br>写值时同时写本 PWM 的 CMPA 寄存器<br>0: 链接到 PWM0 对应的寄存器<br>1: 链接到 PWM1 对应的寄存器<br>2: 链接到 PWM2 对应的寄存器<br>.....<br>7: 链接到 PWM7 对应的寄存器<br>其他: 不链接到任何 PWM    |
| 3:0   | TBPRD | RW | 0xF | 往 PWMLINK.TBPRD 指定的 PWM 的 TBPRD 寄存器<br>写值时同时写本 PWM 的 TBPRD 寄存器<br>0: 链接到 PWM0 对应的寄存器<br>1: 链接到 PWM1 对应的寄存器<br>2: 链接到 PWM2 对应的寄存器<br>.....<br>7: 链接到 PWM7 对应的寄存器<br>其他: 不链接到任何 PWM |

## 17.11.2.6 时基控制寄存器 (TBCTL)

表 17-18: 时基控制寄存器 (TBCTL) 位段定义

|                                                             |           |    |        |         |           |        |        |
|-------------------------------------------------------------|-----------|----|--------|---------|-----------|--------|--------|
| TBCTL (Time-Base Control Register)                          |           |    |        |         |           |        |        |
| Access: PWM->TBCTL    Offset: 0x0014    Default: 0x00000006 |           |    |        |         |           |        |        |
| 31                                                          | 30        | 29 | 28     | 27      | 26        | 25     | 24     |
| RESERVED                                                    |           |    |        |         |           |        |        |
| 23                                                          | 22        | 21 | 20     | 19      | 18        | 17     | 16     |
| RESERVED                                                    |           |    |        | DBGRUN  |           | TBPDIV |        |
| 15                                                          | 14        | 13 | 12     | 11      | 10        | 9      | 8      |
| TBPDIV                                                      | TBDIV     |    |        | FRCSYNC | SYNCOSSEL |        |        |
| 7                                                           | 6         | 5  | 4      | 3       | 2         | 1      | 0      |
| TBPRDLOCK                                                   | TBPRDLOAD |    | PHSDIR | PHSEN   | CNTMODE   |        | CNTRUN |

表 17-19: 时基控制寄存器 (TBCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                                           |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:20 | RESERVED_31_20 | RO  | 0x0 | 保留                                                                                                                                                                           |
| 19:18 | DBGRUN         | RW  | 0x0 | CPU 停止时 PWM 时基计数器的行为<br>调试或者 CPU 错误异常都有可能 CPU 停止<br>0: 完成下一拍计数后停止<br>1: 完成整个计数周期后停止 (向上计数模式为 TBCNT=TBPRD, 其余模式计数至 TBCNT=0)<br>2: 保持正常计数                                      |
| 17:15 | TBPDIV         | RW  | 0x0 | 时基计数时钟 (TBCLK) 相对于 PWM 时钟的二进制预分频, 总分频比为 $2^{TBPDIV} \times (TBDIV + 1)$<br>0: 1 分频 (复位默认值)<br>1: 2 分频<br>2: 4 分频<br>3: 8 分频<br>4: 16 分频<br>5: 32 分频<br>6: 64 分频<br>7: 128 分频 |
| 14:12 | TBDIV          | RW  | 0x0 | 时基计数时钟 (TBCLK) 预分频后进一步分频比总的分频比为 $2^{TBPDIV} \times (TBDIV + 1)$<br>0: 1 分频 (复位默认值)<br>1: 2 分频<br>2: 3 分频<br>3: 4 分频<br>4: 5 分频<br>5: 6 分频<br>6: 7 分频<br>7: 8 分频              |
| 11    | FRCSYNC        | W1S | 0x0 | 软件强制同步                                                                                                                                                                       |

| 位段   | 位段名       | 属性 | 复位值 | 描述                                                                                                                                                                                 |
|------|-----------|----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|      |           |    |     | 0: 写 0 无效，读总是 0<br>1: 写 1 产生强制同步，本位段自动清零，且不受 PWMREGKEY 保护                                                                                                                          |
| 10:8 | SYNCOSEL  | RW | 0x0 | 同步输出选择<br>0: SYNCI 和软件强制的同步事件<br>1: TBCNT=0 事件<br>2: TBCNT=TBPRD 事件<br>3: TBCNT=CMPPA 事件<br>4: TBCNT=CMPPB 事件<br>5: TBCNT=CMPPC 事件<br>6: TBCNT=CMPPD 事件<br>7: 关闭 SYNCO 输出          |
| 7    | TBPRDLOCK | RW | 0x0 | TBPRD 有效值锁定<br>0: TBPRDA 存储的有效值根据 TBCTL.TBPRDLOAD 位段指定的时机重置<br>1: TBPRDA 存储的有效值维持不变                                                                                                |
| 6:5  | TBPRDLOAD | RW | 0x0 | TBPRD 有效值重置方式<br>TBCTL.TBPRDLOCK=1 时本位段无效<br>0: TBCNT=0 时用 TBPRD 重置 TBPRDA<br>1: SYNC 事件时用 TBPRD 重置 TBPRDA<br>2: SYNC 事件或 TBCNT=0 时用 TBPRD 重置 TBPRDA<br>3: 写 TBPRD 寄存器时同时更新 TBPRDA |
| 4    | PHSDIR    | RW | 0x0 | 相位同步后的计数方向<br>本位段仅当 TBCNT 处于上下计数模式时有效 (CNTMODE=2)<br>0: 同步事件发生后向下计数<br>1: 同步事件发生后向上计数                                                                                              |
| 3    | PHSEN     | RW | 0x0 | 相位同步使能<br>0: 不用 TBPHS 寄存器更新 TBCNT 计数值<br>1: 同步事件 (SYNCI 输入、软件强制同步或数字比较同步事件) 发生时，将 TBCNT 计数值更新为 TBPHS 寄存器的值                                                                         |
| 2:1  | CNTMODE   | RW | 0x3 | 计数模式<br>0: 向下计数<br>1: 向上计数<br>2: 上下计数<br>3: 停止计数并维持原计数值 (复位默认项)                                                                                                                    |
| 0    | CNTRUN    | RW | 0x0 | 计数开关控制<br>0: 计数关闭<br>1: 计数开始                                                                                                                                                       |



## 17.11.2.7 时基周期寄存器 (TBPRD)

表 17-20: 时基周期寄存器 (TBPRD) 位段定义

| TBPRD (Time-Base Period Register)                           |    |    |    |    |    |    |    |
|-------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: PWM->TBPRD    Offset: 0x0018    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                          | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                    |    |    |    |    |    |    |    |
| 23                                                          | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                    |    |    |    |    |    |    |    |
| 15                                                          | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                         |    |    |    |    |    |    |    |
| 7                                                           | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                         |    |    |    |    |    |    |    |

表 17-21: 时基周期寄存器 (TBPRD) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述     |
|-------|----------------|----|-----|--------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留     |
| 15:0  | VAL            | RW | 0x0 | 时基计数周期 |

## 17.11.2.8 时基周期有效值寄存器 (TBPRDA)

表 17-22: 时基周期有效值寄存器 (TBPRDA) 位段定义

| TBPRDA (Time-Base Period Active Register)                    |    |    |    |    |    |    |    |
|--------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: PWM->TBPRDA    Offset: 0x001C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                           | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                     |    |    |    |    |    |    |    |
| 23                                                           | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                     |    |    |    |    |    |    |    |
| 15                                                           | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                          |    |    |    |    |    |    |    |
| 7                                                            | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                          |    |    |    |    |    |    |    |

表 17-23: 时基周期有效值寄存器 (TBPRDA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                       |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                                                       |
| 15:0  | VAL            | RO | 0x0 | 时基计数周期有效值<br>当 TBCTL.PRDLOAD=3, 写 TBPRD 寄存器直接同时改变本寄存器值;<br>否则, 根据 TBCTL.PRDLOAD 指定的方式从 TBPRD 寄存器重置本寄存器值。 |

### 17.11.2.9 时基相位寄存器 (TBPHS)

表 17-24: 时基相位寄存器 (TBPHS) 位段定义

|                                                             |    |    |    |    |    |    |    |
|-------------------------------------------------------------|----|----|----|----|----|----|----|
| TBPHS (Time-Base Phase Register)                            |    |    |    |    |    |    |    |
| Access: PWM->TBPHS    Offset: 0x0020    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                          | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                    |    |    |    |    |    |    |    |
| 23                                                          | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                    |    |    |    |    |    |    |    |
| 15                                                          | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                         |    |    |    |    |    |    |    |
| 7                                                           | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                         |    |    |    |    |    |    |    |

表 17-25: 时基相位寄存器 (TBPHS) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                    |
|-------|----------------|----|-----|-------------------------------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                                                    |
| 15:0  | VAL            | RW | 0x0 | 同步事件发生时时基计数器待更新的相位<br>TBCTL.PHSEN=0: 忽略同步事件, TBCNT 计数值维持不变。<br>TBCTL.PHSEN=1: 同步事件发生时更新 TBCNT 为本寄存器值。 |

### 17.11.2.10 时基计数值寄存器 (TBCNT)

表 17-26: 时基计数值寄存器 (TBCNT) 位段定义

|                                                             |    |    |    |    |    |    |    |
|-------------------------------------------------------------|----|----|----|----|----|----|----|
| TBCNT (Time-Base Counter Register)                          |    |    |    |    |    |    |    |
| Access: PWM->TBCNT    Offset: 0x0024    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                          | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                    |    |    |    |    |    |    |    |
| 23                                                          | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                    |    |    |    |    |    |    |    |
| 15                                                          | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                         |    |    |    |    |    |    |    |
| 7                                                           | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                         |    |    |    |    |    |    |    |

表 17-27: 时基计数值寄存器 (TBCNT) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述       |
|-------|----------------|----|-----|----------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留       |
| 15:0  | VAL            | RW | 0x0 | 时基计数器当前值 |

## 17.11.2.11 时基标志寄存器 (TBFLG)

表 17-28: 时基标志寄存器 (TBFLG) 位段定义

|                                                             |         |         |         |        |        |        |        |
|-------------------------------------------------------------|---------|---------|---------|--------|--------|--------|--------|
| TBFLG (Time-Base Flag Register)                             |         |         |         |        |        |        |        |
| Access: PWM->TBFLG    Offset: 0x0028    Default: 0x00000000 |         |         |         |        |        |        |        |
| 31                                                          | 30      | 29      | 28      | 27     | 26     | 25     | 24     |
| RESERVED                                                    |         |         |         |        |        |        |        |
| 23                                                          | 22      | 21      | 20      | 19     | 18     | 17     | 16     |
| RESERVED                                                    |         |         |         |        |        |        |        |
| 15                                                          | 14      | 13      | 12      | 11     | 10     | 9      | 8      |
| RESERVED                                                    |         |         |         |        |        |        | CNTDIR |
| 7                                                           | 6       | 5       | 4       | 3      | 2      | 1      | 0      |
| CNTCMPD                                                     | CNTCMPC | CNTCMPB | CNTCMPA | CNTPRD | CNTZRO | CNTMAX | SYNCI  |

表 17-29: 时基标志寄存器 (TBFLG) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                               |
|------|---------------|----|-----|------------------------------------------------------------------|
| 31:9 | RESERVED_31_9 | RO | 0x0 | 保留                                                               |
| 8    | CNTDIR        | RO | 0x0 | 时基计数器计数方向<br>0: 时基计数器正递减计数<br>1: 时基计数器正递增计数                      |
| 7    | CNTCMPD       | RO | 0x0 | 时基计数至 CMPD 标志<br>0: TBCNT 从未计数至 CMPD<br>1: TBCNT 曾计数至 CMPD       |
| 6    | CNTCMPC       | RO | 0x0 | 时基计数至 CMPC 标志<br>0: TBCNT 从未计数至 CMPC<br>1: TBCNT 曾计数至 CMPC       |
| 5    | CNTCMPB       | RO | 0x0 | 时基计数至 CMPB 标志<br>0: TBCNT 从未计数至 CMPB<br>1: TBCNT 曾计数至 CMPB       |
| 4    | CNTCMPA       | RO | 0x0 | 时基计数至 CMPA 标志<br>0: TBCNT 从未计数至 CMPA<br>1: TBCNT 曾计数至 CMPA       |
| 3    | CNTPRD        | RO | 0x0 | 时基计数至 TBPRD 标志<br>0: TBCNT 从未计数至 TBPRD<br>1: TBCNT 曾计数至 TBPRD    |
| 2    | CNTZRO        | RO | 0x0 | 时基计数至 0 标志<br>0: TBCNT 从未计数至 0<br>1: TBCNT 曾计数至 0                |
| 1    | CNTMAX        | RO | 0x0 | 时基计数至 0xFFFF 标志<br>0: TBCNT 从未计数至 0xFFFF<br>1: TBCNT 曾计数至 0xFFFF |

| 位段 | 位段名   | 属性 | 复位值 | 描述                                           |
|----|-------|----|-----|----------------------------------------------|
| 0  | SYNCI | RO | 0x0 | 输入同步事件发生标志<br>0: 输入同步事件从未发生<br>1: 输入同步事件曾经发生 |

## 17.11.2.12 时基标志清除寄存器 (TBFLGCLR)

表 17-30: 时基标志清除寄存器 (TBFLGCLR) 位段定义

| TBFLGCLR (Time-Base Flag Clear Register) |         |                |         |                     |        |        |       |
|------------------------------------------|---------|----------------|---------|---------------------|--------|--------|-------|
| Access: PWM->TBFLGCLR                    |         | Offset: 0x002C |         | Default: 0x00000000 |        |        |       |
| 31                                       | 30      | 29             | 28      | 27                  | 26     | 25     | 24    |
| RESERVED                                 |         |                |         |                     |        |        |       |
| 23                                       | 22      | 21             | 20      | 19                  | 18     | 17     | 16    |
| RESERVED                                 |         |                |         |                     |        |        |       |
| 15                                       | 14      | 13             | 12      | 11                  | 10     | 9      | 8     |
| RESERVED                                 |         |                |         |                     |        |        |       |
| 7                                        | 6       | 5              | 4       | 3                   | 2      | 1      | 0     |
| CNTCMPD                                  | CNTCMPC | CNTCMPB        | CNTCMPA | CNTPRD              | CNTZRO | CNTMAX | SYNCI |

表 17-31: 时基标志清除寄存器 (TBFLGCLR) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                               |
|------|---------------|-----|-----|------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO  | 0x0 | 保留                                                               |
| 7    | CNTCMPD       | W1C | 0x0 | 时基计数至 CMPD 标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的标志, 本位段自动清零   |
| 6    | CNTCMPC       | W1C | 0x0 | 时基计数至 CMPC 标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的标志, 本位段自动清零   |
| 5    | CNTCMPB       | W1C | 0x0 | 时基计数至 CMPB 标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的标志, 本位段自动清零   |
| 4    | CNTCMPA       | W1C | 0x0 | 时基计数至 CMPA 标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的标志, 本位段自动清零   |
| 3    | CNTPRD        | W1C | 0x0 | 时基计数至 TPRD 标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的标志, 本位段自动清零   |
| 2    | CNTZRO        | W1C | 0x0 | 时基计数至 0 标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的标志, 本位段自动清零      |
| 1    | CNTMAX        | W1C | 0x0 | 时基计数至 0xFFFF 标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的标志, 本位段自动清零 |
| 0    | SYNCI         | W1C | 0x0 | 输入同步事件发生标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除对应的标志, 本位段自动清零      |

## 17.11.2.13 计数比较控制寄存器 (CMPCTL)

表 17-32: 计数比较控制寄存器 (CMPCTL) 位段定义

|                                                              |          |    |    |           |           |    |    |
|--------------------------------------------------------------|----------|----|----|-----------|-----------|----|----|
| CMPCTL (Counter-Compare Control Register)                    |          |    |    |           |           |    |    |
| Access: PWM->CMPCTL    Offset: 0x0030    Default: 0x00000000 |          |    |    |           |           |    |    |
| 31                                                           | 30       | 29 | 28 | 27        | 26        | 25 | 24 |
| RESERVED                                                     |          |    |    |           |           |    |    |
| 23                                                           | 22       | 21 | 20 | 19        | 18        | 17 | 16 |
| RESERVED                                                     |          |    |    |           |           |    |    |
| 15                                                           | 14       | 13 | 12 | 11        | 10        | 9  | 8  |
| CMPDLOCK                                                     | CMPDLOAD |    |    | CMPDCLOCK | CMPDCLOAD |    |    |
| 7                                                            | 6        | 5  | 4  | 3         | 2         | 1  | 0  |
| CMPBLOCK                                                     | CMPBLOAD |    |    | CMPBLOCK  | CMPBLOAD  |    |    |

表 17-33: 计数比较控制寄存器 (CMPCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                                                                                                       |
|-------|----------------|----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                       |
| 15    | CMPDLOCK       | RW | 0x0 | CMPD 有效值锁定<br>0: CMPDA 存储的有效值在 CMPCTL.CMPDLOAD 指定的时机用 CMPD 的值重置<br>1: CMPDA 存储的有效值维持不变                                                                                                                                                                                                                                                   |
| 14:12 | CMPDLOAD       | RW | 0x0 | CMPD 有效值重置方式<br>CMPCTL.CMPDLOCK=1 时本位段无效<br>0: TBCNT=0 时用 CMPD 重置 CMPDA<br>1: TBCNT=TBPRD 时用 CMPD 重置 CMPDA<br>2: TBCNT=0 或 TBCNT=TBPRD 时用 CMPD 重置<br>3: SYNC 事件时用 CMPD 重置 CMPDA<br>4: SYNC 事件或 TBCNT=0 时用 CMPD 重置<br>5: SYNC 事件或 TBCNT=TBPRD 时用 CMPD 重置<br>6: SYNC 事件、TBCNT=0 或 TBCNT=TBPRD 时用 CMPD 重置 CMPDA<br>7: 写 CMPD 寄存器时同时更新 CMPDA |
| 11    | CMPCLOCK       | RW | 0x0 | CMPC 有效值锁定<br>0: CMPCA 存储的有效值在 CMPCTL.CMPCLOAD 指定的时机用 CMPC 的值重置<br>1: CMPCA 存储的有效值维持不变                                                                                                                                                                                                                                                   |
| 10:8  | CMPCLOAD       | RW | 0x0 | CMPC 有效值重置方式<br>CMPCTL.CMPCLOCK=1 时本位段无效<br>0: TBCNT=0 时用 CMPC 重置 CMPCA<br>1: TBCNT=TBPRD 时用 CMPC 重置 CMPCA<br>2: TBCNT=0 或 TBCNT=TBPRD 时用 CMPC 重置<br>3: SYNC 事件时用 CMPC 重置 CMPCA<br>4: SYNC 事件或 TBCNT=0 时用 CMPC 重置<br>5: SYNC 事件或 TBCNT=TBPRD 时用 CMPC 重置                                                                                  |

| 位段  | 位段名      | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                                                                                                       |
|-----|----------|----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|     |          |    |     | 6: SYNC 事件、TBCNT=0 或 TBCNT=TBPRD 时用 CMPC 重置 CMPCA<br>7: 写 CMPC 寄存器时同时更新 CMPCA                                                                                                                                                                                                                                                            |
| 7   | CMPBLOCK | RW | 0x0 | CMPB 有效值锁定<br>0: CMPBA 存储的有效值在 CMPCTL.CMPBLOAD 指定的时机用 CMPB 的值重置<br>1: CMPBA 存储的有效值维持不变                                                                                                                                                                                                                                                   |
| 6:4 | CMPBLOAD | RW | 0x0 | CMPB 有效值重置方式<br>CMPCTL.CMPBLOCK=1 时本位段无效<br>0: TBCNT=0 时用 CMPB 重置 CMPBA<br>1: TBCNT=TBPRD 时用 CMPB 重置 CMPBA<br>2: TBCNT=0 或 TBCNT=TBPRD 时用 CMPB 重置<br>3: SYNC 事件时用 CMPB 重置 CMPBA<br>4: SYNC 事件或 TBCNT=0 时用 CMPB 重置<br>5: SYNC 事件或 TBCNT=TBPRD 时用 CMPB 重置<br>6: SYNC 事件、TBCNT=0 或 TBCNT=TBPRD 时用 CMPB 重置 CMPBA<br>7: 写 CMPB 寄存器时同时更新 CMPBA |
| 3   | CMPALOCK | RW | 0x0 | CMPA 有效值锁定<br>0: CMPAA 存储的有效值在 CMPCTL.CMPALOAD 指定的时机用 CMPA 的值重置<br>1: CMPAA 存储的有效值维持不变                                                                                                                                                                                                                                                   |
| 2:0 | CMPALOAD | RW | 0x0 | CMPA 有效值重置方式<br>CMPCTL.CMPALOCK=1 时本位段无效<br>0: TBCNT=0 时用 CMPA 重置 CMPAA<br>1: TBCNT=TBPRD 时用 CMPA 重置 CMPAA<br>2: TBCNT=0 或 TBCNT=TBPRD 时用 CMPA 重置<br>3: SYNC 事件时用 CMPA 重置 CMPAA<br>4: SYNC 事件或 TBCNT=0 时用 CMPA 重置<br>5: SYNC 事件或 TBCNT=TBPRD 时用 CMPA 重置<br>6: SYNC 事件、TBCNT=0 或 TBCNT=TBPRD 时用 CMPA 重置 CMPAA<br>7: 写 CMPA 寄存器时同时更新 CMPAA |

### 17.11.2.14 计数比较阈值 A 寄存器 (CMPA)

表 17-34: 计数比较阈值 A 寄存器 (CMPA) 位段定义

|                                                      |    |    |    |    |    |    |    |
|------------------------------------------------------|----|----|----|----|----|----|----|
| CMPA (Counter-Compare A Threshold Register)          |    |    |    |    |    |    |    |
| Access: PWM->CMPA Offset: 0x0034 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                   | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                             |    |    |    |    |    |    |    |
| 23                                                   | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                             |    |    |    |    |    |    |    |
| 15                                                   | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                  |    |    |    |    |    |    |    |
| 7                                                    | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                  |    |    |    |    |    |    |    |

表 17-35: 计数比较阈值 A 寄存器 (CMPA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述       |
|-------|----------------|----|-----|----------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留       |
| 15:0  | VAL            | RW | 0x0 | 计数比较阈值 A |

### 17.11.2.15 计数比较阈值 A 有效值寄存器 (CMPAA)

表 17-36: 计数比较阈值 A 有效值寄存器 (CMPAA) 位段定义

|                                                       |    |    |    |    |    |    |    |
|-------------------------------------------------------|----|----|----|----|----|----|----|
| CMPAA (Counter-Compare A Threshold Active Register)   |    |    |    |    |    |    |    |
| Access: PWM->CMPAA Offset: 0x0038 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                    | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                              |    |    |    |    |    |    |    |
| 23                                                    | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                              |    |    |    |    |    |    |    |
| 15                                                    | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                   |    |    |    |    |    |    |    |
| 7                                                     | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                   |    |    |    |    |    |    |    |

表 17-37: 计数比较阈值 A 有效值寄存器 (CMPAA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                             |
|-------|----------------|----|-----|------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                             |
| 15:0  | VAL            | RO | 0x0 | 计数比较阈值 A 有效值<br>TBCNT 等于该值时, 产生 TBCNT=CMPPA 事件 |



## 17.11.2.16 计数比较阈值 B 寄存器 (CMPB)

表 17-38: 计数比较阈值 B 寄存器 (CMPB) 位段定义

|                                                            |    |    |    |    |    |    |    |
|------------------------------------------------------------|----|----|----|----|----|----|----|
| CMPB (Counter-Compare B Threshold Register)                |    |    |    |    |    |    |    |
| Access: PWM->CMPB    Offset: 0x003C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                         | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 23                                                         | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 15                                                         | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                        |    |    |    |    |    |    |    |
| 7                                                          | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                        |    |    |    |    |    |    |    |

表 17-39: 计数比较阈值 B 寄存器 (CMPB) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述       |
|-------|----------------|----|-----|----------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留       |
| 15:0  | VAL            | RW | 0x0 | 计数比较阈值 B |

## 17.11.2.17 计数比较阈值 B 寄存器 (CMPBA)

表 17-40: 计数比较阈值 B 寄存器 (CMPBA) 位段定义

|                                                             |    |    |    |    |    |    |    |
|-------------------------------------------------------------|----|----|----|----|----|----|----|
| CMPBA (Counter-Compare B Threshold Active Register)         |    |    |    |    |    |    |    |
| Access: PWM->CMPBA    Offset: 0x0040    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                          | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                    |    |    |    |    |    |    |    |
| 23                                                          | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                    |    |    |    |    |    |    |    |
| 15                                                          | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                         |    |    |    |    |    |    |    |
| 7                                                           | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                         |    |    |    |    |    |    |    |

表 17-41: 计数比较阈值 B 寄存器 (CMPBA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                            |
|-------|----------------|----|-----|-----------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                            |
| 15:0  | VAL            | RO | 0x0 | 计数比较阈值 B 有效值<br>TBCNT 等于该值时, 产生 TBCNT=CMPB 事件 |

### 17.11.2.18 计数比较阈值 C 寄存器 (CMPC)

表 17-42: 计数比较阈值 C 寄存器 (CMPC) 位段定义

|                                                      |    |    |    |    |    |    |    |
|------------------------------------------------------|----|----|----|----|----|----|----|
| CMPC (Counter-Compare C Threshold Register)          |    |    |    |    |    |    |    |
| Access: PWM->CMPC Offset: 0x0044 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                   | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                             |    |    |    |    |    |    |    |
| 23                                                   | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                             |    |    |    |    |    |    |    |
| 15                                                   | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                  |    |    |    |    |    |    |    |
| 7                                                    | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                  |    |    |    |    |    |    |    |

表 17-43: 计数比较阈值 C 寄存器 (CMPC) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述       |
|-------|----------------|----|-----|----------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留       |
| 15:0  | VAL            | RW | 0x0 | 计数比较阈值 C |

### 17.11.2.19 计数比较阈值 C 有效值寄存器 (CMPCA)

表 17-44: 计数比较阈值 C 有效值寄存器 (CMPCA) 位段定义

|                                                       |    |    |    |    |    |    |    |
|-------------------------------------------------------|----|----|----|----|----|----|----|
| CMPCA (Counter-Compare C Threshold Active Register)   |    |    |    |    |    |    |    |
| Access: PWM->CMPCA Offset: 0x0048 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                    | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                              |    |    |    |    |    |    |    |
| 23                                                    | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                              |    |    |    |    |    |    |    |
| 15                                                    | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                   |    |    |    |    |    |    |    |
| 7                                                     | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                   |    |    |    |    |    |    |    |

表 17-45: 计数比较阈值 C 有效值寄存器 (CMPCA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                            |
|-------|----------------|----|-----|-----------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                            |
| 15:0  | VAL            | RO | 0x0 | 计数比较阈值 C 有效值<br>TBCNT 等于该值时, 产生 TBCNT=CMPC 事件 |

## 17.11.2.20 计数比较阈值 D 寄存器 (CMPD)

表 17-46: 计数比较阈值 D 寄存器 (CMPD) 位段定义

|                                                            |    |    |    |    |    |    |    |
|------------------------------------------------------------|----|----|----|----|----|----|----|
| CMPD (Counter-Compare D Threshold Register)                |    |    |    |    |    |    |    |
| Access: PWM->CMPD    Offset: 0x004C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                         | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 23                                                         | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                   |    |    |    |    |    |    |    |
| 15                                                         | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                        |    |    |    |    |    |    |    |
| 7                                                          | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                        |    |    |    |    |    |    |    |

表 17-47: 计数比较阈值 D 寄存器 (CMPD) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述       |
|-------|----------------|----|-----|----------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留       |
| 15:0  | VAL            | RW | 0x0 | 计数比较阈值 D |

## 17.11.2.21 计数比较阈值 D 有效值寄存器 (CMPDA)

表 17-48: 计数比较阈值 D 有效值寄存器 (CMPDA) 位段定义

|                                                             |    |    |    |    |    |    |    |
|-------------------------------------------------------------|----|----|----|----|----|----|----|
| CMPDA (Counter-Compare D Threshold Active Register)         |    |    |    |    |    |    |    |
| Access: PWM->CMPDA    Offset: 0x0050    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                          | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                    |    |    |    |    |    |    |    |
| 23                                                          | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                    |    |    |    |    |    |    |    |
| 15                                                          | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                         |    |    |    |    |    |    |    |
| 7                                                           | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                         |    |    |    |    |    |    |    |

表 17-49: 计数比较阈值 D 有效值寄存器 (CMPDA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                            |
|-------|----------------|----|-----|-----------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                            |
| 15:0  | VAL            | RO | 0x0 | 计数比较阈值 D 有效值<br>TBCNT 等于该值时, 产生 TBCNT=CMPD 事件 |

### 17.11.2.22 行为限定控制寄存器 (AQCTL)

表 17-50: 行为限定控制寄存器 (AQCTL) 位段定义

|                                                             |            |    |    |            |            |    |    |
|-------------------------------------------------------------|------------|----|----|------------|------------|----|----|
| AQCTL (Action-Qualifier Control Register)                   |            |    |    |            |            |    |    |
| Access: PWM->AQCTL    Offset: 0x0054    Default: 0x00000000 |            |    |    |            |            |    |    |
| 31                                                          | 30         | 29 | 28 | 27         | 26         | 25 | 24 |
| RESERVED                                                    |            |    |    |            |            |    |    |
| 23                                                          | 22         | 21 | 20 | 19         | 18         | 17 | 16 |
| RESERVED                                                    |            |    |    |            |            |    |    |
| 15                                                          | 14         | 13 | 12 | 11         | 10         | 9  | 8  |
| T1SEL                                                       |            |    |    | T0SEL      |            |    |    |
| 7                                                           | 6          | 5  | 4  | 3          | 2          | 1  | 0  |
| AQCTLBLOCK                                                  | AQCTLBLOAD |    |    | AQCTLALOCK | AQCTLALOAD |    |    |

表 17-51: 行为限定控制寄存器 (AQCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                             |
|-------|----------------|----|-----|------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                                                                                             |
| 15:12 | T1SEL          | RW | 0x0 | T1 事件源选择<br>0: DCAEVT0<br>1: DCAEVT1<br>2: DCBEVT0<br>3: DCBEVT1<br>4: TZ0<br>5: TZ1<br>6: TZ2<br>7: TZ3<br>8: TZ4<br>9: SYNCI<br>其他: 禁用 T1 事件 |
| 11:8  | T0SEL          | RW | 0x0 | T0 事件源选择<br>0: DCAEVT0<br>1: DCAEVT1<br>2: DCBEVT0<br>3: DCBEVT1<br>4: TZ0<br>5: TZ1<br>6: TZ2<br>7: TZ3<br>8: TZ4<br>9: SYNCI<br>其他: 禁用 T0 事件 |
| 7     | AQCTLBLOCK     | RW | 0x0 | AQCTLB 有效值锁定<br>0: AQCTLBA 维持的有效值由 QCTL.AQCTLBLOAD 指定的时机用 AQCTLB 的值重置<br>1: AQCTLBA 存储的有效值维持不变                                                 |

| 位段  | 位段名        | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                                                                                                                                    |
|-----|------------|----|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 6:4 | AQCTLBLOAD | RW | 0x0 | AQCTLB 有效值重置方式<br>AQCTL.AQCTLBLOCK=1 本位段无效<br>0: TBCNT=0 时用 AQCTLB 重置 AQCTLBA<br>1: TBCNT=TBPRD 时用 AQCTLB 重置 AQCTLBA<br>2: TBCNT=0 或 TBCNT=TBPRD 时用 AQCTLB 重置<br>3: SYNC 事件时用 AQCTLB 重置 AQCTLBA<br>4: SYNC 事件或 BCNT=0 时用 AQCTLB 重置<br>5: SYNC 事件或 BCNT=TBPRD 时用 AQCTLB 重置<br>6: SYNC 事件、TBCNT=0 或 TBCNT=TBPRD 时用<br>AQCTLB 重置 AQCTLBA<br>7: 写 AQCTLB 寄存器时同时更新 AQCTLBA |
| 3   | AQCTLALOCK | RW | 0x0 | AQCTLA 有效值锁定<br>0: AQCTLAA 维持的有效值由 QCTL.AQCTLALOAD<br>指定的时机用 AQCTLA 的值重置<br>1: AQCTLAA 存储的有效值维持不变                                                                                                                                                                                                                                                                     |
| 2:0 | AQCTLALOAD | RW | 0x0 | AQCTLA 有效值重置方式<br>AQCTL.AQCTLALOCK=1 本位段无效<br>0: TBCNT=0 时用 AQCTLA 重置 AQCTLAA<br>1: TBCNT=TBPRD 时用 AQCTLA 重置 AQCTLAA<br>2: TBCNT=0 或 TBCNT=TBPRD 时用 AQCTLA 重置<br>3: SYNC 事件时用 AQCTLA 重置 AQCTLAA<br>4: SYNC 事件或 BCNT=0 时用 AQCTLA 重置<br>5: SYNC 事件或 BCNT=TBPRD 时用 AQCTLA 重置<br>6: SYNC 事件、TBCNT=0 或 TBCNT=TBPRD 时用<br>AQCTLA 重置 AQCTLAA<br>7: 写 AQCTLA 寄存器时同时更新 AQCTLAA |

### 17.11.2.23 行为限定 A 路输出控制寄存器 (AQCTLA)

表 17-52: 行为限定 A 路输出控制寄存器 (AQCTLA) 位段定义

| AQCTLA (Action-Qualifier Output A Control Register)          |    |     |    |     |    |     |    |
|--------------------------------------------------------------|----|-----|----|-----|----|-----|----|
| Access: PWM->AQCTLA    Offset: 0x0058    Default: 0x00000000 |    |     |    |     |    |     |    |
| 31                                                           | 30 | 29  | 28 | 27  | 26 | 25  | 24 |
| RESERVED                                                     |    |     |    |     |    |     |    |
| 23                                                           | 22 | 21  | 20 | 19  | 18 | 17  | 16 |
| RESERVED                                                     |    |     |    | T1D |    | T1U |    |
| 15                                                           | 14 | 13  | 12 | 11  | 10 | 9   | 8  |
| T0D                                                          |    | T0U |    | CBD |    | CBU |    |
| 7                                                            | 6  | 5   | 4  | 3   | 2  | 1   | 0  |
| CAD                                                          |    | CAU |    | PRD |    | ZRO |    |

表 17-53: 行为限定 A 路输出控制寄存器 (AQCTLA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                     |
|-------|----------------|----|-----|------------------------------------------------------------------------------------------------------------------------|
| 31:20 | RESERVED_31_20 | RO | 0x0 | 保留                                                                                                                     |
| 19:18 | T1D            | RW | 0x0 | T1 事件发生且 TBCNT 递减计数时的 A 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxA 输出低)<br>2: 置高 (PWMxA 输出高)<br>3: 翻转 (PWMxA 当前输出翻转)          |
| 17:16 | T1U            | RW | 0x0 | T1 事件发生且 TBCNT 递增计数时的 A 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxA 输出低)<br>2: 置高 (PWMxA 输出高)<br>3: 翻转 (PWMxA 当前输出翻转)          |
| 15:14 | T0D            | RW | 0x0 | T0 事件发生且 TBCNT 递减计数时的 A 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxA 输出低)<br>2: 置高 (PWMxA 输出高)<br>3: 翻转 (PWMxA 当前输出翻转)          |
| 13:12 | T0U            | RW | 0x0 | T0 事件发生且 TBCNT 递增计数时的 A 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxA 输出低)<br>2: 置高 (PWMxA 输出高)<br>3: 翻转 (PWMxA 当前输出翻转)          |
| 11:10 | CBD            | RW | 0x0 | TBCNT=COMPB 事件发生且 TBCNT 递减计数时的 A 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxA 输出低)<br>2: 置高 (PWMxA 输出高)<br>3: 翻转 (PWMxA 当前输出翻转) |

| 位段  | 位段名 | 属性 | 复位值 | 描述                                                                                                                |
|-----|-----|----|-----|-------------------------------------------------------------------------------------------------------------------|
| 9:8 | CBU | RW | 0x0 | TBCNT=CMPB 事件发生且 TBCNT 递增计数时的 A 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxA 输出低）<br>2: 置高（PWMxA 输出高）<br>3: 翻转（PWMxA 当前输出翻转） |
| 7:6 | CAD | RW | 0x0 | TBCNT=CMPA 事件发生且 TBCNT 递减计数时的 A 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxA 输出低）<br>2: 置高（PWMxA 输出高）<br>3: 翻转（PWMxA 当前输出翻转） |
| 5:4 | CAU | RW | 0x0 | TBCNT=CMPA 事件发生且 TBCNT 递增计数时的 A 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxA 输出低）<br>2: 置高（PWMxA 输出高）<br>3: 翻转（PWMxA 当前输出翻转） |
| 3:2 | PRD | RW | 0x0 | TBCNT=TBPRD 事件时的 A 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxA 输出低）<br>2: 置高（PWMxA 输出高）<br>3: 翻转（PWMxA 当前输出翻转）              |
| 1:0 | ZRO | RW | 0x0 | TBCNT=0 事件时的 A 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxA 输出低）<br>2: 置高（PWMxA 输出高）<br>3: 翻转（PWMxA 当前输出翻转）                  |

### 17.11.2.24 行为限定 A 路输出控制有效值寄存器 (AQCTLAA)

表 17-54: 行为限定 A 路输出控制有效值寄存器 (AQCTLAA) 位段定义

| AQCTLAA (Action-Qualifier Output A Control Active Register)   |    |     |    |     |    |     |    |
|---------------------------------------------------------------|----|-----|----|-----|----|-----|----|
| Access: PWM->AQCTLAA    Offset: 0x005C    Default: 0x00000000 |    |     |    |     |    |     |    |
| 31                                                            | 30 | 29  | 28 | 27  | 26 | 25  | 24 |
| RESERVED                                                      |    |     |    |     |    |     |    |
| 23                                                            | 22 | 21  | 20 | 19  | 18 | 17  | 16 |
| RESERVED                                                      |    |     |    | T1D |    | T1U |    |
| 15                                                            | 14 | 13  | 12 | 11  | 10 | 9   | 8  |
| T0D                                                           |    | T0U |    | CBD |    | CBU |    |
| 7                                                             | 6  | 5   | 4  | 3   | 2  | 1   | 0  |
| CAD                                                           |    | CAU |    | PRD |    | ZRO |    |

表 17-55: 行为限定 A 路输出控制有效值寄存器 (AQCTLAA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                    |
|-------|----------------|----|-----|-----------------------------------------------------------------------------------------------------------------------|
| 31:20 | RESERVED_31_20 | RO | 0x0 | 保留                                                                                                                    |
| 19:18 | T1D            | RO | 0x0 | T1 事件发生且 TBCNT 递减计数时的 A 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxA 输出低)<br>2: 置高 (PWMxA 输出高)<br>3: 翻转 (PWMxA 当前输出翻转)         |
| 17:16 | T1U            | RO | 0x0 | T1 事件发生且 TBCNT 递增计数时的 A 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxA 输出低)<br>2: 置高 (PWMxA 输出高)<br>3: 翻转 (PWMxA 当前输出翻转)         |
| 15:14 | T0D            | RO | 0x0 | T0 事件发生且 TBCNT 递减计数时的 A 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxA 输出低)<br>2: 置高 (PWMxA 输出高)<br>3: 翻转 (PWMxA 当前输出翻转)         |
| 13:12 | T0U            | RO | 0x0 | T0 事件发生且 TBCNT 递增计数时的 A 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxA 输出低)<br>2: 置高 (PWMxA 输出高)<br>3: 翻转 (PWMxA 当前输出翻转)         |
| 11:10 | CBD            | RO | 0x0 | TBCNT=CMPB 事件发生且 TBCNT 递减计数时的 A 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxA 输出低)<br>2: 置高 (PWMxA 输出高)<br>3: 翻转 (PWMxA 当前输出翻转) |



| 位段  | 位段名 | 属性 | 复位值 | 描述                                                                                                                                       |
|-----|-----|----|-----|------------------------------------------------------------------------------------------------------------------------------------------|
| 9:8 | CBU | RO | 0x0 | <p>TBCNT=CMPB 事件发生且 TBCNT 递增计数时的 A 路输出</p> <p>0: 不变（禁止操作）</p> <p>1: 清零（PWMxA 输出低）</p> <p>2: 置高（PWMxA 输出高）</p> <p>3: 翻转（PWMxA 当前输出翻转）</p> |
| 7:6 | CAD | RO | 0x0 | <p>TBCNT=CMPA 事件发生且 TBCNT 递减计数时的 A 路输出</p> <p>0: 不变（禁止操作）</p> <p>1: 清零（PWMxA 输出低）</p> <p>2: 置高（PWMxA 输出高）</p> <p>3: 翻转（PWMxA 当前输出翻转）</p> |
| 5:4 | CAU | RO | 0x0 | <p>TBCNT=CMPA 事件发生且 TBCNT 递增计数时的 A 路输出</p> <p>0: 不变（禁止操作）</p> <p>1: 清零（PWMxA 输出低）</p> <p>2: 置高（PWMxA 输出高）</p> <p>3: 翻转（PWMxA 当前输出翻转）</p> |
| 3:2 | PRD | RO | 0x0 | <p>TBCNT=TBPRD 事件时的 A 路输出</p> <p>0: 不变（禁止操作）</p> <p>1: 清零（PWMxA 输出低）</p> <p>2: 置高（PWMxA 输出高）</p> <p>3: 翻转（PWMxA 当前输出翻转）</p>              |
| 1:0 | ZRO | RO | 0x0 | <p>TBCNT=0 事件时的 A 路输出</p> <p>0: 不变（禁止操作）</p> <p>1: 清零（PWMxA 输出低）</p> <p>2: 置高（PWMxA 输出高）</p> <p>3: 翻转（PWMxA 当前输出翻转）</p>                  |

### 17.11.2.25 行为限定 B 路输出控制寄存器 (AQCTLB)

表 17-56: 行为限定 B 路输出控制寄存器 (AQCTLB) 位段定义

| AQCTLB (Action-Qualifier Output B Control Register)          |    |     |    |     |    |     |    |
|--------------------------------------------------------------|----|-----|----|-----|----|-----|----|
| Access: PWM->AQCTLB    Offset: 0x0060    Default: 0x00000000 |    |     |    |     |    |     |    |
| 31                                                           | 30 | 29  | 28 | 27  | 26 | 25  | 24 |
| RESERVED                                                     |    |     |    |     |    |     |    |
| 23                                                           | 22 | 21  | 20 | 19  | 18 | 17  | 16 |
| RESERVED                                                     |    |     |    | T1D |    | T1U |    |
| 15                                                           | 14 | 13  | 12 | 11  | 10 | 9   | 8  |
| T0D                                                          |    | T0U |    | CBD |    | CBU |    |
| 7                                                            | 6  | 5   | 4  | 3   | 2  | 1   | 0  |
| CAD                                                          |    | CAU |    | PRD |    | ZRO |    |

表 17-57: 行为限定 B 路输出控制寄存器 (AQCTLB) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                    |
|-------|----------------|----|-----|-----------------------------------------------------------------------------------------------------------------------|
| 31:20 | RESERVED_31_20 | RO | 0x0 | 保留                                                                                                                    |
| 19:18 | T1D            | RW | 0x0 | T1 事件发生且 TBCNT 递减计数时的 B 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxB 输出低)<br>2: 置高 (PWMxB 输出高)<br>3: 翻转 (PWMxB 当前输出翻转)         |
| 17:16 | T1U            | RW | 0x0 | T1 事件发生且 TBCNT 递增计数时的 B 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxB 输出低)<br>2: 置高 (PWMxB 输出高)<br>3: 翻转 (PWMxB 当前输出翻转)         |
| 15:14 | T0D            | RW | 0x0 | T0 事件发生且 TBCNT 递减计数时的 B 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxB 输出低)<br>2: 置高 (PWMxB 输出高)<br>3: 翻转 (PWMxB 当前输出翻转)         |
| 13:12 | T0U            | RW | 0x0 | T0 事件发生且 TBCNT 递增计数时的 B 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxB 输出低)<br>2: 置高 (PWMxB 输出高)<br>3: 翻转 (PWMxB 当前输出翻转)         |
| 11:10 | CBD            | RW | 0x0 | TBCNT=CMPB 事件发生且 TBCNT 递减计数时的 B 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxB 输出低)<br>2: 置高 (PWMxB 输出高)<br>3: 翻转 (PWMxB 当前输出翻转) |

| 位段  | 位段名 | 属性 | 复位值 | 描述                                                                                                                |
|-----|-----|----|-----|-------------------------------------------------------------------------------------------------------------------|
| 9:8 | CBU | RW | 0x0 | TBCNT=CMPB 事件发生且 TBCNT 递增计数时的 B 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxB 输出低）<br>2: 置高（PWMxB 输出高）<br>3: 翻转（PWMxB 当前输出翻转） |
| 7:6 | CAD | RW | 0x0 | TBCNT=CMPA 事件发生且 TBCNT 递减计数时的 B 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxB 输出低）<br>2: 置高（PWMxB 输出高）<br>3: 翻转（PWMxB 当前输出翻转） |
| 5:4 | CAU | RW | 0x0 | TBCNT=CMPA 事件发生且 TBCNT 递增计数时的 B 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxB 输出低）<br>2: 置高（PWMxB 输出高）<br>3: 翻转（PWMxB 当前输出翻转） |
| 3:2 | PRD | RW | 0x0 | TBCNT=TBPRD 事件时的 B 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxB 输出低）<br>2: 置高（PWMxB 输出高）<br>3: 翻转（PWMxB 当前输出翻转）              |
| 1:0 | ZRO | RW | 0x0 | TBCNT=0 事件时的 B 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxB 输出低）<br>2: 置高（PWMxB 输出高）<br>3: 翻转（PWMxB 当前输出翻转）                  |

### 17.11.2.26 行为限定 B 路输出控制有效值寄存器 (AQCTLBA)

表 17-58: 行为限定 B 路输出控制有效值寄存器 (AQCTLBA) 位段定义

| AQCTLBA (Action-Qualifier Output B Control Active Register) |    |     |    |     |    |     |    |
|-------------------------------------------------------------|----|-----|----|-----|----|-----|----|
| Access: PWM->AQCTLBA Offset: 0x0064 Default: 0x00000000     |    |     |    |     |    |     |    |
| 31                                                          | 30 | 29  | 28 | 27  | 26 | 25  | 24 |
| RESERVED                                                    |    |     |    |     |    |     |    |
| 23                                                          | 22 | 21  | 20 | 19  | 18 | 17  | 16 |
| RESERVED                                                    |    |     |    | T1D |    | T1U |    |
| 15                                                          | 14 | 13  | 12 | 11  | 10 | 9   | 8  |
| T0D                                                         |    | T0U |    | CBD |    | CBU |    |
| 7                                                           | 6  | 5   | 4  | 3   | 2  | 1   | 0  |
| CAD                                                         |    | CAU |    | PRD |    | ZRO |    |

表 17-59: 行为限定 B 路输出控制有效值寄存器 (AQCTLBA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                     |
|-------|----------------|----|-----|------------------------------------------------------------------------------------------------------------------------|
| 31:20 | RESERVED_31_20 | RO | 0x0 | 保留                                                                                                                     |
| 19:18 | T1D            | RO | 0x0 | T1 事件发生且 TBCNT 递减计数时的 B 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxB 输出低)<br>2: 置高 (PWMxB 输出高)<br>3: 翻转 (PWMxB 当前输出翻转)          |
| 17:16 | T1U            | RO | 0x0 | T1 事件发生且 TBCNT 递增计数时的 B 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxB 输出低)<br>2: 置高 (PWMxB 输出高)<br>3: 翻转 (PWMxB 当前输出翻转)          |
| 15:14 | T0D            | RO | 0x0 | T0 事件发生且 TBCNT 递减计数时的 B 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxB 输出低)<br>2: 置高 (PWMxB 输出高)<br>3: 翻转 (PWMxB 当前输出翻转)          |
| 13:12 | T0U            | RO | 0x0 | T0 事件发生且 TBCNT 递增计数时的 B 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxB 输出低)<br>2: 置高 (PWMxB 输出高)<br>3: 翻转 (PWMxB 当前输出翻转)          |
| 11:10 | CBD            | RO | 0x0 | TBCNT=CM PB 事件发生且 TBCNT 递减计数时的 B 路输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxB 输出低)<br>2: 置高 (PWMxB 输出高)<br>3: 翻转 (PWMxB 当前输出翻转) |

| 位段  | 位段名 | 属性 | 复位值 | 描述                                                                                                                |
|-----|-----|----|-----|-------------------------------------------------------------------------------------------------------------------|
| 9:8 | CBU | RO | 0x0 | TBCNT=CMPB 事件发生且 TBCNT 递增计数时的 B 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxB 输出低）<br>2: 置高（PWMxB 输出高）<br>3: 翻转（PWMxB 当前输出翻转） |
| 7:6 | CAD | RO | 0x0 | TBCNT=CMPA 事件发生且 TBCNT 递减计数时的 B 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxB 输出低）<br>2: 置高（PWMxB 输出高）<br>3: 翻转（PWMxB 当前输出翻转） |
| 5:4 | CAU | RO | 0x0 | TBCNT=CMPA 事件发生且 TBCNT 递增计数时的 B 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxB 输出低）<br>2: 置高（PWMxB 输出高）<br>3: 翻转（PWMxB 当前输出翻转） |
| 3:2 | PRD | RO | 0x0 | TBCNT=TBPRD 事件时的 B 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxB 输出低）<br>2: 置高（PWMxB 输出高）<br>3: 翻转（PWMxB 当前输出翻转）              |
| 1:0 | ZRO | RO | 0x0 | TBCNT=0 事件时的 B 路输出<br>0: 不变（禁止操作）<br>1: 清零（PWMxB 输出低）<br>2: 置高（PWMxB 输出高）<br>3: 翻转（PWMxB 当前输出翻转）                  |

### 17.11.2.27 行为限定软件强制寄存器 (AQSFRC)

表 17-60: 行为限定软件强制寄存器 (AQSFRC) 位段定义

|                                                              |    |         |    |        |    |        |    |
|--------------------------------------------------------------|----|---------|----|--------|----|--------|----|
| AQSFRC (Action-Qualifier Software Force Register)            |    |         |    |        |    |        |    |
| Access: PWM->AQSFRC    Offset: 0x0068    Default: 0x00000000 |    |         |    |        |    |        |    |
| 31                                                           | 30 | 29      | 28 | 27     | 26 | 25     | 24 |
| RESERVED                                                     |    |         |    |        |    |        |    |
| 23                                                           | 22 | 21      | 20 | 19     | 18 | 17     | 16 |
| RESERVED                                                     |    |         |    |        |    |        |    |
| 15                                                           | 14 | 13      | 12 | 11     | 10 | 9      | 8  |
| RESERVED                                                     |    |         |    |        |    | OTSFRC |    |
| 7                                                            | 6  | 5       | 4  | 3      | 2  | 1      | 0  |
| RESERVED                                                     |    | CSFLOAD |    | ACTSFB |    | ACTSFA |    |

表 17-61: 行为限定软件强制寄存器 (AQSFRC) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                                           |
|-------|----------------|-----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO  | 0x0 | 保留                                                                                                                                                                           |
| 9:8   | OTSFRC         | W1S | 0x0 | 行为限定单次软件强制，本位段自动清零<br>0: 写 0 无效，读总是 0<br>1: 写 1 产生 A 路单次行为限定软件强制事件<br>2: 写 2 产生 B 路单次行为限定软件强制事件<br>3: 写 3 产生 AB 两路单次行为限定软件强制事件                                               |
| 7:6   | RESERVED_7_6   | RO  | 0x0 | 保留                                                                                                                                                                           |
| 5:4   | CSFLOAD        | RW  | 0x0 | AQCSFRC 寄存器有效值重置方式<br>0: TBCNT=0 时用 AQCSFRC 更新 AQCSFRCA<br>1: TBCNT=TBPRD 时用 AQCSFRC 更新 AQCSFRCA<br>2: TBCNT=0 或 TBCNT=TBPRD 时用 AQCSFRC 更新<br>3: 写 AQCSFRC 寄存器时同时更新 AQCSFRCA |
| 3:2   | ACTSFB         | RW  | 0x0 | B 路行为限定单次软件强制时的输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxB 输出低)<br>2: 置高 (PWMxB 输出高)<br>3: 翻转 (PWMxB 当前输出翻转)                                                                          |
| 1:0   | ACTSFA         | RW  | 0x0 | A 路行为限定单次软件强制时的输出<br>0: 不变 (禁止操作)<br>1: 清零 (PWMxA 输出低)<br>2: 置高 (PWMxA 输出高)<br>3: 翻转 (PWMxA 当前输出翻转)                                                                          |

## 17.11.2.28 行为限定软件持续强制寄存器 (AQCSFRC)

表 17-62: 行为限定软件持续强制寄存器 (AQCSFRC) 位段定义

| AQCSFRC (Action-Qualifier Continuous Software Force Register) |    |    |    |    |    |      |    |
|---------------------------------------------------------------|----|----|----|----|----|------|----|
| Access: PWM->AQCSFRC    Offset: 0x006C    Default: 0x00000000 |    |    |    |    |    |      |    |
| 31                                                            | 30 | 29 | 28 | 27 | 26 | 25   | 24 |
| RESERVED                                                      |    |    |    |    |    |      |    |
| 23                                                            | 22 | 21 | 20 | 19 | 18 | 17   | 16 |
| RESERVED                                                      |    |    |    |    |    |      |    |
| 15                                                            | 14 | 13 | 12 | 11 | 10 | 9    | 8  |
| RESERVED                                                      |    |    |    |    |    | CSFB |    |
| 7                                                             | 6  | 5  | 4  | 3  | 2  | 1    | 0  |
| RESERVED                                                      |    |    |    |    |    | CSFA |    |

表 17-63: 行为限定软件持续强制寄存器 (AQCSFRC) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                  |
|-------|----------------|----|-----|---------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                                  |
| 9:8   | CSFB           | RW | 0x0 | B 路软件持续强制<br>0: 不强制<br>1: 强制 B 路输出持续为低<br>2: 强制 B 路输出持续为高<br>3: 不强制 |
| 7:2   | RESERVED_7_2   | RO | 0x0 | 保留                                                                  |
| 1:0   | CSFA           | RW | 0x0 | A 路软件持续强制<br>0: 不强制<br>1: 强制 A 路输出持续为低<br>2: 强制 A 路输出持续为高<br>3: 不强制 |

### 17.11.2.29 行为限定软件持续强制有效值寄存器（AQCSFRCA）

表 17-64：行为限定软件持续强制有效值寄存器（AQCSFRCA）位段定义

|                                                                       |    |    |    |    |    |      |    |
|-----------------------------------------------------------------------|----|----|----|----|----|------|----|
| AQCSFRCA (Action-Qualifier Continuous Software Force Active Register) |    |    |    |    |    |      |    |
| Access: PWM->AQCSFRCA    Offset: 0x0070    Default: 0x00000000        |    |    |    |    |    |      |    |
| 31                                                                    | 30 | 29 | 28 | 27 | 26 | 25   | 24 |
| RESERVED                                                              |    |    |    |    |    |      |    |
| 23                                                                    | 22 | 21 | 20 | 19 | 18 | 17   | 16 |
| RESERVED                                                              |    |    |    |    |    |      |    |
| 15                                                                    | 14 | 13 | 12 | 11 | 10 | 9    | 8  |
| RESERVED                                                              |    |    |    |    |    | CSFB |    |
| 7                                                                     | 6  | 5  | 4  | 3  | 2  | 1    | 0  |
| RESERVED                                                              |    |    |    |    |    | CSFA |    |

表 17-65：行为限定软件持续强制有效值寄存器（AQCSFRCA）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                  |
|-------|----------------|----|-----|---------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                                  |
| 9:8   | CSFB           | RO | 0x0 | B 路软件持续强制<br>0: 不强制<br>1: 强制 B 路输出持续为低<br>2: 强制 B 路输出持续为高<br>3: 不强制 |
| 7:2   | RESERVED_7_2   | RO | 0x0 | 保留                                                                  |
| 1:0   | CSFA           | RO | 0x0 | A 路软件持续强制<br>0: 不强制<br>1: 强制 A 路输出持续为低<br>2: 强制 A 路输出持续为高<br>3: 不强制 |



## 17.11.2.30 死区产生控制寄存器 (DBCTL)

表 17-66: 死区产生控制寄存器 (DBCTL) 位段定义

| DBCTL (Dead-Band Generator Control Register)                |           |           |        |          |           |           |          |
|-------------------------------------------------------------|-----------|-----------|--------|----------|-----------|-----------|----------|
| Access: PWM->DBCTL    Offset: 0x0074    Default: 0x00000070 |           |           |        |          |           |           |          |
| 31                                                          | 30        | 29        | 28     | 27       | 26        | 25        | 24       |
| RESERVED                                                    |           |           |        |          | DBFEDLOCK | DBFEDLOAD |          |
| 23                                                          | 22        | 21        | 20     | 19       | 18        | 17        | 16       |
| RESERVED                                                    | DBREDLOCK | DBREDLOAD |        | RESERVED | DBCTLLOCK | DBCTLLOAD |          |
| 15                                                          | 14        | 13        | 12     | 11       | 10        | 9         | 8        |
| RESERVED                                                    |           |           |        |          | CTLWE     | HALFCYCLE | DUALEDGE |
| 7                                                           | 6         | 5         | 4      | 3        | 2         | 1         | 0        |
| OUTBSRC                                                     | OUTASRC   | FEDPOL    | REDPOL | FEDSRC   | REDSRC    | FEDEN     | REDEN    |

表 17-67: 死区产生控制寄存器 (DBCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                                                    |
|-------|----------------|----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:27 | RESERVED_31_27 | RO | 0x0 | 保留                                                                                                                                                                                    |
| 26    | DBFEDLOCK      | RW | 0x0 | DBFED 有效值锁定<br>0: DBFEDA 维持的有效值由 DBCTL.DBFEDLOAD 指定的时机用 DBFED 的值重置<br>1: DBFEDA 存储的有效值维持不变                                                                                            |
| 25:24 | DBFEDLOAD      | RW | 0x0 | DBFED 有效值重置方式<br>DBCTL.DBFEDLOCK=1 时本位段无效<br>0: TBCNT=0 时用 DBFED 重置 DBFEDA<br>1: TBCNT=TBPRD 时用 DBFED 重置 DBFEDA<br>2: TBCNT=0 或 TBCNT=TBPRD 时用 DBFED 重置<br>3: 写 DBFED 寄存器时同时更新 DBFEDA |
| 23    | RESERVED_23    | RO | 0x0 | 保留                                                                                                                                                                                    |
| 22    | DBREDLOCK      | RW | 0x0 | DBRED 有效值锁定<br>0: DBREDA 存储的有效值由 DBCTL.DBREDLOAD 指定的时机用 DBRED 的值重置<br>1: DBREDA 存储的有效值维持不变                                                                                            |
| 21:20 | DBREDLOAD      | RW | 0x0 | DBRED 有效值重置方式<br>DBCTL.DBREDLOCK=1 时本位段无效<br>0: TBCNT=0 时用 DBRED 重置 DBREDA<br>1: TBCNT=TBPRD 时用 DBRED 重置 DBREDA<br>2: TBCNT=0 或 TBCNT=TBPRD 时用 DBRED 重置<br>3: 写 DBRED 寄存器时同时更新 DBREDA |
| 19    | RESERVED_19    | RO | 0x0 | 保留                                                                                                                                                                                    |
| 18    | DBCTLLOCK      | RW | 0x0 | DBCTLA 有效值锁定<br>0: DBCTLA 存储的有效值由 DBCTL.DBCTLLOAD 指定的时机用 DBCTL[9:0]的值重置                                                                                                               |

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                                                                                 |
|-------|----------------|-----|-----|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|       |                |     |     | 1: DBCTLA 存储的有效值维持不变                                                                                                                                                                               |
| 17:16 | DBCTLLOAD      | RW  | 0x0 | DBCTLA 有效值重置方式<br>DBCTL.DBCTLLOCK=1 时本位段无效<br>0: TBCNT=0 时用 DBCTL[9:0]重置 DBCTLA<br>1: TBCNT=TBPRD 时用 DBCTL[9:0]重置 DBCTLA<br>2: TBCNT=0 或 TBCNT=TBPRD 用 DBCTL[9:0]重置<br>3: 写 DBCTL[9:0]时同时更新 DBCTLA |
| 15:11 | RESERVED_15_11 | RO  | 0x0 | 保留                                                                                                                                                                                                 |
| 10    | CTLWE          | W1C | 0x0 | 本寄存器低 10 位写使能<br>本位段必须与低 10 位同时写<br>0: 不改写低 10 位<br>1: 改写低 10 位                                                                                                                                    |
| 9     | HALFCYCLE      | RW  | 0x0 | 半时钟周期模式使能<br>0: 全时钟周期模式，即死区控制计数时钟为时基计数时钟 TBCLK<br>1: 半时钟周期模式，即死区控制计数时钟为 2 倍时基计数时钟 TBCLK                                                                                                            |
| 8     | DUALEDGE       | RW  | 0x0 | 双边沿延迟模式<br>0: 上升沿延迟和下降沿延迟为两个独立通路<br>1: 对同一个信号输入先做上升沿延迟，再做下降沿延迟                                                                                                                                     |
| 7     | OUTBSRC        | RW  | 0x0 | B 路输出源<br>0: 下降沿延迟通路作为 B 路输出<br>1: 上升沿延迟通路作为 B 路输出                                                                                                                                                 |
| 6     | OUTASRC        | RW  | 0x1 | A 路输出源<br>0: 下降沿延迟通路作为 A 路输出<br>1: 上升沿延迟通路作为 A 路输出                                                                                                                                                 |
| 5     | FEDPOL         | RW  | 0x1 | 下降沿延迟通路输出极性<br>0: 下降沿延迟通路输出取反变为低电平有效<br>1: 下降沿延迟通路输出保持原始极性                                                                                                                                         |
| 4     | REDPOL         | RW  | 0x1 | 上升沿延迟通路输出极性<br>0: 上升沿延迟通路输出取反变为低电平有效<br>1: 上升沿延迟通路输出保持原始极性                                                                                                                                         |
| 3     | FEDSRC         | RW  | 0x0 | 下降沿延迟通路输入源<br>0: A 路输入作为下降沿延迟通路源<br>1: B 路输入作为下降沿延迟通路源                                                                                                                                             |
| 2     | REDSRC         | RW  | 0x0 | 上升沿延迟通路输入源<br>0: A 路输入作为上升沿延迟通路源                                                                                                                                                                   |

| 位段 | 位段名   | 属性 | 复位值 | 描述                                                             |
|----|-------|----|-----|----------------------------------------------------------------|
|    |       |    |     | 1: B 路输入作为上升沿延迟通路源                                             |
| 1  | FEDEN | RW | 0x0 | 下降沿延时通路使能<br>0: 绕过下降沿延时通路，将行为限定子模块输出的信号直接送至下一级<br>1: 启用下降沿延时通路 |
| 0  | REDEN | RW | 0x0 | 上升沿延时通路使能<br>0: 绕过上升沿延时通路，将行为限定子模块输出的信号直接送至下一级<br>1: 启用上升沿延时通路 |

## 17.11.2.31 死区产生控制有效值寄存器 (DBCTLA)

表 17-68: 死区产生控制有效值寄存器 (DBCTLA) 位段定义

| DBCTLA (Dead-Band Generator Control Active Register) |         |                |        |                     |        |           |          |
|------------------------------------------------------|---------|----------------|--------|---------------------|--------|-----------|----------|
| Access: PWM->DBCTLA                                  |         | Offset: 0x0078 |        | Default: 0x00000070 |        |           |          |
| 31                                                   | 30      | 29             | 28     | 27                  | 26     | 25        | 24       |
| RESERVED                                             |         |                |        |                     |        |           |          |
| 23                                                   | 22      | 21             | 20     | 19                  | 18     | 17        | 16       |
| RESERVED                                             |         |                |        |                     |        |           |          |
| 15                                                   | 14      | 13             | 12     | 11                  | 10     | 9         | 8        |
| RESERVED                                             |         |                |        |                     |        | HALFCYCLE | DUALEDGE |
| 7                                                    | 6       | 5              | 4      | 3                   | 2      | 1         | 0        |
| OUTBSRC                                              | OUTASRC | FEDPOL         | REDPOL | FEDSRC              | REDSRC | FEDEN     | REDEN    |

表 17-69: 死区产生控制有效值寄存器 (DBCTLA) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                        |
|-------|----------------|----|-----|-------------------------------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 半时钟周期模式使能<br>0: 全时钟周期模式, 即死区控制计数时钟为时基计数时钟 TBCLK<br>1: 半时钟周期模式, 即死区控制计数时钟为 2 倍时基计数时钟 TBCLK |
| 9     | HALFCYCLE      | RO | 0x0 | 双边沿延迟模式<br>0: 上升沿延迟和下降沿延迟为两个独立通路<br>1: 对同一个信号输入先做上升沿延迟, 再做下降沿延迟                           |
| 8     | DUALEDGE       | RO | 0x0 | B 路输出源<br>0: 下降沿延迟通路作为 B 路输出<br>1: 上升沿延迟通路作为 B 路输出                                        |
| 7     | OUTBSRC        | RO | 0x0 | A 路输出源<br>0: 下降沿延迟通路作为 A 路输出<br>1: 上升沿延迟通路作为 A 路输出                                        |
| 6     | OUTASRC        | RO | 0x1 | 下降沿延迟通路输出极性<br>0: 下降沿延迟通路输出取反变为低电平有效<br>1: 下降沿延迟通路输出保持原始极性                                |
| 5     | FEDPOL         | RO | 0x1 | 上升沿延迟通路输出极性<br>0: 上升沿延迟通路输出取反变为低电平有效<br>1: 上升沿延迟通路输出保持原始极性                                |
| 4     | REDPOL         | RO | 0x1 | 下降沿延迟通路输入源<br>0: A 路输入作为下降沿延迟通路源<br>1: B 路输入作为下降沿延迟通路源                                    |

| 位段 | 位段名    | 属性 | 复位值 | 描述                                                                                        |
|----|--------|----|-----|-------------------------------------------------------------------------------------------|
| 3  | FEDSRC | RO | 0x0 | 上升沿延迟通路输入源<br>0: A 路输入作为上升沿延迟通路源<br>1: B 路输入作为上升沿延迟通路源                                    |
| 2  | REDSRC | RO | 0x0 | 下降沿延时通路使能<br>0: 绕开下降沿延时通路, 将行为限定子模块输出的信号直接送至下一级<br>1: 启用下降沿延时通路                           |
| 1  | FEDEN  | RO | 0x0 | 上升沿延时通路使能<br>0: 绕开上升沿延时通路, 将行为限定子模块输出的信号直接送至下一级<br>1: 启用上升沿延时通路                           |
| 0  | REDEN  | RO | 0x0 | 半时钟周期模式使能<br>0: 全时钟周期模式, 即死区控制计数时钟为时基计数时钟 TBCLK<br>1: 半时钟周期模式, 即死区控制计数时钟为 2 倍时基计数时钟 TBCLK |

#### 17.11.2.32 死区产生上升沿延迟量寄存器 (DBRED)

表 17-70: 死区产生上升沿延迟量寄存器 (DBRED) 位段定义

| DBRED (Dead-Band Generator Rising Edge Delay Register)      |    |    |    |    |    |    |    |
|-------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: PWM->DBRED    Offset: 0x007C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                          | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                    |    |    |    |    |    |    |    |
| 23                                                          | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                    |    |    |    |    |    |    |    |
| 15                                                          | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                         |    |    |    |    |    |    |    |
| 7                                                           | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                         |    |    |    |    |    |    |    |

表 17-71: 死区产生上升沿延迟量寄存器 (DBRED) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述     |
|-------|----------------|----|-----|--------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留     |
| 15:0  | VAL            | RW | 0x0 | 上升沿延迟量 |

### 17.11.2.33 死区产生上升沿延迟量有效值寄存器（DBREDA）

表 17-72：死区产生上升沿延迟量有效值寄存器（DBREDA）位段定义

| DBREDA (Dead-Band Generator Rising Edge Delay Active Register) |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: PWM->DBREDA Offset: 0x0080 Default: 0x00000000         |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                       |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                       |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                            |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                            |    |    |    |    |    |    |    |

表 17-73：死区产生上升沿延迟量有效值寄存器（DBREDA）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述        |
|-------|----------------|----|-----|-----------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留        |
| 15:0  | VAL            | RO | 0x0 | 上升沿延迟量有效值 |

### 17.11.2.34 死区产生下降沿延迟量寄存器（DBFED）

表 17-74：死区产生下降沿延迟量寄存器（DBFED）位段定义

| DBFED (Dead-Band Generator Falling Edge Delay Register) |    |    |    |    |    |    |    |
|---------------------------------------------------------|----|----|----|----|----|----|----|
| Access: PWM->DBFED Offset: 0x0084 Default: 0x00000000   |    |    |    |    |    |    |    |
| 31                                                      | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                |    |    |    |    |    |    |    |
| 23                                                      | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                |    |    |    |    |    |    |    |
| 15                                                      | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                     |    |    |    |    |    |    |    |
| 7                                                       | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                     |    |    |    |    |    |    |    |

表 17-75：死区产生下降沿延迟量寄存器（DBFED）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述     |
|-------|----------------|----|-----|--------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留     |
| 15:0  | VAL            | RW | 0x0 | 下降沿延迟量 |

**17.11.2.35 死区产生下降沿延迟量有效值寄存器（DBFEDA）****表 17-76：死区产生下降沿延迟量有效值寄存器（DBFEDA）位段定义**

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| DBFEDA (Dead-Band Generator Falling Edge Delay Active Register) |    |    |    |    |    |    |    |
| Access: PWM->DBFEDA    Offset: 0x0088    Default: 0x00000000    |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

**表 17-77：死区产生下降沿延迟量有效值寄存器（DBFEDA）位段描述**

| 位段    | 位段名            | 属性 | 复位值 | 描述        |
|-------|----------------|----|-----|-----------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留        |
| 15:0  | VAL            | RO | 0x0 | 下降沿延迟量有效值 |

### 17.11.2.36 封锁事件选择寄存器（TZSEL）

表 17-78：封锁事件选择寄存器（TZSEL）位段定义

|                                                             |              |              |              |              |              |               |               |
|-------------------------------------------------------------|--------------|--------------|--------------|--------------|--------------|---------------|---------------|
| TZSEL (Trip-Zone Event Select Register)                     |              |              |              |              |              |               |               |
| Access: PWM->TZSEL    Offset: 0x008C    Default: 0x00030003 |              |              |              |              |              |               |               |
| 31<br>CBCWE                                                 | 30           | 29           | 28           | 27           | 26<br>DBGCBC | 25<br>DCBEVT1 | 24<br>DCAEVT1 |
| RESERVED                                                    |              |              |              |              |              |               |               |
| 23<br>CLKERRCBC                                             | 22<br>TZ4CBC | 21<br>TZ3CBC | 20<br>TZ2CBC | 19<br>TZ1CBC | 18<br>TZ0CBC | 17<br>CBCOUT  | 16            |
| 15<br>OSTWE                                                 | 14           | 13           | 12           | 11           | 10<br>DBGOST | 9<br>DCBEVT0  | 8<br>DCAEVT0  |
| RESERVED                                                    |              |              |              |              |              |               |               |
| 7<br>CLKERROST                                              | 6<br>TZ4OST  | 5<br>TZ3OST  | 4<br>TZ2OST  | 3<br>TZ1OST  | 2<br>TZ0OST  | 1<br>OSTOUT   | 0             |

表 17-79：封锁事件选择寄存器（TZSEL）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                              |
|-------|----------------|-----|-----|---------------------------------------------------------------------------------|
| 31    | CBCWE          | W1S | 0x0 | 周期性封锁控制位段写使能<br>本位段必须与周期性封锁控制位段同时写<br>0: 不改写周期性封锁控制位段<br>1: 改写周期性封锁控制位段，本位段自动清零 |
| 30:27 | RESERVED_30_27 | RO  | 0x0 | 保留                                                                              |
| 26    | DBGCBC         | RW  | 0x0 | 选中（逻辑或）调试或异常等原因引起的 CPU 停止作为周期性封锁事件<br>0: 不选中<br>1: 选中                           |
| 25    | DCBEVT1        | RW  | 0x0 | 选中（逻辑或）数字比较事件 DCBEVT1 作为周期性封锁事件<br>0: 不选中<br>1: 选中                              |
| 24    | DCAEVT1        | RW  | 0x0 | 选中（逻辑或）数字比较事件 DCAEVT1 作为周期性封锁事件<br>0: 不选中<br>1: 选中                              |
| 23    | CLKERRCBC      | RW  | 0x0 | 选中（逻辑或）时钟错误作为周期性封锁事件<br>0: 不选中<br>1: 选中                                         |
| 22    | TZ4CBC         | RW  | 0x0 | 选中（逻辑或）TZ4 作为周期性封锁事件<br>0: 不选中<br>1: 选中                                         |
| 21    | TZ3CBC         | RW  | 0x0 | 选中（逻辑或）TZ3 作为周期性封锁事件<br>0: 不选中<br>1: 选中                                         |



| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                            |
|-------|----------------|-----|-----|-----------------------------------------------------------------------------------------------|
| 20    | TZ2CBC         | RW  | 0x0 | 选中（逻辑或）TZ2 作为周期性封锁事件<br>0: 不选中<br>1: 选中                                                       |
| 19    | TZ1CBC         | RW  | 0x0 | 选中（逻辑或）TZ1 作为周期性封锁事件<br>0: 不选中<br>1: 选中                                                       |
| 18    | TZ0CBC         | RW  | 0x0 | 选中（逻辑或）TZ0 作为周期性封锁事件<br>0: 不选中<br>1: 选中                                                       |
| 17:16 | CBCOUT         | RW  | 0x3 | 周期性封锁信号输出选择<br>0: 不输出周期性封锁事件<br>1: 仅选择异步通路，即各选中事件原始逻辑或<br>2: 仅选择锁存通路<br>3: 同时选择异步通路和锁存通路（逻辑或） |
| 15    | OSTWE          | W1S | 0x0 | 一次性封锁控制位段写使能<br>本位段必须与一次性封锁控制位段同时写<br>0: 不改写一次性封锁控制位段<br>1: 改写一次性封锁控制位段，本位段自动清零               |
| 14:11 | RESERVED_14_11 | RO  | 0x0 | 保留                                                                                            |
| 10    | DBGOST         | RW  | 0x0 | 选中（逻辑或）调试或异常等原因引起的 CPU 停止作为一次性封锁事件<br>0: 不选中<br>1: 选中                                         |
| 9     | DCBEVT0        | RW  | 0x0 | 选中（逻辑或）DCBEVT0 作为一次性封锁事件<br>0: 不选中<br>1: 选中                                                   |
| 8     | DCAEVT0        | RW  | 0x0 | 选中（逻辑或）DCAEVT0 作为一次性封锁事件<br>0: 不选中<br>1: 选中                                                   |
| 7     | CLKERROST      | RW  | 0x0 | 选中（逻辑或）时钟错误作为一次性封锁事件<br>0: 不选中<br>1: 选中                                                       |
| 6     | TZ4OST         | RW  | 0x0 | 选中（逻辑或）TZ4 作为一次性封锁事件<br>0: 不选中<br>1: 选中                                                       |
| 5     | TZ3OST         | RW  | 0x0 | 选中（逻辑或）TZ3 作为一次性封锁事件                                                                          |

| 位段  | 位段名    | 属性 | 复位值 | 描述                                                                                             |
|-----|--------|----|-----|------------------------------------------------------------------------------------------------|
|     |        |    |     | 0: 不选中<br>1: 选中                                                                                |
| 4   | TZ2OST | RW | 0x0 | 选中（逻辑或）TZ2 作为一次性封锁事件<br>0: 不选中<br>1: 选中                                                        |
| 3   | TZ1OST | RW | 0x0 | 选中（逻辑或）TZ1 作为一次性封锁事件<br>0: 不选中<br>1: 选中                                                        |
| 2   | TZ0OST | RW | 0x0 | 选中（逻辑或）TZ0 作为一次性封锁事件<br>0: 不选中<br>1: 选中                                                        |
| 1:0 | OSTOUT | RW | 0x3 | 一次性封锁信号输出选择<br>0: 不输出一一次性封锁事件<br>1: 仅选择异步通路，即各选中事件原始逻辑或<br>2: 仅选择锁存通路<br>3: 同时选择异步通路和锁存通路（逻辑或） |

## 17.11.2.37 封锁标志寄存器 (TZFLG)

表 17-80: 封锁标志寄存器 (TZFLG) 位段定义

| TZFLG (Trip-Zone Flag Register)                             |           |           |        |        |        |        |         |
|-------------------------------------------------------------|-----------|-----------|--------|--------|--------|--------|---------|
| Access: PWM->TZFLG    Offset: 0x0090    Default: 0x00000000 |           |           |        |        |        |        |         |
| 31                                                          | 30        | 29        | 28     | 27     | 26     | 25     | 24      |
| RESERVED                                                    |           |           |        |        |        |        |         |
| 23                                                          | 22        | 21        | 20     | 19     | 18     | 17     | 16      |
| RESERVED                                                    |           |           |        |        |        | DBGCBC | DCBEVT1 |
| 15                                                          | 14        | 13        | 12     | 11     | 10     | 9      | 8       |
| DCAEVT1                                                     | CLKERRCBC | TZ4CBC    | TZ3CBC | TZ2CBC | TZ1CBC | TZ0CBC | DBGOST  |
| 7                                                           | 6         | 5         | 4      | 3      | 2      | 1      | 0       |
| DCBEVT0                                                     | DCAEVT0   | CLKERROST | TZ4OST | TZ3OST | TZ2OST | TZ1OST | TZ0OST  |

表 17-81: 封锁标志寄存器 (TZFLG) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                               |
|-------|----------------|----|-----|------------------------------------------------------------------|
| 31:18 | RESERVED_31_18 | RO | 0x0 | 保留                                                               |
| 17    | DBGCBC         | RO | 0x0 | 锁存的 CPU 停止（由调试或异常错误等原因引起）触发的周期性封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生 |
| 16    | DCBEVT1        | RO | 0x0 | 锁存的数字比较 DCBEVT1 触发的周期封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生           |
| 15    | DCAEVT1        | RO | 0x0 | 锁存的数字比较 DCAEVT1 触发的周期封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生           |
| 14    | CLKERRCBC      | RO | 0x0 | 锁存的时钟错误触发的周期封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生                    |
| 13    | TZ4CBC         | RO | 0x0 | 锁存的 TZ4 触发的周期封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生                   |
| 12    | TZ3CBC         | RO | 0x0 | 锁存的 TZ3 触发的周期封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生                   |
| 11    | TZ2CBC         | RO | 0x0 | 锁存的 TZ2 触发的周期封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生                   |

| 位段 | 位段名       | 属性 | 复位值 | 描述                                                               |
|----|-----------|----|-----|------------------------------------------------------------------|
| 10 | TZ1CBC    | RO | 0x0 | 锁存的 TZ1 触发的周期封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生                   |
| 9  | TZ0CBC    | RO | 0x0 | 锁存的 TZ0 触发的周期封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生                   |
| 8  | DBGOST    | RO | 0x0 | 锁存的 CPU 停止（由调试或异常错误等原因引起）触发的一次性封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生 |
| 7  | DCBEVT0   | RO | 0x0 | 锁存的数字比较 DCBEVT0 触发的一次封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生           |
| 6  | DCAEVT0   | RO | 0x0 | 锁存的数字比较 DCAEVT0 触发的一次封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生           |
| 5  | CLKERROST | RO | 0x0 | 锁存的时钟错误触发的一次封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生                    |
| 4  | TZ4OST    | RO | 0x0 | 锁存的 TZ4 触发的一次封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生                   |
| 3  | TZ3OST    | RO | 0x0 | 锁存的 TZ3 触发的一次封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生                   |
| 2  | TZ2OST    | RO | 0x0 | 锁存的 TZ2 触发的一次封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生                   |
| 1  | TZ1OST    | RO | 0x0 | 锁存的 TZ1 触发的一次封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生                   |
| 0  | TZ0OST    | RO | 0x0 | 锁存的 TZ0 触发的一次封锁标志<br>0: 该封锁事件未发生<br>1: 该封锁事件发生                   |

## 17.11.2.38 封锁状态清除寄存器 (TZSTCLR)

表 17-82: 封锁状态清除寄存器 (TZSTCLR) 位段定义

|                                                                |           |           |        |        |        |        |         |
|----------------------------------------------------------------|-----------|-----------|--------|--------|--------|--------|---------|
| TZFLGCLR (Trip-Zone Flag Clear Register)                       |           |           |        |        |        |        |         |
| Access: PWM->TZFLGCLR    Offset: 0x0094    Default: 0x00000000 |           |           |        |        |        |        |         |
| 31                                                             | 30        | 29        | 28     | 27     | 26     | 25     | 24      |
| RESERVED                                                       |           |           |        |        |        |        |         |
| 23                                                             | 22        | 21        | 20     | 19     | 18     | 17     | 16      |
| RESERVED                                                       |           |           |        |        |        | DBGCBC | DCBEVT1 |
| 15                                                             | 14        | 13        | 12     | 11     | 10     | 9      | 8       |
| DCAEVT1                                                        | CLKERRCBC | TZ4CBC    | TZ3CBC | TZ2CBC | TZ1CBC | TZ0CBC | DBGOST  |
| 7                                                              | 6         | 5         | 4      | 3      | 2      | 1      | 0       |
| DCBEVT0                                                        | DCAEVT0   | CLKERROST | TZ4OST | TZ3OST | TZ2OST | TZ1OST | TZ0OST  |

表 17-83: 封锁状态清除寄存器 (TZSTCLR) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                               |
|-------|----------------|-----|-----|----------------------------------------------------------------------------------|
| 31:18 | RESERVED_31_18 | RO  | 0x0 | 保留                                                                               |
| 17    | DBGCBC         | W1C | 0x0 | 清除由 CPU 停止（因为调试或错误异常等原因引起）触发的周期封锁标志<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除锁存的标志，本位段自动清零 |
| 16    | DCBEVT1        | W1C | 0x0 | 清除由 DCBEVT1 触发的周期封锁标志<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除锁存的标志，本位段自动清零               |
| 15    | DCAEVT1        | W1C | 0x0 | 清除由 DCAEVT1 触发的周期封锁标志<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除锁存的标志，本位段自动清零               |
| 14    | CLKERRCBC      | W1C | 0x0 | 清除由时钟错误触发的周期封锁标志<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除锁存的标志，本位段自动清零                    |
| 13    | TZ4CBC         | W1C | 0x0 | 清除由 TZ4 触发的周期封锁标志<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除锁存的标志，本位段自动清零                   |
| 12    | TZ3CBC         | W1C | 0x0 | 清除由 TZ3 触发的周期封锁标志<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除锁存的标志，本位段自动清零                   |
| 11    | TZ2CBC         | W1C | 0x0 | 清除由 TZ2 触发的周期封锁标志<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除锁存的标志，本位段自动清零                   |

| 位段 | 位段名       | 属性  | 复位值 | 描述                                                                                   |
|----|-----------|-----|-----|--------------------------------------------------------------------------------------|
| 10 | TZ1CBC    | W1C | 0x0 | 清除由 TZ1 触发的周期封锁标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除锁存的标志, 本位段自动清零                     |
| 9  | TZ0CBC    | W1C | 0x0 | 清除由 TZ0 触发的周期封锁标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除锁存的标志, 本位段自动清零                     |
| 8  | DBGOST    | W1C | 0x0 | 清除由 CPU 停止 (因为调试或错误异常等原因引起) 触发的一次封锁标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除锁存的标志, 本位段自动清零 |
| 7  | DCBEVT0   | W1C | 0x0 | 清除由 DCBEVT0 触发的一次封锁标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除锁存的标志, 本位段自动清零                 |
| 6  | DCAEVT0   | W1C | 0x0 | 清除由 DCAEVT0 触发的一次封锁标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除锁存的标志, 本位段自动清零                 |
| 5  | CLKERROST | W1C | 0x0 | 清除由时钟错误触发的一次封锁标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除锁存的标志, 本位段自动清零                      |
| 4  | TZ4OST    | W1C | 0x0 | 清除由 TZ4 触发的一次封锁标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除锁存的标志, 本位段自动清零                     |
| 3  | TZ3OST    | W1C | 0x0 | 清除由 TZ3 触发的一次封锁标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除锁存的标志, 本位段自动清零                     |
| 2  | TZ2OST    | W1C | 0x0 | 清除由 TZ2 触发的一次封锁标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除锁存的标志, 本位段自动清零                     |
| 1  | TZ1OST    | W1C | 0x0 | 清除由 TZ1 触发的一次封锁标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除锁存的标志, 本位段自动清零                     |
| 0  | TZ0OST    | W1C | 0x0 | 清除由 TZ0 触发的一次封锁标志<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除锁存的标志, 本位段自动清零                     |

## 17.11.2.39 数字比较封锁事件选择寄存器 (TZDCSEL)

表 17-84: 数字比较封锁事件选择寄存器 (TZDCSEL) 位段定义

| TZDCSEL (Trip-Zone Digital Compare Event Select Register)     |    |            |    |            |            |    |            |
|---------------------------------------------------------------|----|------------|----|------------|------------|----|------------|
| Access: PWM->TZDCSEL    Offset: 0x0098    Default: 0x00000000 |    |            |    |            |            |    |            |
| 31                                                            | 30 | 29         | 28 | 27         | 26         | 25 | 24         |
| RESERVED                                                      |    |            |    |            |            |    |            |
| 23                                                            | 22 | 21         | 20 | 19         | 18         | 17 | 16         |
| RESERVED                                                      |    |            |    |            |            |    |            |
| 15                                                            | 14 | 13         | 12 | 11         | 10         | 9  | 8          |
| RESERVED                                                      |    |            |    | RAWDCBEVT1 |            |    | RAWDCBEVT0 |
| 7                                                             | 6  | 5          | 4  | 3          | 2          | 1  | 0          |
| RAWDCBEVT0                                                    |    | RAWDCAEVT1 |    |            | RAWDCAEVT0 |    |            |

表 17-85: 数字比较封锁事件选择寄存器 (TZDCSEL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                               |
|-------|----------------|----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:12 | RESERVED_31_12 | RO | 0x0 | 保留                                                                                                                                                               |
| 11:9  | RAWDCBEVT1     | RW | 0x0 | 数字比较封锁原始事件 RAWDCBEVT1 选择<br>0: 禁用事件<br>1: DCBL 为低<br>2: DCBL 为高<br>3: DCBH 为低<br>4: DCBH 为高<br>5: DCBL 为低且 DCBH 为高<br>6: DCBL 为高且 DCBH 为低<br>7: DCBL 为高且 DCBH 为高 |
| 8:6   | RAWDCBEVT0     | RW | 0x0 | 数字比较封锁原始事件 RAWDCBEVT0 选择<br>0: 禁用事件<br>1: DCBL 为低<br>2: DCBL 为高<br>3: DCBH 为低<br>4: DCBH 为高<br>5: DCBL 为低且 DCBH 为高<br>6: DCBL 为高且 DCBH 为低<br>7: DCBL 为高且 DCBH 为高 |
| 5:3   | RAWDCAEVT1     | RW | 0x0 | 数字比较封锁原始事件 RAWDCAEVT1 选择<br>0: 禁用事件<br>1: DCAL 为低<br>2: DCAL 为高<br>3: DCAH 为低<br>4: DCAH 为高<br>5: DCAL 为低且 DCAH 为高<br>6: DCAL 为高且 DCAH 为低<br>7: DCAL 为高且 DCAH 为高 |

| 位段  | 位段名        | 属性 | 复位值 | 描述                                                                                                                                                               |
|-----|------------|----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 2:0 | RAWDCAEVT0 | RW | 0x0 | 数字比较封锁原始事件 RAWDCAEVT0 选择<br>0: 禁用事件<br>1: DCAL 为低<br>2: DCAL 为高<br>3: DCAH 为低<br>4: DCAH 为高<br>5: DCAL 为低且 DCAH 为高<br>6: DCAL 为高且 DCAH 为低<br>7: DCAL 为高且 DCAH 为高 |



## 17.11.2.40 封锁 A 路输出控制寄存器 (TZACTL)

表 17-86: 封锁 A 路输出控制寄存器 (TZACTL) 位段定义

|                                                              |          |     |    |          |     |          |          |
|--------------------------------------------------------------|----------|-----|----|----------|-----|----------|----------|
| TZACTL (Trip-Zone Output A Control Register)                 |          |     |    |          |     |          |          |
| Access: PWM->TZACTL    Offset: 0x009C    Default: 0x00000000 |          |     |    |          |     |          |          |
| 31                                                           | 30       | 29  | 28 | 27       | 26  | 25       | 24       |
| RESERVED                                                     |          |     |    |          |     |          |          |
| 23                                                           | 22       | 21  | 20 | 19       | 18  | 17       | 16       |
| RESERVED                                                     |          |     |    |          |     | DCAEVT1D |          |
| 15                                                           | 14       | 13  | 12 | 11       | 10  | 9        | 8        |
| DCAEVT1D                                                     | DCAEVT1U |     |    | DCAEVT0D |     |          | DCAEVT0U |
| 7                                                            | 6        | 5   | 4  | 3        | 2   | 1        | 0        |
| DCAEVT0U                                                     |          | TZD |    |          | TZU |          |          |

表 17-87: 封锁 A 路输出控制寄存器 (TZACTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                     |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------|
| 31:18 | RESERVED_31_18 | RO | 0x0 | 保留                                                                                                     |
| 17:15 | DCAEVT1D       | RW | 0x0 | DCAEVT1 发生且 TBCNT 递减计数时的封锁输出<br>0: A 路输出高阻<br>1: A 路输出置低<br>2: A 路输出置高<br>3: A 路输出翻转<br>7: A 路输出维持原样不变 |
| 14:12 | DCAEVT1U       | RW | 0x0 | DCAEVT1 发生且 TBCNT 递增计数时的封锁输出<br>0: A 路输出高阻<br>1: A 路输出置低<br>2: A 路输出置高<br>3: A 路输出翻转<br>7: A 路输出维持原样不变 |
| 11:9  | DCAEVT0D       | RW | 0x0 | DCAEVT0 发生且 TBCNT 递减计数时的封锁输出<br>0: A 路输出高阻<br>1: A 路输出置低<br>2: A 路输出置高<br>3: A 路输出翻转<br>7: A 路输出维持原样不变 |
| 8:6   | DCAEVT0U       | RW | 0x0 | DCAEVT0 发生且 TBCNT 递增计数时的封锁输出<br>0: A 路输出高阻<br>1: A 路输出置低<br>2: A 路输出置高<br>3: A 路输出翻转<br>7: A 路输出维持原样不变 |

| 位段  | 位段名 | 属性 | 复位值 | 描述                                                                                                    |
|-----|-----|----|-----|-------------------------------------------------------------------------------------------------------|
| 5:3 | TZD | RW | 0x0 | TZ 事件发生且 TBCNT 递减计数时的封锁输出<br>0: A 路输出高阻<br>1: A 路输出置低<br>2: A 路输出置高<br>3: A 路输出翻转<br>1xx: A 路输出维持原样不变 |
| 2:0 | TZU | RW | 0x0 | TZ 事件发生且 TBCNT 递增计数时的封锁输出<br>0: A 路输出高阻<br>1: A 路输出置低<br>2: A 路输出置高<br>3: A 路输出翻转<br>7: A 路输出维持原样不变   |

## 17.11.2.41 封锁 B 路输出控制寄存器 (TZBCTL)

表 17-88: 封锁 B 路输出控制寄存器 (TZBCTL) 位段定义

|                                                              |          |     |    |          |     |          |          |
|--------------------------------------------------------------|----------|-----|----|----------|-----|----------|----------|
| TZBCTL (Trip-Zone Output B Control Register)                 |          |     |    |          |     |          |          |
| Access: PWM->TZBCTL    Offset: 0x00A0    Default: 0x00000000 |          |     |    |          |     |          |          |
| 31                                                           | 30       | 29  | 28 | 27       | 26  | 25       | 24       |
| RESERVED                                                     |          |     |    |          |     |          |          |
| 23                                                           | 22       | 21  | 20 | 19       | 18  | 17       | 16       |
| RESERVED                                                     |          |     |    |          |     | DCBEVT1D |          |
| 15                                                           | 14       | 13  | 12 | 11       | 10  | 9        | 8        |
| DCBEVT1D                                                     | DCBEVT1U |     |    | DCBEVT0D |     |          | DCBEVT0U |
| 7                                                            | 6        | 5   | 4  | 3        | 2   | 1        | 0        |
| DCBEVT0U                                                     |          | TZD |    |          | TZU |          |          |

表 17-89: 封锁 B 路输出控制寄存器 (TZBCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                     |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------|
| 31:18 | RESERVED_31_18 | RO | 0x0 | 保留                                                                                                     |
| 17:15 | DCBEVT1D       | RW | 0x0 | DCBEVT1 发生且 TBCNT 递减计数时的封锁输出<br>0: B 路输出高阻<br>1: B 路输出置低<br>2: B 路输出置高<br>3: B 路输出翻转<br>7: B 路输出维持原样不变 |
| 14:12 | DCBEVT1U       | RW | 0x0 | DCBEVT1 发生且 TBCNT 递增计数时的封锁输出<br>0: B 路输出高阻<br>1: B 路输出置低<br>2: B 路输出置高<br>3: B 路输出翻转<br>7: B 路输出维持原样不变 |
| 11:9  | DCBEVT0D       | RW | 0x0 | DCBEVT0 发生且 TBCNT 递减计数时的封锁输出<br>0: B 路输出高阻<br>1: B 路输出置低<br>2: B 路输出置高<br>3: B 路输出翻转<br>7: B 路输出维持原样不变 |
| 8:6   | DCBEVT0U       | RW | 0x0 | DCBEVT0 发生且 TBCNT 递增计数时的封锁输出<br>0: B 路输出高阻<br>1: B 路输出置低<br>2: B 路输出置高<br>3: B 路输出翻转<br>7: B 路输出维持原样不变 |

| 位段  | 位段名 | 属性 | 复位值 | 描述                                                                                                  |
|-----|-----|----|-----|-----------------------------------------------------------------------------------------------------|
| 5:3 | TZD | RW | 0x0 | TZ 事件发生且 TBCNT 递减计数时的封锁输出<br>0: B 路输出高阻<br>1: B 路输出置低<br>2: B 路输出置高<br>3: B 路输出翻转<br>7: B 路输出维持原样不变 |
| 2:0 | TZU | RW | 0x0 | TZ 事件发生且 TBCNT 递增计数时的封锁输出<br>0: B 路输出高阻<br>1: B 路输出置低<br>2: B 路输出置高<br>3: B 路输出翻转<br>7: B 路输出维持原样不变 |

## 17.11.2.42 封锁中断标志寄存器 (TZIF)

表 17-90: 封锁中断标志寄存器 (TZIF) 位段定义

|                                                            |     |            |            |            |            |        |        |
|------------------------------------------------------------|-----|------------|------------|------------|------------|--------|--------|
| TZIF (Trip-Zone Interrupt Flag Register)                   |     |            |            |            |            |        |        |
| Access: PWM->TZIF    Offset: 0x00A4    Default: 0x00000000 |     |            |            |            |            |        |        |
| 31                                                         | 30  | 29         | 28         | 27         | 26         | 25     | 24     |
| RESERVED                                                   |     |            |            |            |            |        |        |
| 23                                                         | 22  | 21         | 20         | 19         | 18         | 17     | 16     |
| RESERVED                                                   |     | DCBEVT1RAW | DCBEVT0RAW | DCAEVT1RAW | DCAEVT0RAW | CBCRAW | OSTRAW |
| 15                                                         | 14  | 13         | 12         | 11         | 10         | 9      | 8      |
| RESERVED                                                   |     |            |            |            |            |        |        |
| 7                                                          | 6   | 5          | 4          | 3          | 2          | 1      | 0      |
| RESERVED                                                   | INT | DCBEVT1    | DCBEVT0    | DCAEVT1    | DCAEVT0    | CBC    | OST    |

表 17-91: 封锁中断标志寄存器 (TZIF) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                  |
|-------|----------------|----|-----|---------------------------------------------------------------------|
| 31:22 | RESERVED_31_22 | RO | 0x0 | 保留                                                                  |
| 21    | DCBEVT1RAW     | RO | 0x0 | DCBEVT1 封锁事件标志<br>0: 事件未发生<br>1: 事件已发生                              |
| 20    | DCBEVT0RAW     | RO | 0x0 | DCBEVT0 封锁事件标志<br>0: 事件未发生<br>1: 事件已发生                              |
| 19    | DCAEVT1RAW     | RO | 0x0 | DCAEVT1 封锁事件标志<br>0: 事件未发生<br>1: 事件已发生                              |
| 18    | DCAEVT0RAW     | RO | 0x0 | DCAEVT0 封锁事件标志<br>0: 事件未发生<br>1: 事件已发生                              |
| 17    | CBCRAW         | RO | 0x0 | 周期封锁事件标志<br>0: 事件未发生<br>1: 事件已发生                                    |
| 16    | OSTRAW         | RO | 0x0 | 一次封锁事件标志<br>0: 事件未发生<br>1: 事件已发生                                    |
| 15:7  | RESERVED_15_7  | RO | 0x0 | 保留                                                                  |
| 6     | INT            | RO | 0x0 | 全局封锁中断标志<br>0: 封锁中断未发生<br>1: 封锁中断已发生, 并已经通知 CPU<br>本位段被清除之前不会产生新中断。 |

| 位段 | 位段名     | 属性 | 复位值 | 描述                                                                                  |
|----|---------|----|-----|-------------------------------------------------------------------------------------|
| 5  | DCBEVT1 | RO | 0x0 | DCBEVT1 封锁中断标志<br>0: DCBEVT1 中断未发生<br>1: DCBEVT1 中断已发生。该位段清零前新的 DCBEVT1 事件不会触发新的中断。 |
| 4  | DCBEVT0 | RO | 0x0 | DCBEVT0 封锁中断标志<br>0: DCBEVT0 中断未发生<br>1: DCBEVT0 中断已发生。该位段清零前新的 DCBEVT0 事件不会触发新的中断。 |
| 3  | DCAEVT1 | RO | 0x0 | DCAEVT1 封锁中断标志<br>0: DCAEVT1 中断未发生<br>1: DCAEVT1 中断已发生。该位段清零前新的 DCAEVT1 事件不会触发新的中断。 |
| 2  | DCAEVT0 | RO | 0x0 | DCAEVT0 封锁中断标志<br>0: DCAEVT0 中断未发生<br>1: DCAEVT0 中断已发生。该位段清零前新的 DCAEVT0 事件不会触发新的中断。 |
| 1  | CBC     | RO | 0x0 | 周期封锁中断标志<br>0: 周期封锁中断未发生<br>1: 周期封锁中断已发生。该位段清零前新的周期封锁事件不会触发新的中断。                    |
| 0  | OST     | RO | 0x0 | 一次封锁事件标志<br>0: 一次封锁中断未发生<br>1: 一次封锁中断已发生。该位段清零前新的一次封锁事件不会触发新的中断。                    |

## 17.11.2.43 封锁中断清除寄存器 (TZIC)

表 17-92: 封锁中断清除寄存器 (TZIC) 位段定义

|                                                            |                  |                  |                |                |                |                |                |
|------------------------------------------------------------|------------------|------------------|----------------|----------------|----------------|----------------|----------------|
| TZIC (Trip-Zone Clear Register)                            |                  |                  |                |                |                |                |                |
| Access: PWM->TZIC    Offset: 0x00A8    Default: 0x00000000 |                  |                  |                |                |                |                |                |
| 31<br>CBCCLRMODEWE                                         | 30<br>CBCCLRMODE | 29<br>CBCCLRMODE | 28<br>RESERVED | 27<br>RESERVED | 26<br>RESERVED | 25<br>RESERVED | 24<br>RESERVED |
| 23<br>RESERVED                                             | 22<br>RESERVED   | 21<br>RESERVED   | 20<br>RESERVED | 19<br>RESERVED | 18<br>RESERVED | 17<br>RESERVED | 16<br>RESERVED |
| 15<br>RESERVED                                             | 14<br>RESERVED   | 13<br>RESERVED   | 12<br>RESERVED | 11<br>RESERVED | 10<br>RESERVED | 9<br>RESERVED  | 8<br>RESERVED  |
| 7<br>RESERVED                                              | 6<br>INT         | 5<br>DCBEVT1     | 4<br>DCBEVT0   | 3<br>DCAEVT1   | 2<br>DCAEVT0   | 1<br>CBC       | 0<br>OST       |

表 17-93: 封锁中断清除寄存器 (TZIC) 位段描述

| 位段    | 位段名           | 属性  | 复位值 | 描述                                                                                                     |
|-------|---------------|-----|-----|--------------------------------------------------------------------------------------------------------|
| 31    | CBCCLRMODEWE  | W1C | 0x0 | CBCCLRMODE 位段写使能<br>本位段必须与 CBCCLRMODE 同时写<br>0: 写 0 无效, 读总是 0<br>1: 写 1 允许同时写 CBCCLRMODE, 本位段自动清零      |
| 30:29 | CBCCLRMODE    | RW  | 0x0 | 周期封锁标志自动清除方式<br>0: TBCNT=0 时自动清除<br>1: TBCNT=TBPRD 时自动清除<br>2: TBCNT=0 或 TBCNT=TBPRD 时自动清除<br>3: 不自动清除 |
| 28:7  | RESERVED_28_7 | RO  | 0x0 | 保留                                                                                                     |
| 6     | INT           | W1C | 0x0 | 全局封锁中断标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零。                                              |
| 5     | DCBEVT1       | W1C | 0x0 | DCBEVT1 事件标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零                                        |
| 4     | DCBEVT0       | W1C | 0x0 | DCBEVT0 事件标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零                                        |
| 3     | DCAEVT1       | W1C | 0x0 | DCAEVT1 事件标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零                                        |
| 2     | DCAEVT0       | W1C | 0x0 | DCAEVT0 事件标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零                                        |

| 位段 | 位段名 | 属性  | 复位值 | 描述                                                          |
|----|-----|-----|-----|-------------------------------------------------------------|
| 1  | CBC | W1C | 0x0 | 周期封锁事件标志手动清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除事件和中断标志，本位段自动清零 |
| 0  | OST | W1C | 0x0 | 一次封锁事件标志清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除事件和中断标志，本位段自动清零   |



## 17.11.2.44 封锁中断使能寄存器 (TZIE)

表 17-94: 封锁中断使能寄存器 (TZIE) 位段定义

|                                                            |    |         |         |         |         |     |     |
|------------------------------------------------------------|----|---------|---------|---------|---------|-----|-----|
| TZIE (Trip-Zone Interrupt Enable Register)                 |    |         |         |         |         |     |     |
| Access: PWM->TZIE    Offset: 0x00AC    Default: 0x00000000 |    |         |         |         |         |     |     |
| 31                                                         | 30 | 29      | 28      | 27      | 26      | 25  | 24  |
| RESERVED                                                   |    |         |         |         |         |     |     |
| 23                                                         | 22 | 21      | 20      | 19      | 18      | 17  | 16  |
| RESERVED                                                   |    |         |         |         |         |     |     |
| 15                                                         | 14 | 13      | 12      | 11      | 10      | 9   | 8   |
| RESERVED                                                   |    |         |         |         |         |     |     |
| 7                                                          | 6  | 5       | 4       | 3       | 2       | 1   | 0   |
| RESERVED                                                   |    | DCBEVT1 | DCBEVT0 | DCAEVT1 | DCAEVT0 | CBC | OST |

表 17-95: 封锁中断使能寄存器 (TZIE) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                     |
|------|---------------|----|-----|----------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                     |
| 5    | DCBEVT1       | RW | 0x0 | DCBEVT1 封锁事件中断使能<br>0: 关闭中断<br>1: 使能中断 |
| 4    | DCBEVT0       | RW | 0x0 | DCBEVT0 封锁事件中断使能<br>0: 关闭中断<br>1: 使能中断 |
| 3    | DCAEVT1       | RW | 0x0 | DCAEVT1 封锁事件中断使能<br>0: 关闭中断<br>1: 使能中断 |
| 2    | DCAEVT0       | RW | 0x0 | DCAEVT0 封锁事件中断使能<br>0: 关闭中断<br>1: 使能中断 |
| 1    | CBC           | RW | 0x0 | 周期封锁事件中断使能<br>0: 关闭中断<br>1: 使能中断       |
| 0    | OST           | RW | 0x0 | 一次封锁事件中断使能<br>0: 关闭中断<br>1: 使能中断       |

### 17.11.2.45 封锁中断强制寄存器（TZFRC）

表 17-96: 封锁中断强制寄存器（TZFRC）位段定义

|                                                             |          |           |           |           |           |       |       |
|-------------------------------------------------------------|----------|-----------|-----------|-----------|-----------|-------|-------|
| TZFRC (Trip-Zone Force Register)                            |          |           |           |           |           |       |       |
| Access: PWM->TZFRC    Offset: 0x00B0    Default: 0x00000000 |          |           |           |           |           |       |       |
| 31                                                          | 30       | 29        | 28        | 27        | 26        | 25    | 24    |
| RESERVED                                                    |          |           |           |           |           |       |       |
| 23                                                          | 22       | 21        | 20        | 19        | 18        | 17    | 16    |
| RESERVED                                                    |          |           |           |           |           |       |       |
| 15                                                          | 14       | 13        | 12        | 11        | 10        | 9     | 8     |
| RESERVED                                                    | RESERVED | DCBEVT1WE | DCBEVT0WE | DCAEVT1WE | DCAEVT0WE | CBCWE | OSTWE |
| 7                                                           | 6        | 5         | 4         | 3         | 2         | 1     | 0     |
| RESERVED                                                    | RESERVED | DCBEVT1   | DCBEVT0   | DCAEVT1   | DCAEVT0   | CBC   | OST   |

表 17-97: 封锁中断强制寄存器（TZFRC）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                      |
|-------|----------------|-----|-----|-----------------------------------------------------------------------------------------|
| 31:14 | RESERVED_31_14 | RO  | 0x0 | 保留                                                                                      |
| 13    | DCBEVT1WE      | W1S | 0x0 | DCBEVT1 位写使能（必须与 DCBEVT1 同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零               |
| 12    | DCBEVT0WE      | W1S | 0x0 | DCBEVT0 位写使能（必须与 DCBEVT0 同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零               |
| 11    | DCAEVT1WE      | W1S | 0x0 | DCAEVT1 位写使能（必须与 DCAEVT1 同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零               |
| 10    | DCAEVT0WE      | W1S | 0x0 | DCAEVT0 位写使能（必须与 DCAEVT0 同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零               |
| 9     | CBCWE          | W1S | 0x0 | CBC 位写使能（必须与 CBC 同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零                       |
| 8     | OSTWE          | W1S | 0x0 | OST 位写使能（必须与 OST 同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零                       |
| 7:6   | RESERVED_7_6   | RO  | 0x0 | 保留                                                                                      |
| 5     | DCBEVT1        | W1S | 0x0 | 软件强制 DCBEVT1 封锁事件<br>0: 写 0 无效，读总是 0<br>1: 写 1 产生 DCBEVT1 封锁并置位 TZIF.DCBEVT1<br>本位段自动清零 |

| 位段 | 位段名     | 属性  | 复位值 | 描述                                                                                       |
|----|---------|-----|-----|------------------------------------------------------------------------------------------|
| 4  | DCBEVT0 | W1S | 0x0 | 软件强制 DCBEVT0 封锁事件<br>0: 写 0 无效, 读总是 0<br>1: 写 1 产生 DCBEVT0 封锁并置位 TZIF.DCBEVT0<br>本位段自动清零 |
| 3  | DCAEVT1 | W1S | 0x0 | 软件强制 DCAEVT1 封锁事件<br>0: 写 0 无效, 读总是 0<br>1: 写 1 产生 DCAEVT1 封锁并置位 TZIF.DCAEVT1<br>本位段自动清零 |
| 2  | DCAEVT0 | W1S | 0x0 | 软件强制 DCAEVT0 封锁事件<br>0: 写 0 无效, 读总是 0<br>1: 写 1 产生 DCAEVT0 封锁并置位 TZIF.DCAEVT0<br>本位段自动清零 |
| 1  | CBC     | W1S | 0x0 | 软件强制周期封锁事件<br>0: 写 0 无效, 读总是 0<br>1: 写 1 产生周期封锁并置位 TZIF.CBC<br>本位段自动清零                   |
| 0  | OST     | W1S | 0x0 | 软件强制一次封锁事件<br>0: 写 0 无效, 读总是 0<br>1: 写 1 产生一次封锁并置位 TZIF.OST<br>本位段自动清零                   |

### 17.11.2.46 数字比较 DCAL 事件选择寄存器 (DCALTRIPSEL)

表 17-98: 数字比较 DCAL 事件选择寄存器 (DCALTRIPSEL) 位段定义

| DCALTRIPSEL (Digital Compare AL Trip Select Register)             |                 |                  |                  |                  |                  |                 |                 |
|-------------------------------------------------------------------|-----------------|------------------|------------------|------------------|------------------|-----------------|-----------------|
| Access: PWM->DCALTRIPSEL    Offset: 0x00B4    Default: 0x00000000 |                 |                  |                  |                  |                  |                 |                 |
| 31<br>COMP7H                                                      | 30<br>COMP7L    | 29<br>COMP6H     | 28<br>COMP6L     | 27<br>COMP5H     | 26<br>COMP5L     | 25<br>COMP4H    | 24<br>COMP4L    |
| 23<br>COMP3H                                                      | 22<br>COMP3L    | 21<br>COMP2H     | 20<br>COMP2L     | 19<br>COMP1H     | 18<br>COMP1L     | 17<br>COMP0H    | 16<br>COMP0L    |
| 15<br>RESERVED                                                    | 14<br>RESERVED  | 13<br>ADC2PPU2TZ | 12<br>ADC2PPU1TZ | 11<br>ADC2PPU0TZ | 10<br>ADC1PPU2TZ | 9<br>ADC1PPU1TZ | 8<br>ADC1PPU0TZ |
| 7<br>ADC0PPU2TZ                                                   | 6<br>ADC0PPU1TZ | 5<br>ADC0PPU0TZ  | 4<br>TZ4         | 3<br>TZ3         | 2<br>TZ2         | 1<br>TZ1        | 0<br>TZ0        |

表 17-99: 数字比较 DCAL 事件选择寄存器 (DCALTRIPSEL) 位段描述

| 位段 | 位段名    | 属性 | 复位值 | 描述                                           |
|----|--------|----|-----|----------------------------------------------|
| 31 | COMP7H | RW | 0x0 | 选中 (逻辑或) COMP7H 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 30 | COMP7L | RW | 0x0 | 选中 (逻辑或) COMP7L 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 29 | COMP6H | RW | 0x0 | 选中 (逻辑或) COMP6H 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 28 | COMP6L | RW | 0x0 | 选中 (逻辑或) COMP6L 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 27 | COMP5H | RW | 0x0 | 选中 (逻辑或) COMP5H 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 26 | COMP5L | RW | 0x0 | 选中 (逻辑或) COMP5L 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 25 | COMP4H | RW | 0x0 | 选中 (逻辑或) COMP4H 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 24 | COMP4L | RW | 0x0 | 选中 (逻辑或) COMP4L 为 DCAL 事件<br>0: 不选中<br>1: 选中 |

| 位段    | 位段名            | 属性 | 复位值 | 描述                                             |
|-------|----------------|----|-----|------------------------------------------------|
| 23    | COMP3H         | RW | 0x0 | 选中（逻辑或）COMP3H 为 DCAL 事件<br>0: 不选中<br>1: 选中     |
| 22    | COMP3L         | RW | 0x0 | 选中（逻辑或）COMP3L 为 DCAL 事件<br>0: 不选中<br>1: 选中     |
| 21    | COMP2H         | RW | 0x0 | 选中（逻辑或）COMP2H 为 DCAL 事件<br>0: 不选中<br>1: 选中     |
| 20    | COMP2L         | RW | 0x0 | 选中（逻辑或）COMP2L 为 DCAL 事件<br>0: 不选中<br>1: 选中     |
| 19    | COMP1H         | RW | 0x0 | 选中（逻辑或）COMP1H 为 DCAL 事件<br>0: 不选中<br>1: 选中     |
| 18    | COMP1L         | RW | 0x0 | 选中（逻辑或）COMP1L 为 DCAL 事件<br>0: 不选中<br>1: 选中     |
| 17    | COMP0H         | RW | 0x0 | 选中（逻辑或）COMP0H 为 DCAL 事件<br>0: 不选中<br>1: 选中     |
| 16    | COMP0L         | RW | 0x0 | 选中（逻辑或）COMP0L 为 DCAL 事件<br>0: 不选中<br>1: 选中     |
| 15:14 | RESERVED_15_14 | RW | 0x0 | 保留                                             |
| 13    | ADC2PPU2TZ     | RW | 0x0 | 选中（逻辑或）ADC2PPUTZ2 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 12    | ADC2PPU1TZ     | RW | 0x0 | 选中（逻辑或）ADC2PPUTZ1 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 11    | ADC2PPU0TZ     | RW | 0x0 | 选中（逻辑或）ADC2PPUTZ0 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 10    | ADC1PPU2TZ     | RW | 0x0 | 选中（逻辑或）ADC1PPUTZ2 为 DCAL 事件<br>0: 不选中<br>1: 选中 |

| 位段 | 位段名        | 属性 | 复位值 | 描述                                             |
|----|------------|----|-----|------------------------------------------------|
| 9  | ADC1PPU1TZ | RW | 0x0 | 选中（逻辑或）ADC1PPUTZ1 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 8  | ADC1PPU0TZ | RW | 0x0 | 选中（逻辑或）ADC1PPUTZ0 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 7  | ADC0PPU2TZ | RW | 0x0 | 选中（逻辑或）ADC0PPUTZ2 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 6  | ADC0PPU1TZ | RW | 0x0 | 选中（逻辑或）ADC0PPUTZ1 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 5  | ADC0PPU0TZ | RW | 0x0 | 选中（逻辑或）ADC0PPUTZ0 为 DCAL 事件<br>0: 不选中<br>1: 选中 |
| 4  | TZ4        | RW | 0x0 | 选中（逻辑或）TZ4 为 DCAL 事件<br>0: 不选中<br>1: 选中        |
| 3  | TZ3        | RW | 0x0 | 选中（逻辑或）TZ3 为 DCAL 事件<br>0: 不选中<br>1: 选中        |
| 2  | TZ2        | RW | 0x0 | 选中（逻辑或）TZ2 为 DCAL 事件<br>0: 不选中<br>1: 选中        |
| 1  | TZ1        | RW | 0x0 | 选中（逻辑或）TZ1 为 DCAL 事件<br>0: 不选中<br>1: 选中        |
| 0  | TZ0        | RW | 0x0 | 选中（逻辑或）TZ0 为 DCAL 事件<br>0: 不选中<br>1: 选中        |

## 17.11.2.47 数字比较 DCAH 事件选择寄存器 (DCAHTRIPSEL)

表 17-100: 数字比较 DCAH 事件选择寄存器 (DCAHTRIPSEL) 位段定义

| DCAHTRIPSEL (Digital Compare AH Trip Select Register)             |                 |                  |                  |                  |                  |                 |                 |
|-------------------------------------------------------------------|-----------------|------------------|------------------|------------------|------------------|-----------------|-----------------|
| Access: PWM->DCAHTRIPSEL    Offset: 0x00B8    Default: 0x00000000 |                 |                  |                  |                  |                  |                 |                 |
| 31<br>COMP7H                                                      | 30<br>COMP7L    | 29<br>COMP6H     | 28<br>COMP6L     | 27<br>COMP5H     | 26<br>COMP5L     | 25<br>COMP4H    | 24<br>COMP4L    |
| 23<br>COMP3H                                                      | 22<br>COMP3L    | 21<br>COMP2H     | 20<br>COMP2L     | 19<br>COMP1H     | 18<br>COMP1L     | 17<br>COMP0H    | 16<br>COMP0L    |
| 15<br>RESERVED                                                    | 14<br>RESERVED  | 13<br>ADC2PPU2TZ | 12<br>ADC2PPU1TZ | 11<br>ADC2PPU0TZ | 10<br>ADC1PPU2TZ | 9<br>ADC1PPU1TZ | 8<br>ADC1PPU0TZ |
| 7<br>ADC0PPU2TZ                                                   | 6<br>ADC0PPU1TZ | 5<br>ADC0PPU0TZ  | 4<br>TZ4         | 3<br>TZ3         | 2<br>TZ2         | 1<br>TZ1        | 0<br>TZ0        |

表 17-101: 数字比较 DCAH 事件选择寄存器 (DCAHTRIPSEL) 位段描述

| 位段 | 位段名    | 属性 | 复位值 | 描述                                         |
|----|--------|----|-----|--------------------------------------------|
| 31 | COMP7H | RW | 0x0 | 选中（逻辑或）COMP7H 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 30 | COMP7L | RW | 0x0 | 选中（逻辑或）COMP7L 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 29 | COMP6H | RW | 0x0 | 选中（逻辑或）COMP6H 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 28 | COMP6L | RW | 0x0 | 选中（逻辑或）COMP6L 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 27 | COMP5H | RW | 0x0 | 选中（逻辑或）COMP5H 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 26 | COMP5L | RW | 0x0 | 选中（逻辑或）COMP5L 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 25 | COMP4H | RW | 0x0 | 选中（逻辑或）COMP4H 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 24 | COMP4L | RW | 0x0 | 选中（逻辑或）COMP4L 为 DCAH 事件<br>0: 不选中<br>1: 选中 |

| 位段    | 位段名            | 属性 | 复位值 | 描述                                             |
|-------|----------------|----|-----|------------------------------------------------|
| 23    | COMP3H         | RW | 0x0 | 选中（逻辑或）COMP3H 为 DCAH 事件<br>0: 不选中<br>1: 选中     |
| 22    | COMP3L         | RW | 0x0 | 选中（逻辑或）COMP3L 为 DCAH 事件<br>0: 不选中<br>1: 选中     |
| 21    | COMP2H         | RW | 0x0 | 选中（逻辑或）COMP2H 为 DCAH 事件<br>0: 不选中<br>1: 选中     |
| 20    | COMP2L         | RW | 0x0 | 选中（逻辑或）COMP2L 为 DCAH 事件<br>0: 不选中<br>1: 选中     |
| 19    | COMP1H         | RW | 0x0 | 选中（逻辑或）COMP1H 为 DCAH 事件<br>0: 不选中<br>1: 选中     |
| 18    | COMP1L         | RW | 0x0 | 选中（逻辑或）COMP1L 为 DCAH 事件<br>0: 不选中<br>1: 选中     |
| 17    | COMP0H         | RW | 0x0 | 选中（逻辑或）COMP0H 为 DCAH 事件<br>0: 不选中<br>1: 选中     |
| 16    | COMP0L         | RW | 0x0 | 选中（逻辑或）COMP0L 为 DCAH 事件<br>0: 不选中<br>1: 选中     |
| 15:14 | RESERVED_15_14 | RW | 0x0 | 保留                                             |
| 13    | ADC2PPU2TZ     | RW | 0x0 | 选中（逻辑或）ADC2PPUTZ2 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 12    | ADC2PPU1TZ     | RW | 0x0 | 选中（逻辑或）ADC2PPUTZ1 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 11    | ADC2PPU0TZ     | RW | 0x0 | 选中（逻辑或）ADC2PPUTZ0 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 10    | ADC1PPU2TZ     | RW | 0x0 | 选中（逻辑或）ADC1PPUTZ2 为 DCAH 事件<br>0: 不选中<br>1: 选中 |



| 位段 | 位段名        | 属性 | 复位值 | 描述                                             |
|----|------------|----|-----|------------------------------------------------|
| 9  | ADC1PPU1TZ | RW | 0x0 | 选中（逻辑或）ADC1PPUTZ1 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 8  | ADC1PPU0TZ | RW | 0x0 | 选中（逻辑或）ADC1PPUTZ0 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 7  | ADC0PPU2TZ | RW | 0x0 | 选中（逻辑或）ADC0PPUTZ2 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 6  | ADC0PPU1TZ | RW | 0x0 | 选中（逻辑或）ADC0PPUTZ1 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 5  | ADC0PPU0TZ | RW | 0x0 | 选中（逻辑或）ADC0PPUTZ0 为 DCAH 事件<br>0: 不选中<br>1: 选中 |
| 4  | TZ4        | RW | 0x0 | 选中（逻辑或）TZ4 为 DCAH 事件<br>0: 不选中<br>1: 选中        |
| 3  | TZ3        | RW | 0x0 | 选中（逻辑或）TZ3 为 DCAH 事件<br>0: 不选中<br>1: 选中        |
| 2  | TZ2        | RW | 0x0 | 选中（逻辑或）TZ2 为 DCAH 事件<br>0: 不选中<br>1: 选中        |
| 1  | TZ1        | RW | 0x0 | 选中（逻辑或）TZ1 为 DCAH 事件<br>0: 不选中<br>1: 选中        |
| 0  | TZ0        | RW | 0x0 | 选中（逻辑或）TZ0 为 DCAH 事件<br>0: 不选中<br>1: 选中        |

### 17.11.2.48 数字比较 DCBL 事件选择寄存器 (DCBLTRIPSEL)

表 17-102: 数字比较 DCBL 事件选择寄存器 (DCBLTRIPSEL) 位段定义

| DCBLTRIPSEL (Digital Compare BL Trip Select Register)             |                 |                  |                  |                  |                  |                 |                 |
|-------------------------------------------------------------------|-----------------|------------------|------------------|------------------|------------------|-----------------|-----------------|
| Access: PWM->DCBLTRIPSEL    Offset: 0x00BC    Default: 0x00000000 |                 |                  |                  |                  |                  |                 |                 |
| 31<br>COMP7H                                                      | 30<br>COMP7L    | 29<br>COMP6H     | 28<br>COMP6L     | 27<br>COMP5H     | 26<br>COMP5L     | 25<br>COMP4H    | 24<br>COMP4L    |
| 23<br>COMP3H                                                      | 22<br>COMP3L    | 21<br>COMP2H     | 20<br>COMP2L     | 19<br>COMP1H     | 18<br>COMP1L     | 17<br>COMP0H    | 16<br>COMP0L    |
| 15<br>RESERVED                                                    | 14<br>RESERVED  | 13<br>ADC2PPU2TZ | 12<br>ADC2PPU1TZ | 11<br>ADC2PPU0TZ | 10<br>ADC1PPU2TZ | 9<br>ADC1PPU1TZ | 8<br>ADC1PPU0TZ |
| 7<br>ADC0PPU2TZ                                                   | 6<br>ADC0PPU1TZ | 5<br>ADC0PPU0TZ  | 4<br>TZ4         | 3<br>TZ3         | 2<br>TZ2         | 1<br>TZ1        | 0<br>TZ0        |

表 17-103: 数字比较 DCBL 事件选择寄存器 (DCBLTRIPSEL) 位段描述

| 位段 | 位段名    | 属性 | 复位值 | 描述                                         |
|----|--------|----|-----|--------------------------------------------|
| 31 | COMP7H | RW | 0x0 | 选中（逻辑或）COMP7H 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 30 | COMP7L | RW | 0x0 | 选中（逻辑或）COMP7L 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 29 | COMP6H | RW | 0x0 | 选中（逻辑或）COMP6H 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 28 | COMP6L | RW | 0x0 | 选中（逻辑或）COMP6L 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 27 | COMP5H | RW | 0x0 | 选中（逻辑或）COMP5H 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 26 | COMP5L | RW | 0x0 | 选中（逻辑或）COMP5L 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 25 | COMP4H | RW | 0x0 | 选中（逻辑或）COMP4H 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 24 | COMP4L | RW | 0x0 | 选中（逻辑或）COMP4L 为 DCBL 事件<br>0: 不选中<br>1: 选中 |

| 位段    | 位段名            | 属性 | 复位值 | 描述                                             |
|-------|----------------|----|-----|------------------------------------------------|
| 23    | COMP3H         | RW | 0x0 | 选中（逻辑或）COMP3H 为 DCBL 事件<br>0: 不选中<br>1: 选中     |
| 22    | COMP3L         | RW | 0x0 | 选中（逻辑或）COMP3L 为 DCBL 事件<br>0: 不选中<br>1: 选中     |
| 21    | COMP2H         | RW | 0x0 | 选中（逻辑或）COMP2H 为 DCBL 事件<br>0: 不选中<br>1: 选中     |
| 20    | COMP2L         | RW | 0x0 | 选中（逻辑或）COMP2L 为 DCBL 事件<br>0: 不选中<br>1: 选中     |
| 19    | COMP1H         | RW | 0x0 | 选中（逻辑或）COMP1H 为 DCBL 事件<br>0: 不选中<br>1: 选中     |
| 18    | COMP1L         | RW | 0x0 | 选中（逻辑或）COMP1L 为 DCBL 事件<br>0: 不选中<br>1: 选中     |
| 17    | COMP0H         | RW | 0x0 | 选中（逻辑或）COMP0H 为 DCBL 事件<br>0: 不选中<br>1: 选中     |
| 16    | COMP0L         | RW | 0x0 | 选中（逻辑或）COMP0L 为 DCBL 事件<br>0: 不选中<br>1: 选中     |
| 15:14 | RESERVED_15_14 | RW | 0x0 | 保留                                             |
| 13    | ADC2PPU2TZ     | RW | 0x0 | 选中（逻辑或）ADC2PPUTZ2 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 12    | ADC2PPU1TZ     | RW | 0x0 | 选中（逻辑或）ADC2PPUTZ1 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 11    | ADC2PPU0TZ     | RW | 0x0 | 选中（逻辑或）ADC2PPUTZ0 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 10    | ADC1PPU2TZ     | RW | 0x0 | 选中（逻辑或）ADC1PPUTZ2 为 DCBL 事件<br>0: 不选中<br>1: 选中 |

| 位段 | 位段名        | 属性 | 复位值 | 描述                                             |
|----|------------|----|-----|------------------------------------------------|
| 9  | ADC1PPU1TZ | RW | 0x0 | 选中（逻辑或）ADC1PPUTZ1 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 8  | ADC1PPU0TZ | RW | 0x0 | 选中（逻辑或）ADC1PPUTZ0 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 7  | ADC0PPU2TZ | RW | 0x0 | 选中（逻辑或）ADC0PPUTZ2 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 6  | ADC0PPU1TZ | RW | 0x0 | 选中（逻辑或）ADC0PPUTZ1 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 5  | ADC0PPU0TZ | RW | 0x0 | 选中（逻辑或）ADC0PPUTZ0 为 DCBL 事件<br>0: 不选中<br>1: 选中 |
| 4  | TZ4        | RW | 0x0 | 选中（逻辑或）TZ4 为 DCBL 事件<br>0: 不选中<br>1: 选中        |
| 3  | TZ3        | RW | 0x0 | 选中（逻辑或）TZ3 为 DCBL 事件<br>0: 不选中<br>1: 选中        |
| 2  | TZ2        | RW | 0x0 | 选中（逻辑或）TZ2 为 DCBL 事件<br>0: 不选中<br>1: 选中        |
| 1  | TZ1        | RW | 0x0 | 选中（逻辑或）TZ1 为 DCBL 事件<br>0: 不选中<br>1: 选中        |
| 0  | TZ0        | RW | 0x0 | 选中（逻辑或）TZ0 为 DCBL 事件<br>0: 不选中<br>1: 选中        |

## 17.11.2.49 数字比较 DCBH 事件选择寄存器 (DCBHTRIPSEL)

表 17-104: 数字比较 DCBH 事件选择寄存器 (DCBHTRIPSEL) 位段定义

| DCBHTRIPSEL (Digital Compare BH Trip Select Register)             |                 |                  |                  |                  |                  |                 |                 |
|-------------------------------------------------------------------|-----------------|------------------|------------------|------------------|------------------|-----------------|-----------------|
| Access: PWM->DCBHTRIPSEL    Offset: 0x00C0    Default: 0x00000000 |                 |                  |                  |                  |                  |                 |                 |
| 31<br>COMP7H                                                      | 30<br>COMP7L    | 29<br>COMP6H     | 28<br>COMP6L     | 27<br>COMP5H     | 26<br>COMP5L     | 25<br>COMP4H    | 24<br>COMP4L    |
| 23<br>COMP3H                                                      | 22<br>COMP3L    | 21<br>COMP2H     | 20<br>COMP2L     | 19<br>COMP1H     | 18<br>COMP1L     | 17<br>COMP0H    | 16<br>COMP0L    |
| 15<br>RESERVED                                                    | 14<br>RESERVED  | 13<br>ADC2PPU2TZ | 12<br>ADC2PPU1TZ | 11<br>ADC2PPU0TZ | 10<br>ADC1PPU2TZ | 9<br>ADC1PPU1TZ | 8<br>ADC1PPU0TZ |
| 7<br>ADC0PPU2TZ                                                   | 6<br>ADC0PPU1TZ | 5<br>ADC0PPU0TZ  | 4<br>TZ4         | 3<br>TZ3         | 2<br>TZ2         | 1<br>TZ1        | 0<br>TZ0        |

表 17-105: 数字比较 DCBH 事件选择寄存器 (DCBHTRIPSEL) 位段描述

| 位段 | 位段名    | 属性 | 复位值 | 描述                                         |
|----|--------|----|-----|--------------------------------------------|
| 31 | COMP7H | RW | 0x0 | 选中（逻辑或）COMP7H 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 30 | COMP7L | RW | 0x0 | 选中（逻辑或）COMP7L 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 29 | COMP6H | RW | 0x0 | 选中（逻辑或）COMP6H 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 28 | COMP6L | RW | 0x0 | 选中（逻辑或）COMP6L 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 27 | COMP5H | RW | 0x0 | 选中（逻辑或）COMP5H 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 26 | COMP5L | RW | 0x0 | 选中（逻辑或）COMP5L 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 25 | COMP4H | RW | 0x0 | 选中（逻辑或）COMP4H 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 24 | COMP4L | RW | 0x0 | 选中（逻辑或）COMP4L 为 DCBH 事件<br>0: 不选中<br>1: 选中 |

| 位段    | 位段名            | 属性 | 复位值 | 描述                                             |
|-------|----------------|----|-----|------------------------------------------------|
| 23    | COMP3H         | RW | 0x0 | 选中（逻辑或）COMP3H 为 DCBH 事件<br>0: 不选中<br>1: 选中     |
| 22    | COMP3L         | RW | 0x0 | 选中（逻辑或）COMP3L 为 DCBH 事件<br>0: 不选中<br>1: 选中     |
| 21    | COMP2H         | RW | 0x0 | 选中（逻辑或）COMP2H 为 DCBH 事件<br>0: 不选中<br>1: 选中     |
| 20    | COMP2L         | RW | 0x0 | 选中（逻辑或）COMP2L 为 DCBH 事件<br>0: 不选中<br>1: 选中     |
| 19    | COMP1H         | RW | 0x0 | 选中（逻辑或）COMP1H 为 DCBH 事件<br>0: 不选中<br>1: 选中     |
| 18    | COMP1L         | RW | 0x0 | 选中（逻辑或）COMP1L 为 DCBH 事件<br>0: 不选中<br>1: 选中     |
| 17    | COMP0H         | RW | 0x0 | 选中（逻辑或）COMP0H 为 DCBH 事件<br>0: 不选中<br>1: 选中     |
| 16    | COMP0L         | RW | 0x0 | 选中（逻辑或）COMP0L 为 DCBH 事件<br>0: 不选中<br>1: 选中     |
| 15:14 | RESERVED_15_14 | RW | 0x0 | 保留                                             |
| 13    | ADC2PPU2TZ     | RW | 0x0 | 选中（逻辑或）ADC2PPUTZ2 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 12    | ADC2PPU1TZ     | RW | 0x0 | 选中（逻辑或）ADC2PPUTZ1 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 11    | ADC2PPU0TZ     | RW | 0x0 | 选中（逻辑或）ADC2PPUTZ0 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 10    | ADC1PPU2TZ     | RW | 0x0 | 选中（逻辑或）ADC1PPUTZ2 为 DCBH 事件<br>0: 不选中<br>1: 选中 |

| 位段 | 位段名        | 属性 | 复位值 | 描述                                             |
|----|------------|----|-----|------------------------------------------------|
| 9  | ADC1PPU1TZ | RW | 0x0 | 选中（逻辑或）ADC1PPUTZ1 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 8  | ADC1PPU0TZ | RW | 0x0 | 选中（逻辑或）ADC1PPUTZ0 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 7  | ADC0PPU2TZ | RW | 0x0 | 选中（逻辑或）ADC0PPUTZ2 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 6  | ADC0PPU1TZ | RW | 0x0 | 选中（逻辑或）ADC0PPUTZ1 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 5  | ADC0PPU0TZ | RW | 0x0 | 选中（逻辑或）ADC0PPUTZ0 为 DCBH 事件<br>0: 不选中<br>1: 选中 |
| 4  | TZ4        | RW | 0x0 | 选中（逻辑或）TZ4 为 DCBH 事件<br>0: 不选中<br>1: 选中        |
| 3  | TZ3        | RW | 0x0 | 选中（逻辑或）TZ3 为 DCBH 事件<br>0: 不选中<br>1: 选中        |
| 2  | TZ2        | RW | 0x0 | 选中（逻辑或）TZ2 为 DCBH 事件<br>0: 不选中<br>1: 选中        |
| 1  | TZ1        | RW | 0x0 | 选中（逻辑或）TZ1 为 DCBH 事件<br>0: 不选中<br>1: 选中        |
| 0  | TZ0        | RW | 0x0 | 选中（逻辑或）TZ0 为 DCBH 事件<br>0: 不选中<br>1: 选中        |

### 17.11.2.50 数字比较 A 控制寄存器 (DCACTL)

表 17-106: 数字比较 A 控制寄存器 (DCACTL) 位段定义

|                                                              |    |              |            |           |          |              |            |
|--------------------------------------------------------------|----|--------------|------------|-----------|----------|--------------|------------|
| DCACTL (Digital Compare A Control Register)                  |    |              |            |           |          |              |            |
| Access: PWM->DCACTL    Offset: 0x00C4    Default: 0x00000000 |    |              |            |           |          |              |            |
| 31                                                           | 30 | 29           | 28         | 27        | 26       | 25           | 24         |
| RESERVED                                                     |    |              |            |           |          |              |            |
| 23                                                           | 22 | 21           | 20         | 19        | 18       | 17           | 16         |
| RESERVED                                                     |    |              |            |           |          |              |            |
| 15                                                           | 14 | 13           | 12         | 11        | 10       | 9            | 8          |
| RESERVED                                                     |    |              |            |           |          |              |            |
| 7                                                            | 6  | 5            | 4          | 3         | 2        | 1            | 0          |
| RESERVED                                                     |    | EVT1SRCASYNC | EVT1SRCSEL | EVT0SYNCE | EVT0SOCE | EVT0SRCASYNC | EVT0SRCSEL |

表 17-107: 数字比较 A 控制寄存器 (DCACTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                     |
|------|---------------|----|-----|------------------------------------------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                                                     |
| 5    | EVT1SRCASYNC  | RW | 0x0 | DCAEVT1 源信号通路选择<br>0: 同步通路<br>1: 异步通路                                  |
| 4    | EVT1SRCSEL    | RW | 0x0 | DCAEVT1 最终信号选择<br>0: 选择 RAWDCAEVT1<br>1: 选择 DCEVTFILT                  |
| 3    | EVT0SYNCE     | RW | 0x0 | DCAEVT0 SYNC 信号产生使能<br>0: 不产生 DCAEVT0 SYNC 信号<br>1: 产生 DCAEVT0 SYNC 信号 |
| 2    | EVT0SOCE      | RW | 0x0 | DCAEVT0 SOC 信号产生使能<br>0: 不产生 DCAEVT0 SOC 信号<br>1: 产生 DCAEVT0 SOC 信号    |
| 1    | EVT0SRCASYNC  | RW | 0x0 | DCAEVT0 源信号通路选择<br>0: 同步通路<br>1: 异步通路                                  |
| 0    | EVT0SRCSEL    | RW | 0x0 | DCAEVT0 最终信号选择<br>0: 选择 RAWDCAEVT0<br>1: 选择 DCEVTFILT                  |



## 17.11.2.51 数字比较 B 控制寄存器 (DCBCTL)

表 17-108: 数字比较 B 控制寄存器 (DCBCTL) 位段定义

|                                                              |    |              |            |           |          |              |            |
|--------------------------------------------------------------|----|--------------|------------|-----------|----------|--------------|------------|
| DCBCTL (Digital Compare B Control Register)                  |    |              |            |           |          |              |            |
| Access: PWM->DCBCTL    Offset: 0x00C8    Default: 0x00000000 |    |              |            |           |          |              |            |
| 31                                                           | 30 | 29           | 28         | 27        | 26       | 25           | 24         |
| RESERVED                                                     |    |              |            |           |          |              |            |
| 23                                                           | 22 | 21           | 20         | 19        | 18       | 17           | 16         |
| RESERVED                                                     |    |              |            |           |          |              |            |
| 15                                                           | 14 | 13           | 12         | 11        | 10       | 9            | 8          |
| RESERVED                                                     |    |              |            |           |          |              |            |
| 7                                                            | 6  | 5            | 4          | 3         | 2        | 1            | 0          |
| RESERVED                                                     |    | EVT1SRCASYNC | EVT1SRCSEL | EVT0SYNCE | EVT0SOCE | EVT0SRCASYNC | EVT0SRCSEL |

表 17-109: 数字比较 B 控制寄存器 (DCBCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                     |
|------|---------------|----|-----|------------------------------------------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                                                     |
| 5    | EVT1SRCASYNC  | RW | 0x0 | DCBEVT1 源信号通路选择<br>0: 同步通路<br>1: 异步通路                                  |
| 4    | EVT1SRCSEL    | RW | 0x0 | DCBEVT1 最终信号选择<br>0: 选择 RAWDCBEVT1<br>1: 选择 DCEVTFILT                  |
| 3    | EVT0SYNCE     | RW | 0x0 | DCBEVT0 SYNC 信号产生使能<br>0: 不产生 DCBEVT0 SYNC 信号<br>1: 产生 DCBEVT0 SYNC 信号 |
| 2    | EVT0SOCE      | RW | 0x0 | DCBEVT0 SOC 信号产生使能<br>0: 不产生 DCBEVT0 SOC 信号<br>1: 产生 DCBEVT0 SOC 信号    |
| 1    | EVT0SRCASYNC  | RW | 0x0 | DCBEVT0 源信号通路选择<br>0: 同步通路<br>1: 异步通路                                  |
| 0    | EVT0SRCSEL    | RW | 0x0 | DCBEVT0 最终信号选择<br>0: 选择 RAWDCBEVT0<br>1: 选择 DCEVTFILT                  |

### 17.11.2.52 数字比较消隐滤波控制寄存器（DCFCTL）

表 17-110：数字比较消隐滤波控制寄存器（DCFCTL）位段定义

|                                                              |        |          |        |          |         |        |        |
|--------------------------------------------------------------|--------|----------|--------|----------|---------|--------|--------|
| DCFCTL (Digital Compare Filter Register)                     |        |          |        |          |         |        |        |
| Access: PWM->DCFCTL    Offset: 0x00CC    Default: 0x00000010 |        |          |        |          |         |        |        |
| 31                                                           | 30     | 29       | 28     | 27       | 26      | 25     | 24     |
| RESERVED                                                     |        |          |        |          |         |        |        |
| 23                                                           | 22     | 21       | 20     | 19       | 18      | 17     | 16     |
| RESERVED                                                     |        |          |        |          |         |        |        |
| 15                                                           | 14     | 13       | 12     | 11       | 10      | 9      | 8      |
| RESERVED                                                     |        | WIN7EN   | WIN6EN | WIN5EN   | WIN4EN  | WIN3EN | WIN2EN |
| 7                                                            | 6      | 5        | 4      | 3        | 2       | 1      | 0      |
| WIN1EN                                                       | WIN0EN | PULSESEL |        | BLANKINV | BLANKEN | SRCSEL |        |

表 17-111：数字比较消隐滤波控制寄存器（DCFCTL）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                               |
|-------|----------------|----|-----|--------------------------------------------------|
| 31:14 | RESERVED_31_14 | RO | 0x0 | 保留                                               |
| 13    | WIN7EN         | RW | 0x0 | 使能 PWM7 产生的窗口对本级 PWM 信号消隐<br>0: 关闭<br>1: 使能（逻辑或） |
| 12    | WIN6EN         | RW | 0x0 | 使能 PWM6 产生的窗口对本级 PWM 信号消隐<br>0: 关闭<br>1: 使能（逻辑或） |
| 11    | WIN5EN         | RW | 0x0 | 使能 PWM5 产生的窗口对本级 PWM 信号消隐<br>0: 关闭<br>1: 使能（逻辑或） |
| 10    | WIN4EN         | RW | 0x0 | 使能 PWM4 产生的窗口对本级 PWM 信号消隐<br>0: 关闭<br>1: 使能（逻辑或） |
| 9     | WIN3EN         | RW | 0x0 | 使能 PWM3 产生的窗口对本级 PWM 信号消隐<br>0: 关闭<br>1: 使能（逻辑或） |
| 8     | WIN2EN         | RW | 0x0 | 使能 PWM2 产生的窗口对本级 PWM 信号消隐<br>0: 关闭<br>1: 使能（逻辑或） |
| 7     | WIN1EN         | RW | 0x0 | 使能 PWM1 产生的窗口对本级 PWM 信号消隐<br>0: 关闭<br>1: 使能（逻辑或） |
| 6     | WIN0EN         | RW | 0x0 | 使能 PWM0 产生的窗口对本级 PWM 信号消隐<br>0: 关闭<br>1: 使能（逻辑或） |

| 位段  | 位段名      | 属性 | 复位值 | 描述                                                                                                                      |
|-----|----------|----|-----|-------------------------------------------------------------------------------------------------------------------------|
| 5:4 | PULSESEL | RW | 0x1 | 消隐和捕捉脉冲起始对齐参考点选择<br>00: 对齐到 TBCNT=0<br>01: 对齐到 TBCNT=TBPRD<br>10: 对齐到 TBCNT=0 或 TBCNT=TBPRD<br>11: 无效选项                 |
| 3   | BLANKINV | RW | 0x0 | 消隐窗口反相<br>0: 保持原始效应窗口极性<br>1: 消隐窗口取反                                                                                    |
| 2   | BLANKEN  | RW | 0x0 | 消隐窗口使能<br>0: 关闭消隐窗口<br>1: 使能消隐窗口                                                                                        |
| 1:0 | SRCSEL   | RW | 0x0 | DCEVTFILT 消隐滤波信号源选择<br>00: 对 RAWDCAEVT0 消隐滤波<br>01: 对 RAWDCAEVT1 消隐滤波<br>10: 对 RAWDCBEVT0 消隐滤波<br>11: 对 RAWDCBEVT1 消隐滤波 |

#### 17.11.2.53 数字比较消隐窗口偏移量寄存器（DCFOFFSET）

表 17-112: 数字比较消隐窗口偏移量寄存器（DCFOFFSET）位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| DCFOFFSET (Digital Compare Filter Offset Register)              |    |    |    |    |    |    |    |
| Access: PWM->DCFOFFSET    Offset: 0x00D0    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 17-113: 数字比较消隐窗口偏移量寄存器（DCFOFFSET）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                     |
|-------|----------------|----|-----|------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                     |
| 15:0  | VAL            | RW | 0x0 | 消隐窗口偏移量<br>定义了从 DCFCTL.PULSESEL 指定的脉冲到消隐窗口开始的偏移量（以时基时钟 TBCLK 的周期数为单位）。 |

### 17.11.2.54 数字比较消隐窗口偏移计数值寄存器（DCFOFFSETCNT）

表 17-114：数字比较消隐窗口偏移计数值寄存器（DCFOFFSETCNT）位段定义

| DCFOFFSETCNT (Digital Compare Filter Offset Counter Register)      |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: PWM->DCFOFFSETCNT    Offset: 0x00D4    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                |    |    |    |    |    |    |    |

表 17-115：数字比较消隐窗口偏移计数值寄存器（DCFOFFSETCNT）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                           |
|-------|----------------|----|-----|--------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                                                                                                           |
| 15:0  | VAL            | RO | 0x0 | <p>消隐窗口偏移计数器</p> <p>本位段只读，它记录了当前偏移计数值。由 DCFCTL.PULSESEL 指定的事件发生后，该计数器从 DCFOFFSET 开始递减计数一直到 0，然后维持，直到 DCFCTL.PULSESEL 指定的事件再次发生后，该计数器又从 DCFOFFSET 开始递减计数。</p> |

## 17.11.2.55 数字比较消隐窗口大小寄存器 (DCFWINDOW)

表 17-116: 数字比较消隐窗口大小寄存器 (DCFWINDOW) 位段定义

| DCFWINDOW (Digital Compare Filter Window Register)              |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: PWM->DCFWINDOW    Offset: 0x00D8    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                        |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 17-117: 数字比较消隐窗口大小寄存器 (DCFWINDOW) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                                                  |
|-------|----------------|----|-----|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                                                                                                                                  |
| 15:0  | VAL            | RW | 0x0 | <p>以 TBCLK 周期度量的消隐窗口大小</p> <p>当消隐窗口偏移计数器计到 0 后，消隐窗口开启，消隐窗口大小计数器开始递减计数，待递减计数到 0 后消隐窗口关闭。若消隐窗口开启时偏移计数器又计数到 0，则立刻重新开启新的消隐窗口。</p> <p>消隐窗口允许跨 PWM 时基波形周期边界。</p> <p>当本位段为 0 时，禁用消隐窗口。</p> |

### 17.11.2.56 数字比较消隐窗口大小计数寄存器（DCFWINDOWCNT）

表 17-118: 数字比较消隐窗口大小计数寄存器（DCFWINDOWCNT）位段定义

| DCFWINDOWCNT (Digital Compare Filter Window Counter Register)      |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: PWM->DCFWINDOWCNT    Offset: 0x00DC    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                           |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                |    |    |    |    |    |    |    |

表 17-119: 数字比较消隐窗口大小计数寄存器（DCFWINDOWCNT）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                              |
|-------|----------------|----|-----|-------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                                                                                              |
| 15:0  | VAL            | RO | 0x0 | <p>消隐窗口大小计数器</p> <p>本位段只读，它记录了当前消隐窗口大小计数值。消隐窗口偏移计数器计数到 0 后，该计数器从 DCFWINDOW 开始递减计数，一直到 0 并停止，直到消隐窗口偏移计数器再次递减计数到 0，该计数器又再次从 DCFWINDOW 开始递减计数。</p> |

## 17.11.2.57 数字比较时基计数捕获控制寄存器 (DCCAPCTL)

表 17-120: 数字比较时基计数捕获控制寄存器 (DCCAPCTL) 位段定义

|                                                                |            |          |         |          |          |        |        |
|----------------------------------------------------------------|------------|----------|---------|----------|----------|--------|--------|
| DCCAPCTL (Digital Compare Capture Control Register)            |            |          |         |          |          |        |        |
| Access: PWM->DCCAPCTL    Offset: 0x00E0    Default: 0x00000000 |            |          |         |          |          |        |        |
| 31                                                             | 30         | 29       | 28      | 27       | 26       | 25     | 24     |
| RESERVED                                                       |            |          |         |          |          |        |        |
| 23                                                             | 22         | 21       | 20      | 19       | 18       | 17     | 16     |
| RESERVED                                                       |            |          |         |          |          |        |        |
| 15                                                             | 14         | 13       | 12      | 11       | 10       | 9      | 8      |
| RESERVED                                                       |            |          |         |          |          | CAPFLG | CAPCLR |
| 7                                                              | 6          | 5        | 4       | 3        | 2        | 1      | 0      |
| RESERVED                                                       | MULTICAPWE | DIRECTWE | CAPENWE | RESERVED | MULTICAP | DIRECT | CAPEN  |

表 17-121: 数字比较时基计数捕获控制寄存器 (DCCAPCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                    |
|-------|----------------|-----|-----|---------------------------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO  | 0x0 | 保留                                                                                    |
| 9     | CAPFLG         | RO  | 0x0 | 锁存的捕获状态<br>0: 数字比较时基计数捕获未发生<br>1: 数字比较时基计数捕获发生                                        |
| 8     | CAPCLR         | W1C | 0x0 | 清除锁存的捕获状态<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除锁存的状态, 该位段自动清零                              |
| 7     | RESERVED_7     | RO  | 0x0 | 保留                                                                                    |
| 6     | MULTICAPWE     | W1S | 0x0 | MULTICAP 写使能 (必须与 MULTICAP 同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零         |
| 5     | DIRECTWE       | W1S | 0x0 | DIRECT 位写使能 (必须与 DIRECT 位同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零           |
| 4     | CAPENWE        | W1S | 0x0 | CAPEN 位写使能 (必须与 CAPEN 位同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零             |
| 3     | RESERVED_3     | RO  | 0x0 | 保留                                                                                    |
| 2     | MULTICAP       | RW  | 0x0 | 多次捕获模式<br>0: 在每个周期内只捕获一次, 下一次捕获要等到 DCFCTL.PULSESEL 定义的脉冲之后<br>1: 每次事件发生时都会捕获, 并不断覆盖旧值 |

| 位段 | 位段名    | 属性 | 复位值 | 描述                                                                                                                                                              |
|----|--------|----|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 1  | DIRECT | RW | 0x0 | DCCAP 捕获值更新方式<br>0: 影子模式<br>由 DCFCTL.PULSESEL 指定的 TBCNT=TBPRD 或 TBCNT=0 事件发生时，将更新 DCCAP 捕获的最新值更新到其影子寄存器。读取 DCCAP 总是返回影子值。<br>1: 直接模式<br>读取 DCCAP 寄存器时总是返回最新有效值。 |
| 0  | CAPEN  | RW | 0x0 | TBCNT 时基计数捕获使能<br>0: 关闭捕获<br>1: 使能捕获                                                                                                                            |

### 17.11.2.58 数字比较时基计数捕获值寄存器（DCCAP）

表 17-122: 数字比较时基计数捕获值寄存器（DCCAP）位段定义

|                                                                                                           |    |    |    |    |    |    |    |
|-----------------------------------------------------------------------------------------------------------|----|----|----|----|----|----|----|
| DCCAP (Digital Compare Counter Capture Register)<br>Access: PWM->DCCAP Offset: 0x00E4 Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                                                        | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| RESERVED                                                                                                  |    |    |    |    |    |    |    |
| 23                                                                                                        | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| RESERVED                                                                                                  |    |    |    |    |    |    |    |
| 15                                                                                                        | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                                                       |    |    |    |    |    |    |    |
| 7                                                                                                         | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                                                       |    |    |    |    |    |    |    |

表 17-123: 数字比较时基计数捕获值寄存器（DCCAP）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                 |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                                                                                                                 |
| 15:0  | VAL            | RO | 0x0 | DCEVTFLT 上升沿时捕获的时基计数器的值在影子模式下，捕获的值在 DCFCTL.PULSESEL 指定的 TBCNT=TBPRD 或 TBCNT=0 事件时更新到影子寄存器。读取 DCCAP 寄存器总是返回影子值。<br>在直接模式下，读取 DCCAP 寄存器总是返回最新捕获的有效值。 |



## 17.11.2.59 事件触发控制寄存器 (ETCTL)

表 17-124: 事件触发控制寄存器 (ETCTL) 位段定义

| ETCTL (Event-Trigger Control Register)                      |    |    |         |    |    |    |        |  |  |
|-------------------------------------------------------------|----|----|---------|----|----|----|--------|--|--|
| Access: PWM->ETCTL    Offset: 0x00E8    Default: 0x1E1E1E1E |    |    |         |    |    |    |        |  |  |
| 31                                                          | 30 | 29 | 28      | 27 | 26 | 25 | 24     |  |  |
| RESERVED                                                    |    |    | SOCCSEL |    |    |    | SOCCEN |  |  |
| 23                                                          | 22 | 21 | 20      | 19 | 18 | 17 | 16     |  |  |
| RESERVED                                                    |    |    | SOCBSEL |    |    |    | SOCBEN |  |  |
| 15                                                          | 14 | 13 | 12      | 11 | 10 | 9  | 8      |  |  |
| RESERVED                                                    |    |    | SOCASEL |    |    |    | SOCAEN |  |  |
| 7                                                           | 6  | 5  | 4       | 3  | 2  | 1  | 0      |  |  |
| RESERVED                                                    |    |    | INTSEL  |    |    |    | INTEN  |  |  |

表 17-125: 事件触发控制寄存器 (ETCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                                                                                                                                                                                                           |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:29 | RESERVED_31_29 | RO | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                                                                                                                           |
| 28:25 | SOCCSEL        | RW | 0xF | SOCC 事件选择<br>0: TBCNT=0 时触发<br>1: TBCNT=TBPRD 时触发<br>2: TBCNT=0 或 TBCNT=TBPRD 时触发事件<br>3: TBCNT=CMPPA 且 TBCNT 递增计数时触发<br>4: TBCNT=CMPPA 且 TBCNT 递减计数时触发<br>5: TBCNT=CMPPB 且 TBCNT 递增计数时触发<br>6: TBCNT=CMPPB 且 TBCNT 递减计数时触发<br>7: TBCNT=CMPPC 且 TBCNT 递增计数时触发<br>8: TBCNT=CMPPC 且 TBCNT 递减计数时触发<br>9: TBCNT=CMPPD 且 TBCNT 递增计数时触发<br>10: TBCNT=CMPPD 且 TBCNT 递减计数时触发<br>11: DCAEVT0.SOC 事件触发<br>12: DCBEVT0.SOC 事件触发<br>其他: 不产生 (禁止) SOCC 事件 |
| 24    | SOCCEN         | RW | 0x0 | ADC 采样开始脉冲 C (SOCC) 产生使能<br>0: 关闭<br>1: 使能                                                                                                                                                                                                                                                                                                                                                                                                   |
| 23:21 | RESERVED_23_21 | RO | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                                                                                                                           |
| 20:17 | SOCBSEL        | RW | 0xF | SOCB 事件选择<br>0: TBCNT=0 时触发<br>1: TBCNT=TBPRD 时触发<br>2: TBCNT=0 或 TBCNT=TBPRD 时触发事件<br>3: TBCNT=CMPPA 且 TBCNT 递增计数时触发<br>4: TBCNT=CMPPA 且 TBCNT 递减计数时触发<br>5: TBCNT=CMPPB 且 TBCNT 递增计数时触发<br>6: TBCNT=CMPPB 且 TBCNT 递减计数时触发                                                                                                                                                                                                                  |

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                                                                                                                                                                                                                                                                                                 |
|-------|----------------|----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|       |                |    |     | 7: TBCNT=CMPC 且 TBCNT 递增计数时触发<br>8: TBCNT=CMPC 且 TBCNT 递减计数时触发<br>9: TBCNT=CMPC 且 TBCNT 递增计数时触发<br>10: TBCNT=CMPC 且 TBCNT 递减计数时触发<br>11: DCAEVT0.SOC 事件触发<br>12: DCBEVT0.SOC 事件触发<br>其他: 不产生（禁止）SOCB 事件                                                                                                                                                                                                                            |
| 16    | SOCBEN         | RW | 0x0 | ADC 采样开始脉冲 B（SOCB）产生使能<br>0: 关闭<br>1: 使能                                                                                                                                                                                                                                                                                                                                                                                           |
| 15:13 | RESERVED_15_13 | RO | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| 12:9  | SOCASEL        | RW | 0xF | SOCA 事件选择<br>0: TBCNT=0 时触发<br>1: TBCNT=TBPRD 时触发<br>2: TBCNT=0 或 TBCNT=TBPRD 时触发事件<br>3: TBCNT=CMPC 且 TBCNT 递增计数时触发<br>4: TBCNT=CMPC 且 TBCNT 递减计数时触发<br>5: TBCNT=CMPC 且 TBCNT 递增计数时触发<br>6: TBCNT=CMPC 且 TBCNT 递减计数时触发<br>7: TBCNT=CMPC 且 TBCNT 递增计数时触发<br>8: TBCNT=CMPC 且 TBCNT 递减计数时触发<br>9: TBCNT=CMPC 且 TBCNT 递增计数时触发<br>10: TBCNT=CMPC 且 TBCNT 递减计数时触发<br>11: DCAEVT0.SOC 事件触发<br>12: DCBEVT0.SOC 事件触发<br>其他: 不产生（禁止）SOCA 事件 |
| 8     | SOCAEN         | RW | 0x0 | ADC 采样开始脉冲 A（SOCA）产生使能<br>0: 关闭<br>1: 使能                                                                                                                                                                                                                                                                                                                                                                                           |
| 7:5   | RESERVED_7_5   | RO | 0x0 | 保留                                                                                                                                                                                                                                                                                                                                                                                                                                 |
| 4:1   | INTSEL         | RW | 0xF | 中断事件选择<br>0: TBCNT=0 时触发<br>1: TBCNT=TBPRD 时触发<br>2: TBCNT=0 或 TBCNT=TBPRD 时触发事件<br>3: TBCNT=CMPC 且 TBCNT 递增计数时触发<br>4: TBCNT=CMPC 且 TBCNT 递减计数时触发<br>5: TBCNT=CMPC 且 TBCNT 递增计数时触发<br>6: TBCNT=CMPC 且 TBCNT 递减计数时触发<br>7: TBCNT=CMPC 且 TBCNT 递增计数时触发<br>8: TBCNT=CMPC 且 TBCNT 递减计数时触发<br>9: TBCNT=CMPC 且 TBCNT 递增计数时触发                                                                                                            |

| 位段 | 位段名   | 属性 | 复位值 | 描述                                                                                                 |
|----|-------|----|-----|----------------------------------------------------------------------------------------------------|
|    |       |    |     | 10: TBCNT=CMPTD 且 TBCNT 递减计数时触发<br>11: DCAEVT0.SOC 事件触发<br>12: DCBEVT0.SOC 事件触发<br>其他: 不产生（禁止）中断事件 |
| 0  | INTEN | RW | 0x0 | 中断脉冲产生使能<br>0: 关闭<br>1: 使能                                                                         |

### 17.11.2.60 事件触发预分频寄存器 (ETPS)

表 17-126: 事件触发预分频寄存器 (ETPS) 位段定义

| ETPS (Event-Trigger Prescale Register)                     |    |    |    |         |    |    |    |
|------------------------------------------------------------|----|----|----|---------|----|----|----|
| Access: PWM->ETPS    Offset: 0x00EC    Default: 0x00000000 |    |    |    |         |    |    |    |
| 31                                                         | 30 | 29 | 28 | 27      | 26 | 25 | 24 |
| SOCCCNT                                                    |    |    |    | SOCCPRD |    |    |    |
| 23                                                         | 22 | 21 | 20 | 19      | 18 | 17 | 16 |
| SOCBCNT                                                    |    |    |    | SOCBPRD |    |    |    |
| 15                                                         | 14 | 13 | 12 | 11      | 10 | 9  | 8  |
| SOCACNT                                                    |    |    |    | SOCAPRD |    |    |    |
| 7                                                          | 6  | 5  | 4  | 3       | 2  | 1  | 0  |
| INTCNT                                                     |    |    |    | INTPRD  |    |    |    |

表 17-127: 事件触发预分频寄存器 (ETPS) 位段描述

| 位段    | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                                                                                        |
|-------|---------|----|-----|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:28 | SOCCCNT | RW | 0x0 | <p>SOCC 事件计数</p> <p>该位段记录了 ETCTL.SOCCSEL 指定的 SOCC 事件发生的次数。当 SOCC 脉冲产生时，该位段自动清零。</p> <p>0: 事件未发生<br/>1: 事件已发生了 1 次<br/>2: 事件发生了 2 次<br/>.....<br/>15: 事件发生了 15 次</p>                                                                       |
| 27:24 | SOCCPRD | RW | 0x0 | <p>SOCC 事件周期</p> <p>当 ETCTL.SOCCEN = 1 且 SOCCCNT = SOCCPRD 时产生</p> <p>0: 禁用 SOCC 计数器且不产生 SOCC 事件<br/>1: 当 ETPS.SOCCCNT=1 (每次) 时产生 SOCC<br/>2: 当 ETPS.SOCCCNT=2 (每 2 次) 时产生 SOCC<br/>.....<br/>15: 当 ETPS.SOCCCNT=15 (每 15 次) 时产生 SOCC</p> |
| 23:20 | SOCBCNT | RW | 0x0 | <p>SOCB 事件计数</p> <p>该位段记录了 ETCTL.SOCBSEL 指定的 SOCB 事件发生的次数。当 SOCB 脉冲产生时，该位段自动清零。</p> <p>0: 事件未发生<br/>1: 事件已发生了 1 次<br/>2: 事件发生了 2 次<br/>.....<br/>15: 事件发生了 15 次</p>                                                                       |
| 19:16 | SOCBPRD | RW | 0x0 | <p>SOCB 事件周期</p> <p>当 ETCTL.SOCBEN = 1 且 SOCBCNT = SOCBPRD 时产生</p> <p>0: 禁用 SOCB 计数器且不产生 SOCB 事件</p>                                                                                                                                      |

| 位段    | 位段名     | 属性 | 复位值 | 描述                                                                                                                                                                                                             |
|-------|---------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|       |         |    |     | 1: 当 ETPS.SOCBCNT=1（每次）时产生 SOCB<br>2: 当 ETPS.SOCBCNT=2（每 2 次）时产生 SOCB<br>.....<br>15: 当 ETPS.SOCBCNT=15（每 15 次）时产生 SOCB                                                                                        |
| 15:12 | SOCACNT | RW | 0x0 | SOCA 事件计数<br>该位段记录了 ETCTL.SOCASEL 指定的 SOCA 事件发生的次数。当 SOCA 脉冲产生时，该位段自动清零。<br>0: 事件未发生<br>1: 事件已发生了 1 次<br>2: 事件发生了 2 次<br>.....<br>15: 事件发生了 15 次                                                               |
| 11:8  | SOCAPRD | RW | 0x0 | SOCA 事件周期<br>ETCTL.SOCAEN = 1 且 SOCACNT = SOCAPRD 时产生<br>0: 禁用 SOCA 计数器且不产生 SOCA 事件<br>1: 当 ETPS.SOCACNT=1（每次）时产生 SOCA<br>2: 当 ETPS.SOCACNT=2（每 2 次）时产生 SOCA<br>.....<br>15: 当 ETPS.SOCACNT=15（每 15 次）时产生 SOCA |
| 7:4   | INTCNT  | RW | 0x0 | 中断事件计数<br>该位段记录了 ETCTL.INTSEL 指定的中断事件发生的次数。当中断脉冲产生时，该位段自动清零。<br>0: 事件未发生<br>1: 事件已发生了 1 次<br>2: 事件发生了 2 次<br>.....<br>15: 事件发生了 15 次                                                                           |
| 3:0   | INTPRD  | RW | 0x0 | 中断事件周期<br>ETCTL.INTEN = 1 且 INTCNT = INTPRD 时产生中断脉冲<br>0: 禁用中断计数器且不产生中断事件<br>1: 当 ETPS.INTCNT=1（每次）时产生中断脉冲<br>2: 当 ETPS.INTCNT=2（每 2 次）时产生中断脉冲<br>.....<br>15: 当 ETPS.INTCNT=15（每 15 次）时产生中断脉冲                 |

### 17.11.2.61 事件触发标志寄存器（ETFLG）

表 17-128: 事件触发标志寄存器（ETFLG）位段定义

| ETFLG (Event-Trigger Flag Register) |    |                |    |                     |      |      |     |
|-------------------------------------|----|----------------|----|---------------------|------|------|-----|
| Access: PWM->ETFLG                  |    | Offset: 0x00F0 |    | Default: 0x00000000 |      |      |     |
| 31                                  | 30 | 29             | 28 | 27                  | 26   | 25   | 24  |
| RESERVED                            |    |                |    |                     |      |      |     |
| 23                                  | 22 | 21             | 20 | 19                  | 18   | 17   | 16  |
| RESERVED                            |    |                |    |                     |      |      |     |
| 15                                  | 14 | 13             | 12 | 11                  | 10   | 9    | 8   |
| RESERVED                            |    |                |    |                     |      |      |     |
| 7                                   | 6  | 5              | 4  | 3                   | 2    | 1    | 0   |
| RESERVED                            |    |                |    | SOCC                | SOCB | SOCA | INT |

表 17-129: 事件触发标志寄存器（ETFLG）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                      |
|------|---------------|----|-----|-----------------------------------------------------------------------------------------|
| 31:4 | RESERVED_31_4 | RO | 0x0 | 保留                                                                                      |
| 3    | SOCC          | RO | 0x0 | 送至 ADC 的采样开始脉冲 SOCC 发生的标志<br>0: SOCC 脉冲未产生<br>1: SOCC 脉冲产生<br>本位段置 1 时不会阻止后续 SOCC 脉冲产生。 |
| 2    | SOCB          | RO | 0x0 | 送至 ADC 的采样开始脉冲 SOCB 发生的标志<br>0: SOCB 脉冲未产生<br>1: SOCB 脉冲产生<br>本位段置 1 时不会阻止后续 SOCB 脉冲产生。 |
| 1    | SOCA          | RO | 0x0 | 送至 ADC 的采样开始脉冲 SOCA 发生的标志<br>0: SOCA 脉冲未产生<br>1: SOCA 脉冲产生<br>本位段置 1 时不会阻止后续 SOCA 脉冲产生。 |
| 0    | INT           | RO | 0x0 | 送至 CPU 的中断发生的标志<br>0: 中断脉冲未产生<br>1: 中断脉冲产生<br>本位段置 1 时将阻止后续中断脉冲发生。                      |

## 17.11.2.62 事件触发标志清除寄存器 (ETCLR)

表 17-130: 事件触发标志清除寄存器 (ETCLR) 位段定义

| ETCLR (Event-Trigger Clear Register) |    |                |    |                     |      |      |     |
|--------------------------------------|----|----------------|----|---------------------|------|------|-----|
| Access: PWM->ETCLR                   |    | Offset: 0x00F4 |    | Default: 0x00000000 |      |      |     |
| 31                                   | 30 | 29             | 28 | 27                  | 26   | 25   | 24  |
| RESERVED                             |    |                |    |                     |      |      |     |
| 23                                   | 22 | 21             | 20 | 19                  | 18   | 17   | 16  |
| RESERVED                             |    |                |    |                     |      |      |     |
| 15                                   | 14 | 13             | 12 | 11                  | 10   | 9    | 8   |
| RESERVED                             |    |                |    |                     |      |      |     |
| 7                                    | 6  | 5              | 4  | 3                   | 2    | 1    | 0   |
| RESERVED                             |    |                |    | SOCC                | SOCB | SOCA | INT |

表 17-131: 事件触发标志清除寄存器 (ETCLR) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                                |
|------|---------------|-----|-----|-------------------------------------------------------------------|
| 31:4 | RESERVED_31_4 | RO  | 0x0 | 保留                                                                |
| 3    | SOCC          | W1S | 0x0 | SOCC 标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除 ETFLG.SOCC 标志, 本位段自动清零 |
| 2    | SOCB          | W1S | 0x0 | SOCB 标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除 ETFLG.SOCB 标志, 本位段自动清零 |
| 1    | SOCA          | W1S | 0x0 | SOCA 标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除 ETFLG.SOCA 标志, 本位段自动清零 |
| 0    | INT           | W1S | 0x0 | 中断标志清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除 ETFLG.INT 标志, 本位段自动清零     |

### 17.11.2.63 事件触发软件强制寄存器（ETFRC）

表 17-132：事件触发软件强制寄存器（ETFRC）位段定义

| ETFRC (Event-Trigger Force Register)                        |    |    |    |        |        |        |       |
|-------------------------------------------------------------|----|----|----|--------|--------|--------|-------|
| Access: PWM->ETFRC    Offset: 0x00F8    Default: 0x00000000 |    |    |    |        |        |        |       |
| 31                                                          | 30 | 29 | 28 | 27     | 26     | 25     | 24    |
| RESERVED                                                    |    |    |    |        |        |        |       |
| 23                                                          | 22 | 21 | 20 | 19     | 18     | 17     | 16    |
| RESERVED                                                    |    |    |    |        |        |        |       |
| 15                                                          | 14 | 13 | 12 | 11     | 10     | 9      | 8     |
| RESERVED                                                    |    |    |    | SOCCWE | SOCBWE | SOCAWE | INTWE |
| 7                                                           | 6  | 5  | 4  | 3      | 2      | 1      | 0     |
| RESERVED                                                    |    |    |    | SOCC   | SOCB   | SOCA   | INT   |

表 17-133：事件触发软件强制寄存器（ETFRC）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                       |
|-------|----------------|-----|-----|----------------------------------------------------------------------------------------------------------|
| 31:12 | RESERVED_31_12 | RO  | 0x0 | 保留                                                                                                       |
| 11    | SOCCWE         | W1S | 0x0 | SOCC 位写使能（必须与 SOCC 位同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零                                     |
| 10    | SOCBWE         | W1S | 0x0 | SOCB 位写使能（必须与 SOCB 位同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零                                     |
| 9     | SOCAWE         | W1S | 0x0 | SOCA 位写使能（必须与 SOCA 位同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零                                     |
| 8     | INTWE          | W1S | 0x0 | INT 位写使能（必须与 INT 位同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零                                       |
| 7:4   | RESERVED_7_4   | RO  | 0x0 | 保留                                                                                                       |
| 3     | SOCC           | W1S | 0x0 | 软件强制 SOCC 事件<br>ETCTL.SOCCEN=0 或 ETPS.SOCCPRD=0 时位段无效<br>0: 写 0 无效，读总是 0<br>1: 写 1 强制产生一次 SOCC 事件，位段自动清零 |
| 2     | SOCB           | W1S | 0x0 | 软件强制 SOCB 事件<br>ETCTL.SOCBEN=0 或 ETPS.SOCBPRD=0 时位段无效<br>0: 写 0 无效，读总是 0<br>1: 写 1 强制产生一次 SOCB 事件，位段自动清零 |
| 1     | SOCA           | W1S | 0x0 | 软件强制 SOCA 事件<br>ETCTL.SOCAEN=0 或 ETPS.SOCAPRD=0 时位段无效<br>0: 写 0 无效，读总是 0                                 |



| 位段 | 位段名 | 属性  | 复位值 | 描述                                                                                              |
|----|-----|-----|-----|-------------------------------------------------------------------------------------------------|
|    |     |     |     | 1: 写 1 强制产生一次 SOCA 事件，位段自动清零                                                                    |
| 0  | INT | W1S | 0x0 | 软件强制中断事件<br>ETCTL.INTEN=0 或 ETPS.INTPRD=0 时本位段无效<br>0: 写 0 无效，读总是 0<br>1: 写 1 强制产生一次中断事件，位段自动清零 |

#### 17.11.2.64 PWM 模块写使能寄存器（PWMREGKEY）

表 17-134: PWM 模块写使能寄存器（PWMREGKEY）位段定义

|                                                   |    |                |    |                     |    |    |    |
|---------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| PWMREGKEY (PWM Register Write-Allow Key Register) |    |                |    |                     |    |    |    |
| Access: PWM->PWMREGKEY                            |    | Offset: 0x00FC |    | Default: 0x1ACCE551 |    |    |    |
| 31                                                | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| KEY                                               |    |                |    |                     |    |    |    |
| 23                                                | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| KEY                                               |    |                |    |                     |    |    |    |
| 15                                                | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| KEY                                               |    |                |    |                     |    |    |    |
| 7                                                 | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| KEY                                               |    |                |    |                     |    |    |    |

表 17-135: PWM 模块写使能寄存器（PWMREGKEY）位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                           |
|------|-----|----|------------|------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 PWM 寄存器 |

### 17.11.3 PWMCFG 寄存器列表

表 17-136: PWMCFG 模块基地址

| 外设模块   | 基地址         |
|--------|-------------|
| PWMCFG | 0x4000 8F00 |

表 17-137: PWMCFG 寄存器列表

| 寄存器                                   | 偏移地址   | 描述                         | 复位值        |
|---------------------------------------|--------|----------------------------|------------|
| <a href="#"><u>TZ0SRCCTL</u></a> *    | 0x0000 | TZ0 信号源控制寄存器               | 0x00000001 |
| <a href="#"><u>TZ1SRCCTL</u></a> *    | 0x0004 | TZ1 信号源控制寄存器               | 0x00000001 |
| <a href="#"><u>TZ2SRCCTL</u></a> *    | 0x0008 | TZ2 信号源控制寄存器               | 0x00000001 |
| <a href="#"><u>TZ3SRCCTL</u></a> *    | 0x000C | TZ3 信号源控制寄存器               | 0x00000001 |
| <a href="#"><u>TZ4SRCCTL</u></a> *    | 0x0010 | TZ4 信号源控制寄存器               | 0x00000001 |
| <a href="#"><u>FRCSYNC</u></a>        | 0x0014 | 全局 PWM 软件强制同步寄存器           | 0x00000000 |
| <a href="#"><u>GPIOSYNCTL</u></a> *   | 0x0018 | GPIO 触发 PWMSYNCTI 信号源控制寄存器 | 0x00000001 |
| <a href="#"><u>GPIOSYNCIEN</u></a> *  | 0x001C | GPIO 触发 PWMSYNCTI 使能寄存器    | 0x00000000 |
| <a href="#"><u>TMR0SYNCIEN</u></a> *  | 0x0020 | TIMER0 触发 PWMSYNCTI 使能寄存器  | 0x00000000 |
| <a href="#"><u>TMR1SYNCIEN</u></a> *  | 0x0024 | TIMER1 触发 PWMSYNCTI 使能寄存器  | 0x00000000 |
| <a href="#"><u>TMR2SYNCIEN</u></a> *  | 0x0028 | TIMER2 触发 PWMSYNCTI 使能寄存器  | 0x00000000 |
| <a href="#"><u>EQEP0SYNCIEN</u></a> * | 0x002C | EQEP0 触发 PWMSYNCTI 使能寄存器   | 0x00000000 |
| <a href="#"><u>EQEP1SYNCIEN</u></a> * | 0x0030 | EQEP1 触发 PWMSYNCTI 使能寄存器   | 0x00000000 |
| <a href="#"><u>ECAP0SYNCIEN</u></a> * | 0x0034 | ECAP0 触发 PWMSYNCTI 使能寄存器   | 0x00000000 |
| <a href="#"><u>ECAP1SYNCIEN</u></a> * | 0x0038 | ECAP1 触发 PWMSYNCTI 使能寄存器   | 0x00000000 |
| <a href="#"><u>SYNCOCTL</u></a> *     | 0x003C | PWMSYNCO 输出控制寄存器           | 0x00000007 |
| <a href="#"><u>SOC AOCTL</u></a> *    | 0x0040 | PWMSOCA 输出控制寄存器            | 0x00000007 |
| <a href="#"><u>SOCBOCTL</u></a> *     | 0x0044 | PWMSOCB 输出控制寄存器            | 0x00000007 |
| <a href="#"><u>SOC COCTL</u></a> *    | 0x0048 | PWMSOCC 输出控制寄存器            | 0x00000007 |
| <a href="#"><u>PWMCFGREGKEY</u></a>   | 0x004C | PWMCFG 模块写使能寄存器            | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 PWMCFGREGKEY=0x1ACCE551 时才可以改写。

## 17.11.4 PWMCFG 寄存器

### 17.11.4.1 TZ0 信号源控制寄存器 (TZ0SRCCTL)

表 17-138: TZ0 信号源控制寄存器 (TZ0SRCCTL) 位段定义

| TZ0SRCCTL (TZ0 Source Control Register) |    |                |    |                     |    |    |     |
|-----------------------------------------|----|----------------|----|---------------------|----|----|-----|
| Access: PWMCFG->TZ0SRCCTL               |    | Offset: 0x0000 |    | Default: 0x00000001 |    |    |     |
| 31                                      | 30 | 29             | 28 | 27                  | 26 | 25 | 24  |
| RESERVED                                |    |                |    |                     |    |    |     |
| 23                                      | 22 | 21             | 20 | 19                  | 18 | 17 | 16  |
| RESERVED                                |    |                |    |                     |    |    |     |
| 15                                      | 14 | 13             | 12 | 11                  | 10 | 9  | 8   |
| RESERVED                                |    |                |    |                     |    |    |     |
| 7                                       | 6  | 5              | 4  | 3                   | 2  | 1  | 0   |
| IOSEL                                   |    |                |    |                     |    |    | POL |

表 17-139: TZ0 信号源控制寄存器 (TZ0SRCCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                 |
|------|---------------|----|-----|----------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                                 |
| 7:1  | IOSEL         | RW | 0x0 | 触发 TZ0 的 GPIO 引脚编号                                 |
| 0    | POL           | RW | 0x1 | TZ0 极性<br>0: GPIO 输入低时触发 TZ0<br>1: GPIO 输入高时触发 TZ0 |

### 17.11.4.2 TZ1 信号源控制寄存器 (TZ1SRCCTL)

表 17-140: TZ1 信号源控制寄存器 (TZ1SRCCTL) 位段定义

| TZ1SRCCTL (TZ1 Source Control Register) |    |                |    |                     |    |    |     |
|-----------------------------------------|----|----------------|----|---------------------|----|----|-----|
| Access: PWMCFG->TZ1SRCCTL               |    | Offset: 0x0004 |    | Default: 0x00000001 |    |    |     |
| 31                                      | 30 | 29             | 28 | 27                  | 26 | 25 | 24  |
| RESERVED                                |    |                |    |                     |    |    |     |
| 23                                      | 22 | 21             | 20 | 19                  | 18 | 17 | 16  |
| RESERVED                                |    |                |    |                     |    |    |     |
| 15                                      | 14 | 13             | 12 | 11                  | 10 | 9  | 8   |
| RESERVED                                |    |                |    |                     |    |    |     |
| 7                                       | 6  | 5              | 4  | 3                   | 2  | 1  | 0   |
| IOSEL                                   |    |                |    |                     |    |    | POL |

表 17-141: TZ1 信号源控制寄存器 (TZ1SRCCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                 |
|------|---------------|----|-----|----------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                                 |
| 7:1  | IOSEL         | RW | 0x0 | 触发 TZ1 的 GPIO 引脚编号                                 |
| 0    | POL           | RW | 0x1 | TZ1 极性<br>0: GPIO 输入低时触发 TZ1<br>1: GPIO 输入高时触发 TZ1 |

### 17.11.4.3 TZ2 信号源控制寄存器 (TZ2SRCCTL)

表 17-142: TZ2 信号源控制寄存器 (TZ2SRCCTL) 位段定义

| TZ2SRCCTL (TZ2 Source Control Register) |    |    |    |                |    |                     |     |
|-----------------------------------------|----|----|----|----------------|----|---------------------|-----|
| Access: PWMCFG->TZ2SRCCTL               |    |    |    | Offset: 0x0008 |    | Default: 0x00000001 |     |
| 31                                      | 30 | 29 | 28 | 27             | 26 | 25                  | 24  |
| RESERVED                                |    |    |    |                |    |                     |     |
| 23                                      | 22 | 21 | 20 | 19             | 18 | 17                  | 16  |
| RESERVED                                |    |    |    |                |    |                     |     |
| 15                                      | 14 | 13 | 12 | 11             | 10 | 9                   | 8   |
| RESERVED                                |    |    |    |                |    |                     |     |
| 7                                       | 6  | 5  | 4  | 3              | 2  | 1                   | 0   |
| IOSEL                                   |    |    |    |                |    |                     | POL |

表 17-143: TZ2 信号源控制寄存器 (TZ2SRCCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                 |
|------|---------------|----|-----|----------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                                 |
| 7:1  | IOSEL         | RW | 0x0 | 触发 TZ2 的 GPIO 引脚编号                                 |
| 0    | POL           | RW | 0x1 | TZ2 极性<br>0: GPIO 输入低时触发 TZ2<br>1: GPIO 输入高时触发 TZ2 |

### 17.11.4.4 TZ3 信号源控制寄存器 (TZ3SRCCTL)

表 17-144: TZ3 信号源控制寄存器 (TZ3SRCCTL) 位段定义

| TZ3SRCCTL (TZ3 Source Control Register) |    |    |    |                |    |                     |     |
|-----------------------------------------|----|----|----|----------------|----|---------------------|-----|
| Access: PWMCFG->TZ3SRCCTL               |    |    |    | Offset: 0x000C |    | Default: 0x00000001 |     |
| 31                                      | 30 | 29 | 28 | 27             | 26 | 25                  | 24  |
| RESERVED                                |    |    |    |                |    |                     |     |
| 23                                      | 22 | 21 | 20 | 19             | 18 | 17                  | 16  |
| RESERVED                                |    |    |    |                |    |                     |     |
| 15                                      | 14 | 13 | 12 | 11             | 10 | 9                   | 8   |
| RESERVED                                |    |    |    |                |    |                     |     |
| 7                                       | 6  | 5  | 4  | 3              | 2  | 1                   | 0   |
| IOSEL                                   |    |    |    |                |    |                     | POL |

表 17-145: TZ3 信号源控制寄存器 (TZ3SRCCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                 |
|------|---------------|----|-----|----------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                                 |
| 7:1  | IOSEL         | RW | 0x0 | 触发 TZ3 的 GPIO 引脚编号                                 |
| 0    | POL           | RW | 0x1 | TZ3 极性<br>0: GPIO 输入低时触发 TZ3<br>1: GPIO 输入高时触发 TZ3 |

## 17.11.4.5 TZ4 信号源控制寄存器 (TZ4SRCCTL)

表 17-146: TZ4 信号源控制寄存器 (TZ4SRCCTL) 位段定义

| TZ4SRCCTL (TZ4 Source Control Register) |    |    |    |                |    |                     |     |
|-----------------------------------------|----|----|----|----------------|----|---------------------|-----|
| Access: PWMCFG->TZ4SRCCTL               |    |    |    | Offset: 0x0010 |    | Default: 0x00000001 |     |
| 31                                      | 30 | 29 | 28 | 27             | 26 | 25                  | 24  |
| RESERVED                                |    |    |    |                |    |                     |     |
| 23                                      | 22 | 21 | 20 | 19             | 18 | 17                  | 16  |
| RESERVED                                |    |    |    |                |    |                     |     |
| 15                                      | 14 | 13 | 12 | 11             | 10 | 9                   | 8   |
| RESERVED                                |    |    |    |                |    |                     |     |
| 7                                       | 6  | 5  | 4  | 3              | 2  | 1                   | 0   |
| IOSEL                                   |    |    |    |                |    |                     | POL |

表 17-147: TZ4 信号源控制寄存器 (TZ4SRCCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                 |
|------|---------------|----|-----|----------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                                 |
| 7:1  | IOSEL         | RW | 0x0 | 触发 TZ4 的 GPIO 引脚编号                                 |
| 0    | POL           | RW | 0x1 | TZ4 极性<br>0: GPIO 输入低时触发 TZ4<br>1: GPIO 输入高时触发 TZ4 |

### 17.11.4.6 全局 PWM 软件强制同步寄存器（FRCSYNC）

表 17-148：全局 PWM 软件强制同步寄存器（FRCSYNC）位段定义

|                                                                  |               |               |               |               |               |               |               |
|------------------------------------------------------------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|
| FRCSYNC (Global PWM Force Synchronization Register)              |               |               |               |               |               |               |               |
| Access: PWMCFG->FRCSYNC    Offset: 0x0014    Default: 0x00000000 |               |               |               |               |               |               |               |
| 31<br>PWMCLK                                                     | 30            | 29            | 28            | 27            | 26            | 25            | 24            |
| RESERVED                                                         |               |               |               |               |               |               |               |
| 23                                                               | 22            | 21            | 20            | 19            | 18            | 17            | 16            |
| RESERVED                                                         |               |               |               |               |               |               |               |
| 15                                                               | 14            | 13            | 12            | 11            | 10            | 9             | 8             |
| RESERVED                                                         |               |               |               |               |               |               |               |
| 7<br>PWM7SYNC                                                    | 6<br>PWM6SYNC | 5<br>PWM5SYNC | 4<br>PWM4SYNC | 3<br>PWM3SYNC | 2<br>PWM2SYNC | 1<br>PWM1SYNC | 0<br>PWM0SYNC |

表 17-149：全局 PWM 软件强制同步寄存器（FRCSYNC）位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                                 |
|------|---------------|-----|-----|--------------------------------------------------------------------|
| 31   | PWMCLK        | W1S | 0x0 | 软件强制同步所有 PWM 的时钟<br>0: 写 0 无效，读总是 0<br>1: 写 1 同步所有 PWM 的时钟，本位段自动清零 |
| 30:8 | RESERVED_30_8 | RO  | 0x0 | 保留                                                                 |
| 7    | PWM7SYNC      | W1S | 0x0 | 软件强制 PWM7 同步<br>0: 写 0 无效，读总是 0<br>1: 写 1 产生 PWM7 同步脉冲，本位段自动清零     |
| 6    | PWM6SYNC      | W1S | 0x0 | 软件强制 PWM6 同步<br>0: 写 0 无效，读总是 0<br>1: 写 1 产生 PWM6 同步脉冲，本位段自动清零     |
| 5    | PWM5SYNC      | W1S | 0x0 | 软件强制 PWM5 同步<br>0: 写 0 无效，读总是 0<br>1: 写 1 产生 PWM5 同步脉冲，本位段自动清零     |
| 4    | PWM4SYNC      | W1S | 0x0 | 软件强制 PWM4 同步<br>0: 写 0 无效，读总是 0<br>1: 写 1 产生 PWM4 同步脉冲，本位段自动清零     |
| 3    | PWM3SYNC      | W1S | 0x0 | 软件强制 PWM3 同步<br>0: 写 0 无效，读总是 0<br>1: 写 1 产生 PWM3 同步脉冲，本位段自动清零     |
| 2    | PWM2SYNC      | W1S | 0x0 | 软件强制 PWM2 同步<br>0: 写 0 无效，读总是 0<br>1: 写 1 产生 PWM2 同步脉冲，本位段自动清零     |
| 1    | PWM1SYNC      | W1S | 0x0 | 软件强制 PWM1 同步<br>0: 写 0 无效，读总是 0<br>1: 写 1 产生 PWM1 同步脉冲，本位段自动清零     |

| 位段 | 位段名      | 属性  | 复位值 | 描述                                                               |
|----|----------|-----|-----|------------------------------------------------------------------|
| 0  | PWMOSYNC | W1S | 0x0 | 软件强制 PWM0 同步<br>0: 写 0 无效, 读总是 0<br>1: 写 1 产生 PWM0 同步脉冲, 本位段自动清零 |

#### 17.11.4.7 GPIO 触发 PWMSYNCI 信号源控制寄存器 (GPIOSYNCCTL)

表 17-150: GPIO 触发 PWMSYNCI 信号源控制寄存器 (GPIOSYNCCTL) 位段定义

|                                                                      |    |    |    |    |    |    |     |
|----------------------------------------------------------------------|----|----|----|----|----|----|-----|
| GPIOSYNCCTL (GPIO PWMSYNCI Control Register)                         |    |    |    |    |    |    |     |
| Access: PWMCFG->GPIOSYNCCTL    Offset: 0x0018    Default: 0x00000001 |    |    |    |    |    |    |     |
| 31                                                                   | 30 | 29 | 28 | 27 | 26 | 25 | 24  |
| RESERVED                                                             |    |    |    |    |    |    |     |
| 23                                                                   | 22 | 21 | 20 | 19 | 18 | 17 | 16  |
| RESERVED                                                             |    |    |    |    |    |    |     |
| 15                                                                   | 14 | 13 | 12 | 11 | 10 | 9  | 8   |
| RESERVED                                                             |    |    |    |    |    |    |     |
| 7                                                                    | 6  | 5  | 4  | 3  | 2  | 1  | 0   |
| IOSEL                                                                |    |    |    |    |    |    | POL |

表 17-151: GPIO 触发 PWMSYNCI 信号源控制寄存器 (GPIOSYNCCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                    |
|------|---------------|----|-----|-----------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                                                    |
| 7:1  | IOSEL         | RW | 0x0 | 触发 PWMSYNCI 的 GPIO 输入引脚编号                                             |
| 0    | POL           | RW | 0x1 | PWMSYNCI 输入信号极性<br>0: GPIO 输入低时触发 PWMSYNCI<br>1: GPIO 输入高时触发 PWMSYNCI |

#### 17.11.4.8 GPIO 触发 PWMSYNCI 使能寄存器（GPIOSYNCEN）

表 17-152: GPIO 触发 PWMSYNCI 使能寄存器（GPIOSYNCEN）位段定义

| GPIOSYNCIEN (GPIO Force PWMSYNCI Enable Register) |          |          |          |                |          |                     |          |
|---------------------------------------------------|----------|----------|----------|----------------|----------|---------------------|----------|
| Access: PWMCFG->GPIOSYNCIEN                       |          |          |          | Offset: 0x001C |          | Default: 0x00000000 |          |
| 31                                                | 30       | 29       | 28       | 27             | 26       | 25                  | 24       |
| RESERVED                                          |          |          |          |                |          |                     |          |
| 23                                                | 22       | 21       | 20       | 19             | 18       | 17                  | 16       |
| RESERVED                                          |          |          |          |                |          |                     |          |
| 15                                                | 14       | 13       | 12       | 11             | 10       | 9                   | 8        |
| RESERVED                                          |          |          |          |                |          |                     |          |
| 7                                                 | 6        | 5        | 4        | 3              | 2        | 1                   | 0        |
| PWM7SYNC                                          | PWM6SYNC | PWM5SYNC | PWM4SYNC | PWM3SYNC       | PWM2SYNC | PWM1SYNC            | PWM0SYNC |

表 17-153: GPIO 触发 PWMSYNCI 使能寄存器（GPIOSYNCEN）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                   |
|------|---------------|----|-----|--------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                   |
| 7    | PWM7SYNC      | RW | 0x0 | 使能 GPIO 触发 PWM7 同步<br>0: 关闭<br>1: 使能 |
| 6    | PWM6SYNC      | RW | 0x0 | 使能 GPIO 触发 PWM6 同步<br>0: 关闭<br>1: 使能 |
| 5    | PWM5SYNC      | RW | 0x0 | 使能 GPIO 触发 PWM5 同步<br>0: 关闭<br>1: 使能 |
| 4    | PWM4SYNC      | RW | 0x0 | 使能 GPIO 触发 PWM4 同步<br>0: 关闭<br>1: 使能 |
| 3    | PWM3SYNC      | RW | 0x0 | 使能 GPIO 触发 PWM3 同步<br>0: 关闭<br>1: 使能 |
| 2    | PWM2SYNC      | RW | 0x0 | 使能 GPIO 触发 PWM2 同步<br>0: 关闭<br>1: 使能 |
| 1    | PWM1SYNC      | RW | 0x0 | 使能 GPIO 触发 PWM1 同步<br>0: 关闭<br>1: 使能 |
| 0    | PWM0SYNC      | RW | 0x0 | 使能 GPIO 触发 PWM0 同步<br>0: 关闭<br>1: 使能 |



## 17.11.4.9 TIMERO 触发 PWMSYNCI 使能寄存器 (TMROSYNCE)

表 17-154: TIMERO 触发 PWMSYNCI 使能寄存器 (TMROSYNCE) 位段定义

| TMROSYNCE (TIMERO Force PWMSYNCI Enable Register) |          |          |          |                |          |                     |          |
|---------------------------------------------------|----------|----------|----------|----------------|----------|---------------------|----------|
| Access: PWMCFG->TMROSYNCE                         |          |          |          | Offset: 0x0020 |          | Default: 0x00000000 |          |
| 31                                                | 30       | 29       | 28       | 27             | 26       | 25                  | 24       |
| RESERVED                                          |          |          |          |                |          |                     |          |
| 23                                                | 22       | 21       | 20       | 19             | 18       | 17                  | 16       |
| RESERVED                                          |          |          |          |                |          |                     |          |
| 15                                                | 14       | 13       | 12       | 11             | 10       | 9                   | 8        |
| RESERVED                                          |          |          |          |                |          |                     |          |
| 7                                                 | 6        | 5        | 4        | 3              | 2        | 1                   | 0        |
| PWM7SYNC                                          | PWM6SYNC | PWM5SYNC | PWM4SYNC | PWM3SYNC       | PWM2SYNC | PWM1SYNC            | PWM0SYNC |

表 17-155: TIMERO 触发 PWMSYNCI 使能寄存器 (TMROSYNCE) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                     |
|------|---------------|----|-----|----------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                     |
| 7    | PWM7SYNC      | RW | 0x0 | 使能 TIMERO 触发 PWM7 同步<br>0: 关闭<br>1: 使能 |
| 6    | PWM6SYNC      | RW | 0x0 | 使能 TIMERO 触发 PWM6 同步<br>0: 关闭<br>1: 使能 |
| 5    | PWM5SYNC      | RW | 0x0 | 使能 TIMERO 触发 PWM5 同步<br>0: 关闭<br>1: 使能 |
| 4    | PWM4SYNC      | RW | 0x0 | 使能 TIMERO 触发 PWM4 同步<br>0: 关闭<br>1: 使能 |
| 3    | PWM3SYNC      | RW | 0x0 | 使能 TIMERO 触发 PWM3 同步<br>0: 关闭<br>1: 使能 |
| 2    | PWM2SYNC      | RW | 0x0 | 使能 TIMERO 触发 PWM2 同步<br>0: 关闭<br>1: 使能 |
| 1    | PWM1SYNC      | RW | 0x0 | 使能 TIMERO 触发 PWM1 同步<br>0: 关闭<br>1: 使能 |
| 0    | PWM0SYNC      | RW | 0x0 | 使能 TIMERO 触发 PWM0 同步<br>0: 关闭<br>1: 使能 |

#### 17.11.4.10 TIMER1 触发 PWMSYNCI 使能寄存器 (TMR1SYNCEN)

表 17-156: TIMER1 触发 PWMSYNCI 使能寄存器 (TMR1SYNCEN) 位段定义

|                                                                      |          |          |          |          |          |          |          |
|----------------------------------------------------------------------|----------|----------|----------|----------|----------|----------|----------|
| TMR1SYNCIEN (TIMER1 Force PWMSYNCI Enable Register)                  |          |          |          |          |          |          |          |
| Access: PWMCFG->TMR1SYNCIEN    Offset: 0x0024    Default: 0x00000000 |          |          |          |          |          |          |          |
| 31                                                                   | 30       | 29       | 28       | 27       | 26       | 25       | 24       |
| RESERVED                                                             |          |          |          |          |          |          |          |
| 23                                                                   | 22       | 21       | 20       | 19       | 18       | 17       | 16       |
| RESERVED                                                             |          |          |          |          |          |          |          |
| 15                                                                   | 14       | 13       | 12       | 11       | 10       | 9        | 8        |
| RESERVED                                                             |          |          |          |          |          |          |          |
| 7                                                                    | 6        | 5        | 4        | 3        | 2        | 1        | 0        |
| PWM7SYNC                                                             | PWM6SYNC | PWM5SYNC | PWM4SYNC | PWM3SYNC | PWM2SYNC | PWM1SYNC | PWM0SYNC |

表 17-157: TIMER1 触发 PWMSYNCI 使能寄存器 (TMR1SYNCEN) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                     |
|------|---------------|----|-----|----------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                     |
| 7    | PWM7SYNC      | RW | 0x0 | 使能 TIMER1 触发 PWM7 同步<br>0: 关闭<br>1: 使能 |
| 6    | PWM6SYNC      | RW | 0x0 | 使能 TIMER1 触发 PWM6 同步<br>0: 关闭<br>1: 使能 |
| 5    | PWM5SYNC      | RW | 0x0 | 使能 TIMER1 触发 PWM5 同步<br>0: 关闭<br>1: 使能 |
| 4    | PWM4SYNC      | RW | 0x0 | 使能 TIMER1 触发 PWM4 同步<br>0: 关闭<br>1: 使能 |
| 3    | PWM3SYNC      | RW | 0x0 | 使能 TIMER1 触发 PWM3 同步<br>0: 关闭<br>1: 使能 |
| 2    | PWM2SYNC      | RW | 0x0 | 使能 TIMER1 触发 PWM2 同步<br>0: 关闭<br>1: 使能 |
| 1    | PWM1SYNC      | RW | 0x0 | 使能 TIMER1 触发 PWM1 同步<br>0: 关闭<br>1: 使能 |
| 0    | PWM0SYNC      | RW | 0x0 | 使能 TIMER1 触发 PWM0 同步<br>0: 关闭<br>1: 使能 |

## 17.11.4.11 TIMER2 触发 PWMSYNCI 使能寄存器 (TMR2SYNCEN)

表 17-158: TIMER2 触发 PWMSYNCI 使能寄存器 (TMR2SYNCEN) 位段定义

| TMR2SYNCIEN (TIMER2 Force PWMSYNCI Enable Register)                  |          |          |          |          |          |          |          |
|----------------------------------------------------------------------|----------|----------|----------|----------|----------|----------|----------|
| Access: PWMCFG->TMR2SYNCIEN    Offset: 0x0028    Default: 0x00000000 |          |          |          |          |          |          |          |
| 31                                                                   | 30       | 29       | 28       | 27       | 26       | 25       | 24       |
| RESERVED                                                             |          |          |          |          |          |          |          |
| 23                                                                   | 22       | 21       | 20       | 19       | 18       | 17       | 16       |
| RESERVED                                                             |          |          |          |          |          |          |          |
| 15                                                                   | 14       | 13       | 12       | 11       | 10       | 9        | 8        |
| RESERVED                                                             |          |          |          |          |          |          |          |
| 7                                                                    | 6        | 5        | 4        | 3        | 2        | 1        | 0        |
| PWM7SYNC                                                             | PWM6SYNC | PWM5SYNC | PWM4SYNC | PWM3SYNC | PWM2SYNC | PWM1SYNC | PWM0SYNC |

表 17-159: TIMER2 触发 PWMSYNCI 使能寄存器 (TMR2SYNCEN) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                     |
|------|---------------|----|-----|----------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                     |
| 7    | PWM7SYNC      | RW | 0x0 | 使能 TIMER2 触发 PWM7 同步<br>0: 关闭<br>1: 使能 |
| 6    | PWM6SYNC      | RW | 0x0 | 使能 TIMER2 触发 PWM6 同步<br>0: 关闭<br>1: 使能 |
| 5    | PWM5SYNC      | RW | 0x0 | 使能 TIMER2 触发 PWM5 同步<br>0: 关闭<br>1: 使能 |
| 4    | PWM4SYNC      | RW | 0x0 | 使能 TIMER2 触发 PWM4 同步<br>0: 关闭<br>1: 使能 |
| 3    | PWM3SYNC      | RW | 0x0 | 使能 TIMER2 触发 PWM3 同步<br>0: 关闭<br>1: 使能 |
| 2    | PWM2SYNC      | RW | 0x0 | 使能 TIMER2 触发 PWM2 同步<br>0: 关闭<br>1: 使能 |
| 1    | PWM1SYNC      | RW | 0x0 | 使能 TIMER2 触发 PWM1 同步<br>0: 关闭<br>1: 使能 |
| 0    | PWM0SYNC      | RW | 0x0 | 使能 TIMER2 触发 PWM0 同步<br>0: 关闭<br>1: 使能 |

#### 17.11.4.12 EQEP0 触发 PWMSYNCI 使能寄存器 (EQEP0SYNCIEN)

表 17-160: EQEP0 触发 PWMSYNCI 使能寄存器 (EQEP0SYNCIEN) 位段定义

| EQEP0SYNCIEN (EQEP0 Force PWMSYNCI Enable Register) |          |          |          |                |          |                     |          |
|-----------------------------------------------------|----------|----------|----------|----------------|----------|---------------------|----------|
| Access: PWMCFG->EQEP0SYNCIEN                        |          |          |          | Offset: 0x002C |          | Default: 0x00000000 |          |
| 31                                                  | 30       | 29       | 28       | 27             | 26       | 25                  | 24       |
| RESERVED                                            |          |          |          |                |          |                     |          |
| 23                                                  | 22       | 21       | 20       | 19             | 18       | 17                  | 16       |
| RESERVED                                            |          |          |          |                |          |                     |          |
| 15                                                  | 14       | 13       | 12       | 11             | 10       | 9                   | 8        |
| RESERVED                                            |          |          |          |                |          |                     |          |
| 7                                                   | 6        | 5        | 4        | 3              | 2        | 1                   | 0        |
| PWM7SYNC                                            | PWM6SYNC | PWM5SYNC | PWM4SYNC | PWM3SYNC       | PWM2SYNC | PWM1SYNC            | PWM0SYNC |

表 17-161: EQEP0 触发 PWMSYNCI 使能寄存器 (EQEP0SYNCIEN) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                    |
|------|---------------|----|-----|---------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                    |
| 7    | PWM7SYNC      | RW | 0x0 | 使能 EQEP0 触发 PWM7 同步<br>0: 关闭<br>1: 使能 |
| 6    | PWM6SYNC      | RW | 0x0 | 使能 EQEP0 触发 PWM6 同步<br>0: 关闭<br>1: 使能 |
| 5    | PWM5SYNC      | RW | 0x0 | 使能 EQEP0 触发 PWM5 同步<br>0: 关闭<br>1: 使能 |
| 4    | PWM4SYNC      | RW | 0x0 | 使能 EQEP0 触发 PWM4 同步<br>0: 关闭<br>1: 使能 |
| 3    | PWM3SYNC      | RW | 0x0 | 使能 EQEP0 触发 PWM3 同步<br>0: 关闭<br>1: 使能 |
| 2    | PWM2SYNC      | RW | 0x0 | 使能 EQEP0 触发 PWM2 同步<br>0: 关闭<br>1: 使能 |
| 1    | PWM1SYNC      | RW | 0x0 | 使能 EQEP0 触发 PWM1 同步<br>0: 关闭<br>1: 使能 |
| 0    | PWM0SYNC      | RW | 0x0 | 使能 EQEP0 触发 PWM0 同步<br>0: 关闭<br>1: 使能 |

## 17.11.4.13 EQEP1 触发 PWMSYNCI 使能寄存器 (EQEP1SYNCIEN)

表 17-162: EQEP1 触发 PWMSYNCI 使能寄存器 (EQEP1SYNCIEN) 位段定义

| EQEP1SYNCIEN (EQEP1 Force PWMSYNCI Enable Register)                   |          |          |          |          |          |          |          |
|-----------------------------------------------------------------------|----------|----------|----------|----------|----------|----------|----------|
| Access: PWMCFG->EQEP1SYNCIEN    Offset: 0x0030    Default: 0x00000000 |          |          |          |          |          |          |          |
| 31                                                                    | 30       | 29       | 28       | 27       | 26       | 25       | 24       |
| RESERVED                                                              |          |          |          |          |          |          |          |
| 23                                                                    | 22       | 21       | 20       | 19       | 18       | 17       | 16       |
| RESERVED                                                              |          |          |          |          |          |          |          |
| 15                                                                    | 14       | 13       | 12       | 11       | 10       | 9        | 8        |
| RESERVED                                                              |          |          |          |          |          |          |          |
| 7                                                                     | 6        | 5        | 4        | 3        | 2        | 1        | 0        |
| PWM7SYNC                                                              | PWM6SYNC | PWM5SYNC | PWM4SYNC | PWM3SYNC | PWM2SYNC | PWM1SYNC | PWM0SYNC |

表 17-163: EQEP1 触发 PWMSYNCI 使能寄存器 (EQEP1SYNCIEN) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                    |
|------|---------------|----|-----|---------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                    |
| 7    | PWM7SYNC      | RW | 0x0 | 使能 EQEP1 触发 PWM7 同步<br>0: 关闭<br>1: 使能 |
| 6    | PWM6SYNC      | RW | 0x0 | 使能 EQEP1 触发 PWM6 同步<br>0: 关闭<br>1: 使能 |
| 5    | PWM5SYNC      | RW | 0x0 | 使能 EQEP1 触发 PWM5 同步<br>0: 关闭<br>1: 使能 |
| 4    | PWM4SYNC      | RW | 0x0 | 使能 EQEP1 触发 PWM4 同步<br>0: 关闭<br>1: 使能 |
| 3    | PWM3SYNC      | RW | 0x0 | 使能 EQEP1 触发 PWM3 同步<br>0: 关闭<br>1: 使能 |
| 2    | PWM2SYNC      | RW | 0x0 | 使能 EQEP1 触发 PWM2 同步<br>0: 关闭<br>1: 使能 |
| 1    | PWM1SYNC      | RW | 0x0 | 使能 EQEP1 触发 PWM1 同步<br>0: 关闭<br>1: 使能 |
| 0    | PWM0SYNC      | RW | 0x0 | 使能 EQEP1 触发 PWM0 同步<br>0: 关闭<br>1: 使能 |

#### 17.11.4.14 ECAPO 触发 PWMSYNCI 使能寄存器 (ECAPOSYNCIEN)

表 17-164: ECAPO 触发 PWMSYNCI 使能寄存器 (ECAPOSYNCIEN) 位段定义

| ECAPOSYNCIEN (ECAPO Force PWMSYNCI Enable Register) |          |          |          |                |          |                     |          |
|-----------------------------------------------------|----------|----------|----------|----------------|----------|---------------------|----------|
| Access: PWMCFG->ECAPOSYNCIEN                        |          |          |          | Offset: 0x0034 |          | Default: 0x00000000 |          |
| 31                                                  | 30       | 29       | 28       | 27             | 26       | 25                  | 24       |
| RESERVED                                            |          |          |          |                |          |                     |          |
| 23                                                  | 22       | 21       | 20       | 19             | 18       | 17                  | 16       |
| RESERVED                                            |          |          |          |                |          |                     |          |
| 15                                                  | 14       | 13       | 12       | 11             | 10       | 9                   | 8        |
| RESERVED                                            |          |          |          |                |          |                     |          |
| 7                                                   | 6        | 5        | 4        | 3              | 2        | 1                   | 0        |
| PWM7SYNC                                            | PWM6SYNC | PWM5SYNC | PWM4SYNC | PWM3SYNC       | PWM2SYNC | PWM1SYNC            | PWM0SYNC |

表 17-165: ECAPO 触发 PWMSYNCI 使能寄存器 (ECAPOSYNCIEN) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                    |
|------|---------------|----|-----|---------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                    |
| 7    | PWM7SYNC      | RW | 0x0 | 使能 ECAPO 触发 PWM7 同步<br>0: 关闭<br>1: 使能 |
| 6    | PWM6SYNC      | RW | 0x0 | 使能 ECAPO 触发 PWM6 同步<br>0: 关闭<br>1: 使能 |
| 5    | PWM5SYNC      | RW | 0x0 | 使能 ECAPO 触发 PWM5 同步<br>0: 关闭<br>1: 使能 |
| 4    | PWM4SYNC      | RW | 0x0 | 使能 ECAPO 触发 PWM4 同步<br>0: 关闭<br>1: 使能 |
| 3    | PWM3SYNC      | RW | 0x0 | 使能 ECAPO 触发 PWM3 同步<br>0: 关闭<br>1: 使能 |
| 2    | PWM2SYNC      | RW | 0x0 | 使能 ECAPO 触发 PWM2 同步<br>0: 关闭<br>1: 使能 |
| 1    | PWM1SYNC      | RW | 0x0 | 使能 ECAPO 触发 PWM1 同步<br>0: 关闭<br>1: 使能 |
| 0    | PWM0SYNC      | RW | 0x0 | 使能 ECAPO 触发 PWM0 同步<br>0: 关闭<br>1: 使能 |

## 17.11.4.15 ECAP1 触发 PWMSYNCI 使能寄存器 (ECAP1SYNCIEN)

表 17-166: ECAP1 触发 PWMSYNCI 使能寄存器 (ECAP1SYNCIEN) 位段定义

| ECAP1SYNCIEN (ECAP1 Force PWMSYNCI Enable Register) |          |          |          |                |          |                     |          |
|-----------------------------------------------------|----------|----------|----------|----------------|----------|---------------------|----------|
| Access: PWMCFG->ECAP1SYNCIEN                        |          |          |          | Offset: 0x0038 |          | Default: 0x00000000 |          |
| 31                                                  | 30       | 29       | 28       | 27             | 26       | 25                  | 24       |
| RESERVED                                            |          |          |          |                |          |                     |          |
| 23                                                  | 22       | 21       | 20       | 19             | 18       | 17                  | 16       |
| RESERVED                                            |          |          |          |                |          |                     |          |
| 15                                                  | 14       | 13       | 12       | 11             | 10       | 9                   | 8        |
| RESERVED                                            |          |          |          |                |          |                     |          |
| 7                                                   | 6        | 5        | 4        | 3              | 2        | 1                   | 0        |
| PWM7SYNC                                            | PWM6SYNC | PWM5SYNC | PWM4SYNC | PWM3SYNC       | PWM2SYNC | PWM1SYNC            | PWM0SYNC |

表 17-167: ECAP1 触发 PWMSYNCI 使能寄存器 (ECAP1SYNCIEN) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                    |
|------|---------------|----|-----|---------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                    |
| 7    | PWM7SYNC      | RW | 0x0 | 使能 ECAP1 触发 PWM7 同步<br>0: 关闭<br>1: 使能 |
| 6    | PWM6SYNC      | RW | 0x0 | 使能 ECAP1 触发 PWM6 同步<br>0: 关闭<br>1: 使能 |
| 5    | PWM5SYNC      | RW | 0x0 | 使能 ECAP1 触发 PWM5 同步<br>0: 关闭<br>1: 使能 |
| 4    | PWM4SYNC      | RW | 0x0 | 使能 ECAP1 触发 PWM4 同步<br>0: 关闭<br>1: 使能 |
| 3    | PWM3SYNC      | RW | 0x0 | 使能 ECAP1 触发 PWM3 同步<br>0: 关闭<br>1: 使能 |
| 2    | PWM2SYNC      | RW | 0x0 | 使能 ECAP1 触发 PWM2 同步<br>0: 关闭<br>1: 使能 |
| 1    | PWM1SYNC      | RW | 0x0 | 使能 ECAP1 触发 PWM1 同步<br>0: 关闭<br>1: 使能 |
| 0    | PWM0SYNC      | RW | 0x0 | 使能 ECAP1 触发 PWM0 同步<br>0: 关闭<br>1: 使能 |

#### 17.11.4.16 PWMSYNCO 输出控制寄存器 (SYNCOCTL)

表 17-168: PWMSYNCO 输出控制寄存器 (SYNCOCTL) 位段定义

| SYNCOCTL (PWMSYNCO Control Register)                              |          |          |          |          |          |          |          |
|-------------------------------------------------------------------|----------|----------|----------|----------|----------|----------|----------|
| Access: PWMCFG->SYNCOCTL    Offset: 0x003C    Default: 0x00000007 |          |          |          |          |          |          |          |
| 31                                                                | 30       | 29       | 28       | 27       | 26       | 25       | 24       |
| RESERVED                                                          |          |          |          |          |          |          |          |
| 23                                                                | 22       | 21       | 20       | 19       | 18       | 17       | 16       |
| RESERVED                                                          |          |          |          |          |          |          |          |
| 15                                                                | 14       | 13       | 12       | 11       | 10       | 9        | 8        |
| RESERVED                                                          |          |          |          |          | SYNCO7EN | SYNCO6EN | SYNCO5EN |
| 7                                                                 | 6        | 5        | 4        | 3        | 2        | 1        | 0        |
| SYNCO4EN                                                          | SYNCO3EN | SYNCO2EN | SYNCO1EN | SYNCO0EN | POL      | DURATION |          |

表 17-169: PWMSYNCO 输出控制寄存器 (SYNCOCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                        |
|-------|----------------|----|-----|-------------------------------------------|
| 31:11 | RESERVED_31_11 | RO | 0x0 | 保留                                        |
| 10    | SYNCO7EN       | RW | 0x0 | 使能 PWM7SYNCO 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 9     | SYNCO6EN       | RW | 0x0 | 使能 PWM6SYNCO 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 8     | SYNCO5EN       | RW | 0x0 | 使能 PWM5SYNCO 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 7     | SYNCO4EN       | RW | 0x0 | 使能 PWM4SYNCO 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 6     | SYNCO3EN       | RW | 0x0 | 使能 PWM3SYNCO 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 5     | SYNCO2EN       | RW | 0x0 | 使能 PWM2SYNCO 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 4     | SYNCO1EN       | RW | 0x0 | 使能 PWM1SYNCO 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 3     | SYNCO0EN       | RW | 0x0 | 使能 PWM0SYNCO 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |



| 位段  | 位段名      | 属性 | 复位值 | 描述                                                                                                                            |
|-----|----------|----|-----|-------------------------------------------------------------------------------------------------------------------------------|
| 2   | POL      | RW | 0x1 | PWMSYNCO 输出到 IO 管脚的极性<br>0: PWMSYNCO 有效时将管脚置低<br>1: PWMSYNCO 有效时将管脚置高                                                         |
| 1:0 | DURATION | RW | 0x3 | PWMSYNCO 输出到 IO 管脚的脉冲宽度<br>0: 脉冲宽度为 4 个 PWM 时钟周期<br>1: 脉冲宽度为 8 个 PWM 时钟周期<br>2: 脉冲宽度为 16 个 PWM 时钟周期<br>3: 脉冲宽度为 32 个 PWM 时钟周期 |

#### 17.11.4.17 PWMSOCA 输出控制寄存器 (SOCAOCTL)

表 17-170: PWMSOCA 输出控制寄存器 (SOCAOCTL) 位段定义

|                                                                   |         |         |         |         |         |          |         |
|-------------------------------------------------------------------|---------|---------|---------|---------|---------|----------|---------|
| SOCAOCTL (PWMSOCA Output Control Register)                        |         |         |         |         |         |          |         |
| Access: PWMCFG->SOCAOCTL    Offset: 0x0040    Default: 0x00000007 |         |         |         |         |         |          |         |
| 31                                                                | 30      | 29      | 28      | 27      | 26      | 25       | 24      |
| RESERVED                                                          |         |         |         |         |         |          |         |
| 23                                                                | 22      | 21      | 20      | 19      | 18      | 17       | 16      |
| RESERVED                                                          |         |         |         |         |         |          |         |
| 15                                                                | 14      | 13      | 12      | 11      | 10      | 9        | 8       |
| RESERVED                                                          |         |         |         |         | SOCA7EN | SOCA6EN  | SOCA5EN |
| 7                                                                 | 6       | 5       | 4       | 3       | 2       | 1        | 0       |
| SOCA4EN                                                           | SOCA3EN | SOCA2EN | SOCA1EN | SOCA0EN | POL     | DURATION |         |

表 17-171: PWMSOCA 输出控制寄存器 (SOCAOCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                       |
|-------|----------------|----|-----|------------------------------------------|
| 31:11 | RESERVED_31_11 | RO | 0x0 | 保留                                       |
| 10    | SOCA7EN        | RW | 0x0 | 使能 PWM7SOCA 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 9     | SOCA6EN        | RW | 0x0 | 使能 PWM6SOCA 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 8     | SOCA5EN        | RW | 0x0 | 使能 PWM5SOCA 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 7     | SOCA4EN        | RW | 0x0 | 使能 PWM4SOCA 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 6     | SOCA3EN        | RW | 0x0 | 使能 PWM3SOCA 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 5     | SOCA2EN        | RW | 0x0 | 使能 PWM2SOCA 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 4     | SOCA1EN        | RW | 0x0 | 使能 PWM1SOCA 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 3     | SOCA0EN        | RW | 0x0 | 使能 PWM0SOCA 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |

| 位段  | 位段名      | 属性 | 复位值 | 描述                                                                                                                           |
|-----|----------|----|-----|------------------------------------------------------------------------------------------------------------------------------|
| 2   | POL      | RW | 0x1 | PWMSOCA 输出到 IO 管脚的极性<br>0: PWMSOCA 有效时将管脚置低<br>1: PWMSOCA 有效时将管脚置高                                                           |
| 1:0 | DURATION | RW | 0x3 | PWMSOCA 输出到 IO 管脚的脉冲宽度<br>0: 脉冲宽度为 4 个 PWM 时钟周期<br>1: 脉冲宽度为 8 个 PWM 时钟周期<br>2: 脉冲宽度为 16 个 PWM 时钟周期<br>3: 脉冲宽度为 32 个 PWM 时钟周期 |

#### 17.11.4.18 PWMSOCB 输出控制寄存器 (SOCBOCTL)

表 17-172: PWMSOCB 输出控制寄存器 (SOCBOCTL) 位段定义

|                                                                   |         |         |         |         |         |          |         |
|-------------------------------------------------------------------|---------|---------|---------|---------|---------|----------|---------|
| SOCBOCTL (PWMSOCB Output Control Register)                        |         |         |         |         |         |          |         |
| Access: PWMCFG->SOCBOCTL    Offset: 0x0044    Default: 0x00000007 |         |         |         |         |         |          |         |
| 31                                                                | 30      | 29      | 28      | 27      | 26      | 25       | 24      |
| RESERVED                                                          |         |         |         |         |         |          |         |
| 23                                                                | 22      | 21      | 20      | 19      | 18      | 17       | 16      |
| RESERVED                                                          |         |         |         |         |         |          |         |
| 15                                                                | 14      | 13      | 12      | 11      | 10      | 9        | 8       |
| RESERVED                                                          |         |         |         |         | SOCB7EN | SOCB6EN  | SOCB5EN |
| 7                                                                 | 6       | 5       | 4       | 3       | 2       | 1        | 0       |
| SOCB4EN                                                           | SOCB3EN | SOCB2EN | SOCB1EN | SOCB0EN | POL     | DURATION |         |

表 17-173: PWMSOCB 输出控制寄存器 (SOCBOCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                       |
|-------|----------------|----|-----|------------------------------------------|
| 31:11 | RESERVED_31_11 | RO | 0x0 | 保留                                       |
| 10    | SOCB7EN        | RW | 0x0 | 使能 PWM7SOCB 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 9     | SOCB6EN        | RW | 0x0 | 使能 PWM6SOCB 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 8     | SOCB5EN        | RW | 0x0 | 使能 PWM5SOCB 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 7     | SOCB4EN        | RW | 0x0 | 使能 PWM4SOCB 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 6     | SOCB3EN        | RW | 0x0 | 使能 PWM3SOCB 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 5     | SOCB2EN        | RW | 0x0 | 使能 PWM2SOCB 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 4     | SOCB1EN        | RW | 0x0 | 使能 PWM1SOCB 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 3     | SOCB0EN        | RW | 0x0 | 使能 PWM0SOCB 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |

| 位段  | 位段名      | 属性 | 复位值 | 描述                                                                                                                           |
|-----|----------|----|-----|------------------------------------------------------------------------------------------------------------------------------|
| 2   | POL      | RW | 0x1 | PWMSOCB 输出到 IO 管脚的极性<br>0: PWMSOCB 有效时将管脚置低<br>1: PWMSOCB 有效时将管脚置高                                                           |
| 1:0 | DURATION | RW | 0x3 | PWMSOCB 输出到 IO 管脚的脉冲宽度<br>0: 脉冲宽度为 4 个 PWM 时钟周期<br>1: 脉冲宽度为 8 个 PWM 时钟周期<br>2: 脉冲宽度为 16 个 PWM 时钟周期<br>3: 脉冲宽度为 32 个 PWM 时钟周期 |

#### 17.11.4.19 PWMSOCC 输出控制寄存器 (SOCCOCTL)

表 17-174: PWMSOCC 输出控制寄存器 (SOCCOCTL) 位段定义

| SOCCOCTL (PWMSOCC Output Control Register)                        |         |         |         |         |         |          |         |
|-------------------------------------------------------------------|---------|---------|---------|---------|---------|----------|---------|
| Access: PWMCFG->SOCCOCTL    Offset: 0x0048    Default: 0x00000007 |         |         |         |         |         |          |         |
| 31                                                                | 30      | 29      | 28      | 27      | 26      | 25       | 24      |
| RESERVED                                                          |         |         |         |         |         |          |         |
| 23                                                                | 22      | 21      | 20      | 19      | 18      | 17       | 16      |
| RESERVED                                                          |         |         |         |         |         |          |         |
| 15                                                                | 14      | 13      | 12      | 11      | 10      | 9        | 8       |
| RESERVED                                                          |         |         |         |         | SOCC7EN | SOCC6EN  | SOCC5EN |
| 7                                                                 | 6       | 5       | 4       | 3       | 2       | 1        | 0       |
| SOCC4EN                                                           | SOCC3EN | SOCC2EN | SOCC1EN | SOCC0EN | POL     | DURATION |         |

表 17-175: PWMSOCC 输出控制寄存器 (SOCCOCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                       |
|-------|----------------|----|-----|------------------------------------------|
| 31:11 | RESERVED_31_11 | RO | 0x0 | 保留                                       |
| 10    | SOCC7EN        | RW | 0x0 | 使能 PWM7SOCC 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 9     | SOCC6EN        | RW | 0x0 | 使能 PWM6SOCC 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 8     | SOCC5EN        | RW | 0x0 | 使能 PWM5SOCC 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 7     | SOCC4EN        | RW | 0x0 | 使能 PWM4SOCC 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 6     | SOCC3EN        | RW | 0x0 | 使能 PWM3SOCC 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 5     | SOCC2EN        | RW | 0x0 | 使能 PWM2SOCC 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 4     | SOCC1EN        | RW | 0x0 | 使能 PWM1SOCC 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |
| 3     | SOCC0EN        | RW | 0x0 | 使能 PWM0SOCC 输出到引脚（逻辑或）<br>0: 关闭<br>1: 使能 |

| 位段  | 位段名      | 属性 | 复位值 | 描述                                                                                                                           |
|-----|----------|----|-----|------------------------------------------------------------------------------------------------------------------------------|
| 2   | POL      | RW | 0x1 | PWMSOCC 输出到 IO 管脚的极性<br>0: PWMSOCC 有效时将管脚置低<br>1: PWMSOCC 有效时将管脚置高                                                           |
| 1:0 | DURATION | RW | 0x3 | PWMSOCC 输出到 IO 管脚的脉冲宽度<br>0: 脉冲宽度为 4 个 PWM 时钟周期<br>1: 脉冲宽度为 8 个 PWM 时钟周期<br>2: 脉冲宽度为 16 个 PWM 时钟周期<br>3: 脉冲宽度为 32 个 PWM 时钟周期 |

#### 17.11.4.20 PWMCFG 模块写使能寄存器 (PWMCFG)

表 17-176: PWMCFG 模块写使能寄存器 (PWMCFG) 位段定义

|                                                                                                                                  |    |    |    |    |    |    |    |
|----------------------------------------------------------------------------------------------------------------------------------|----|----|----|----|----|----|----|
| PWMCFGREGKEY (PWMCFG Register Write-Allow Key Register)<br>Access: PWMCFG->PWMCFGREGKEY    Offset: 0x004C    Default: 0x1ACCE551 |    |    |    |    |    |    |    |
| 31                                                                                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                                                                                              |    |    |    |    |    |    |    |
| 23                                                                                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                                                                                              |    |    |    |    |    |    |    |
| 15                                                                                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                                                                                              |    |    |    |    |    |    |    |
| 7                                                                                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| KEY                                                                                                                              |    |    |    |    |    |    |    |

表 17-177: PWMCFG 模块写使能寄存器 (PWMCFG) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                              |
|------|-----|----|------------|---------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 PWMCFG 寄存器 |

## 18 增强型捕获模块（ECAP）

### 18.1 概述

增强型捕获模块（ECAP）用于对外部输入事件的时序关系进行计时，应用场景包括：

- 机电设备的速度测量（例如使用霍尔传感器的电动车）；
- 测量脉冲信号的周期和占空；
- 对于占空比编码系统的解码。

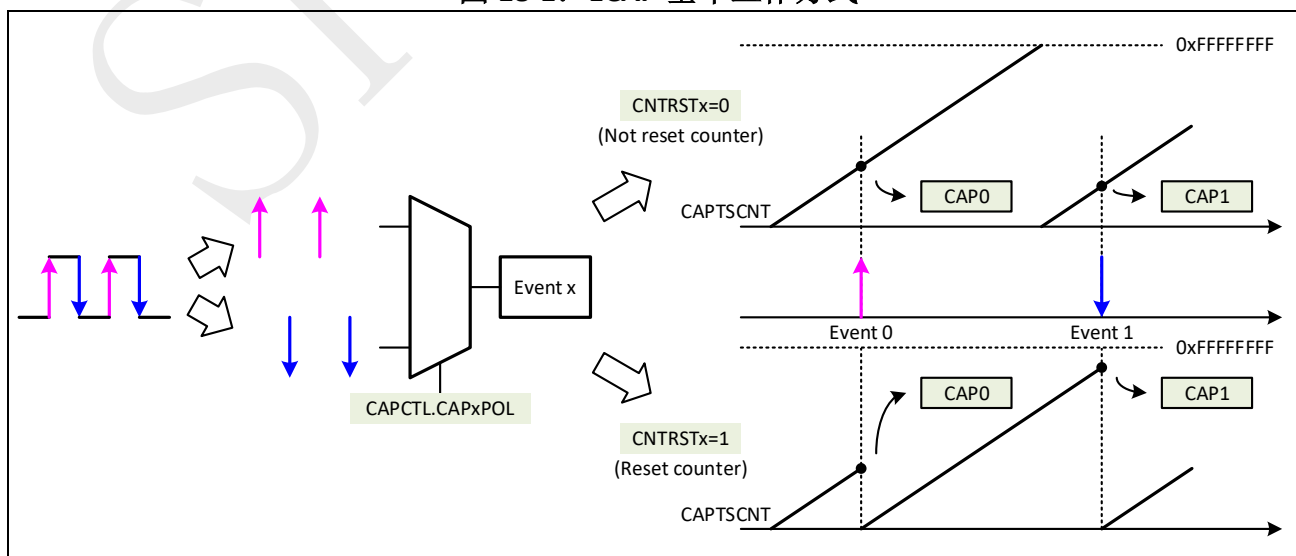
SPC1185 提供了 8 个 ECAP 模块，其特性如下：

- 时钟使能控制独立可配，最高频率同 CPU；
- 任意 GPIO 均可被配置为捕获引脚；
- 基于 32 位计数器的时间戳；
- 4 个 32 位时间戳捕获寄存器；
- 与外部事件同步的 4 级序列器
  - 单轮捕获模式：在依次完成最多 4 次捕获后停止；
  - 持续捕获模式：在最多 4 个捕获事件之间持续轮流执行；
- 4 个捕获事件均可独立选择边沿极性（上升/下降沿），均可触发中断；
- 支持绝对时间戳捕获和相对时间戳捕获；
- 若不需要捕获功能，可被配置为辅助 PWM（APWM）模式，产生简单的 PWM 波形。

### 18.2 功能描述

ECAP 的两种基本工作模式如图 18-1 所示。根据 CAPCTL.CAPxPOL 位段的配置，输入信号的上升沿或者下降沿被逐一编号成最多 4 个具有时序先后的捕获事件（CEVT0、CEVT1、CEVT2、CEVT3）。每个捕获事件发生时，时间戳计数器根据 CAPCTL.CNTRSTx 位段的配置决定是否复位。通过两者的配置，用户可以实现诸如信号周期和占空计算等复杂的捕获和测量功能。

图 18-1: ECAP 基本工作方式







### 18.4.1 事件预分频

输入的待捕获事件（持续脉冲序列）可以进行预分频，比例为  $N = \text{CAPCTL.EVTDIV} + 1$ ，这在高频输入作为输入事件时非常有用。图 18-4 和图 18-5 分别给出了预分频的控制逻辑和波形示例。

图 18-4：事件预分频控制

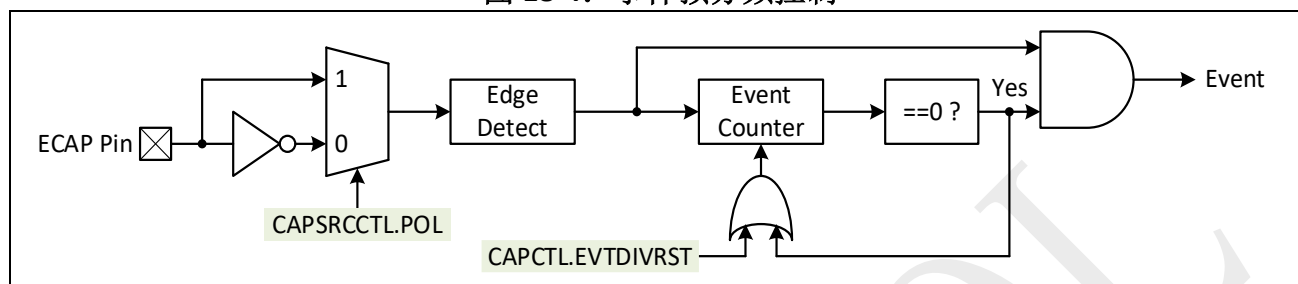
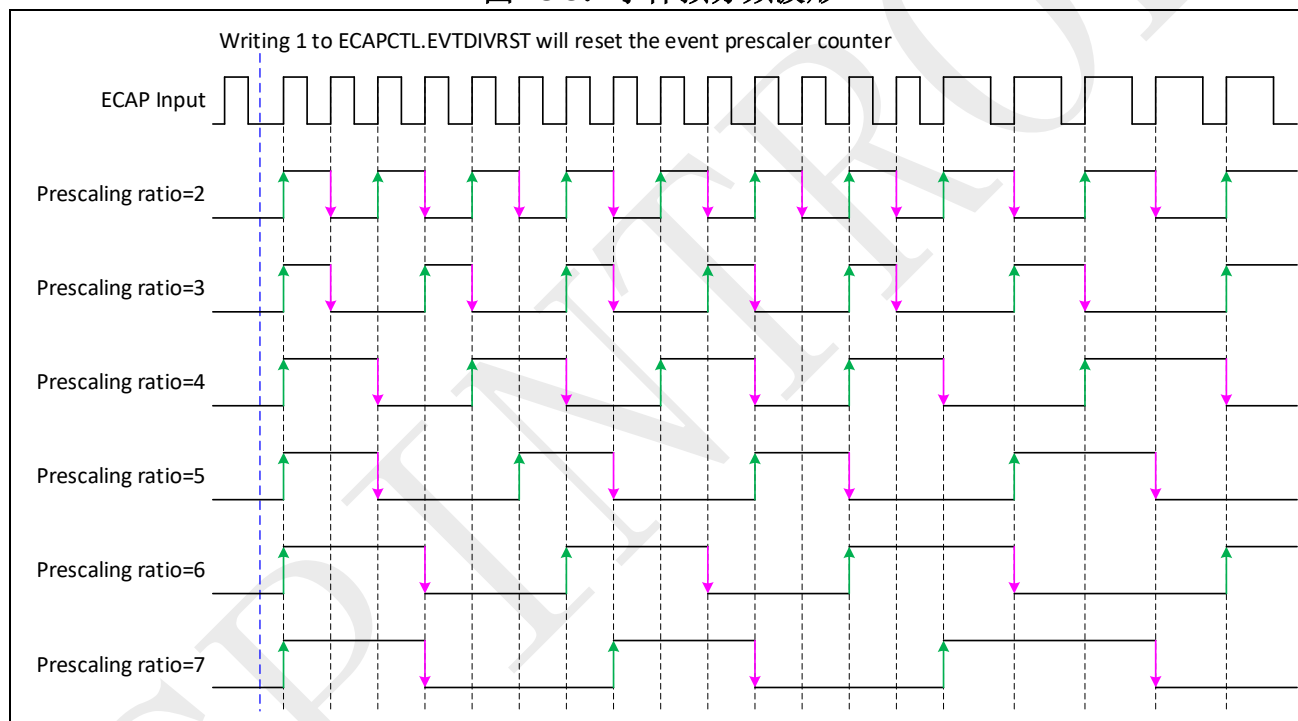


图 18-5：事件预分频波形



### 18.4.2 边沿选择和排序编号

每个事件（最多 4 个）对应的输入信号边沿（上升沿或下降沿）都有独立的配置：

- 每个边沿事件都通过模 4 计数器按顺序编号为 CEVT0、CEVT1、CEVT2、CEVT3；
- 每个事件触发的捕获，其结果由模 4 计数器控制存入对应的 CAPx 寄存器。

### 18.4.3 双引脚捕获

为了便于从两个引脚捕获边沿的时序差异，ECAP 模块支持可选的双引脚模式。在这种情况下，捕获事件 CEVT0 和 CEVT2 来自一个引脚，而捕获事件 CEVT1 和 CEVT3 来自另一个引脚。

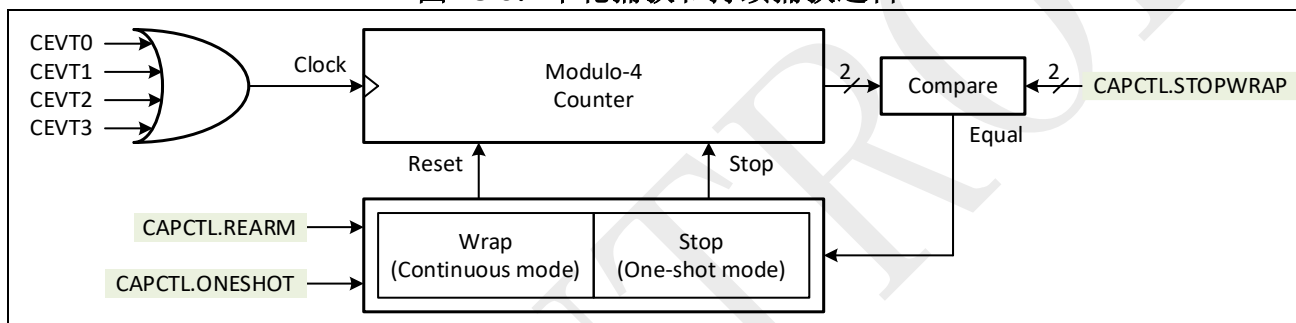
#### 18.4.4 单轮捕获和持续捕获控制

模 4 计数器在 CEVT0 到 CEVT3 事件发生时逐一递增计数，它记录了当前事件的编号，并与 CAPCTL.STOPWARP 位段配合按照如下方式控制捕获的时序：

- 在单轮捕获模式下，模 4 计数器在与阈值匹配时停止计数，并停止更新 CAP0 到 CAP3 寄存器。例如，如果 CAPCTL.STOPWARP 设置为 3，则模 4 计数器运行行为为 0→1→2→3，然后停止。抓取的值依次写入 CAP0 到 CAP3，以后保持不变。
- 在持续捕获模式下，模 4 计数器保持计数并在与阈值匹配时环回到 0。例如，如果 CAPCTL.STOPWARP 设置为 2，则模 4 计数器按照 0→1→2→0 持续运行，捕获的值不断循环写入 CAP0 到 CAP2。

通过往 CAPCTL.REARM 位段写 1 可以重置模 4 计数器为 0，并再次启动单轮模式或连续模式的事件。

图 18-6：单轮捕获和持续捕获逻辑

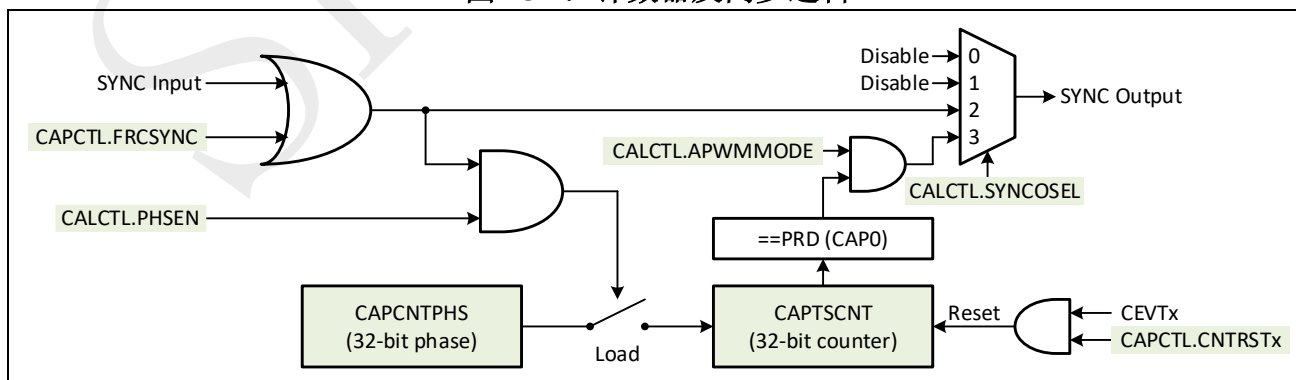


#### 18.4.5 32 位计数器和相位控制

32 位计数器以 ECAP 模块时钟作为计数时钟，提供了事件捕获的时间戳。此外，相位寄存器 CAPCNTPHS 指定了硬件或者软件同步发生时相对于其他计数器的相位偏移，这在需要指定跨模块相位偏移的 PWM 模式下非常有用。

在任意一个捕获事件发生时，均可以配置计数器复位，便于实现对时间差的捕获和计算。例如将上升沿时捕获并复位计数器，在下一个下降沿时再次捕获，则可以得到输入信号的占空。

图 18-7：计数器及同步逻辑



#### 18.4.6 CAP0-CAP3 寄存器

这 4 个 32 位寄存器在对应的捕获事件发生时存入当时的时间戳计数器的计数值。单轮捕获模式下，完成 CAPCTL.STOPWARP 指定次数的捕获后，CAP0~CAP3 自动停止捕获和更新。

在 APWM 模式下，CAP0 和 CAP1 分别用作周期 PRD 和计数比较值 CMP 的有效寄存器，CAP2 和 CAP3 分别用作周期 PRD 和计数比较值 CMP 的影子寄存器。

### 18.4.7 中断控制

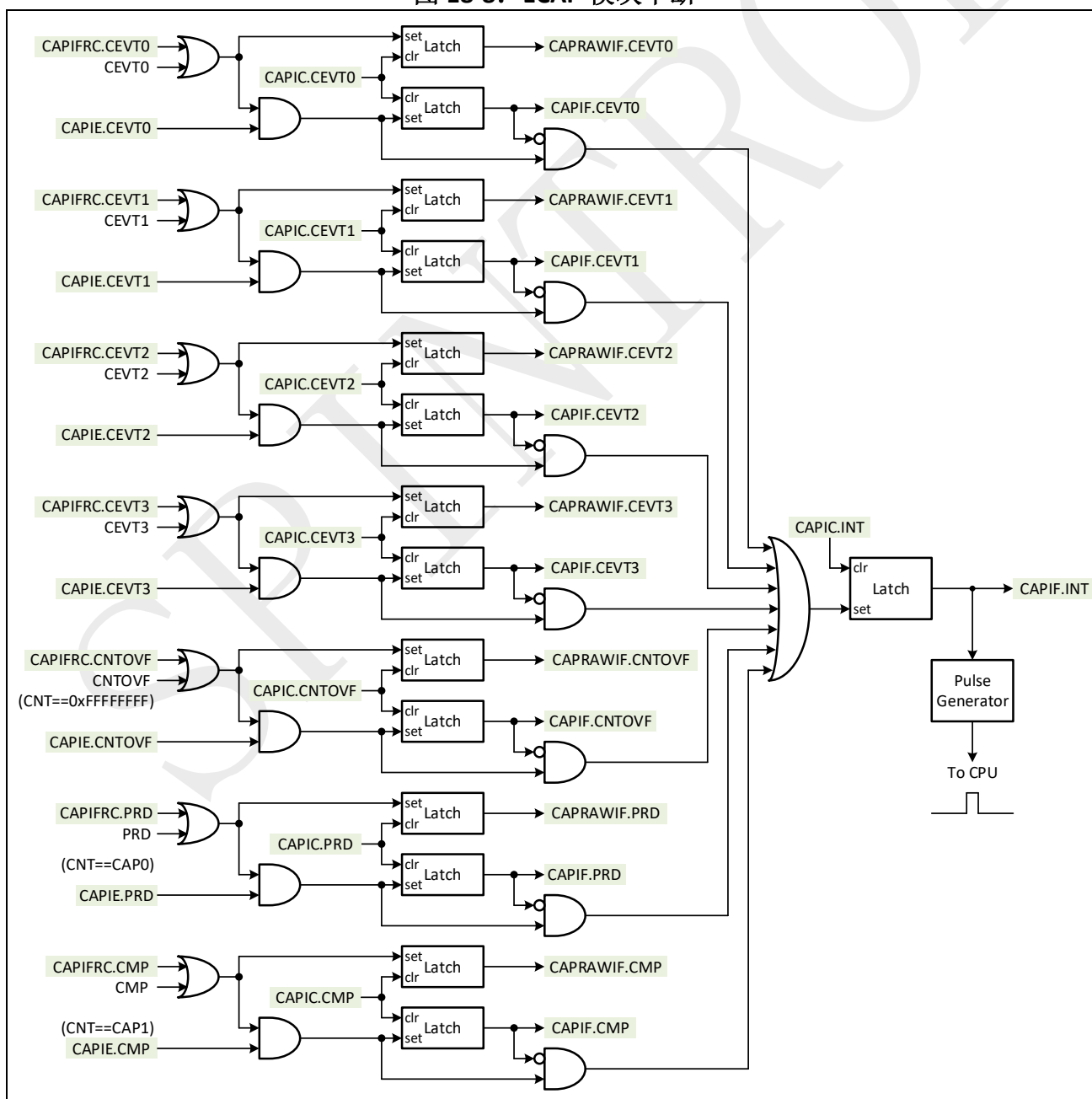
捕获事件（CEVT0-CEVT3）、APWM 事件（CNT=PRD 和 CNT=COMP）均可以触发中断。此外，计数溢出（0xFFFFFFFF→0x00000000）也可以作为独立的事件（CNTOVF）用来触发 CPU 中断。

这 7 个中断事件（CEVT0、CEVT1、CEVT2、CEVT3、CNTOVF、CNT=PRD 和 CNT=CMF）可以通过中断使能寄存器 CAPIE 独立配置是否触发 CPU 中断。

捕获模式下有效的中断事件包括：CEVT0、CEVT1、CEVT2、CEVT3、CNTOVF。

APWM 模式下有效的中断事件包括: CNT=PRD、CNT=COMP、CNTOVF。

图 18-8: ECAP 模块中断



如图 18-8 所示，每当中断事件发生时，会记录到 CAPRAWIF 寄存器对应位。但仅当通过 CAPIE 对应位使能后，该事件才会触发中断，并记录到 CAPIF 寄存器对应位。中断服务代码里必须通过中断清除寄存器 CAPIC 同时清除事件标志和全局中断标志才能保证后续事件能触发新的中断。若保持 CAPIF 中的事件中断标志为 1，则阻止后续同样的事件触发中断，但不影响其他事件触发中断；若保持 CAPIF 中的全局中断标志为 1，则阻止后续所有事件触发中断。往 CAPIC 的位段写 1 也会同时清除 CAPRAWIF 的对应位。

用户可以通过 CAPIFRC 寄存器软件强制一个中断事件，用于代码调试。

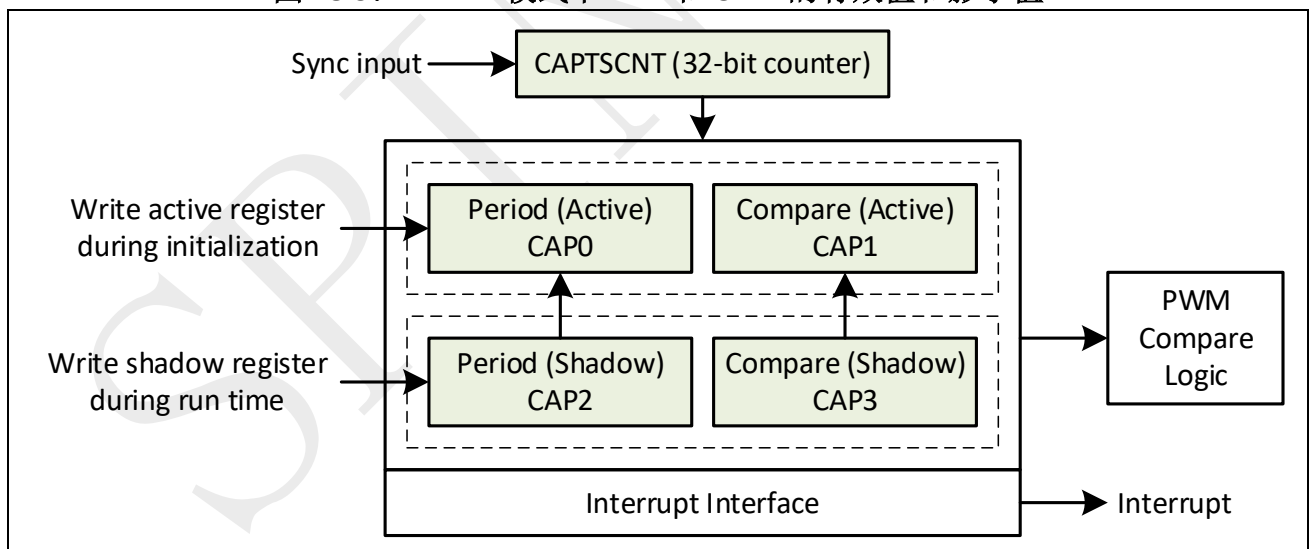
## 18.5 APWM 模式详述

在 APWM 模式下，32 位计数器工作在向上计数模式，此时捕获寄存器的行为如下：

- CAP0 用作周期有效寄存器（APRD）；
- CAP1 用作比较值有效寄存器（ACMP）；
- CAP2 用作周期影子寄存器（SPRD）；
- CAP3 用作比较值影子寄存器（SCMP）；
- 写 CAP0 和 CAP1 会立即同步更新 CAP2 和 CAP3；
- 写 CAP2 和 CAP3 会启动影子模式
  - 当 TSCNT = CAP0 时，将 CAP2 加载到 CAP0，以及将 CAP3 加载到 CAP1。

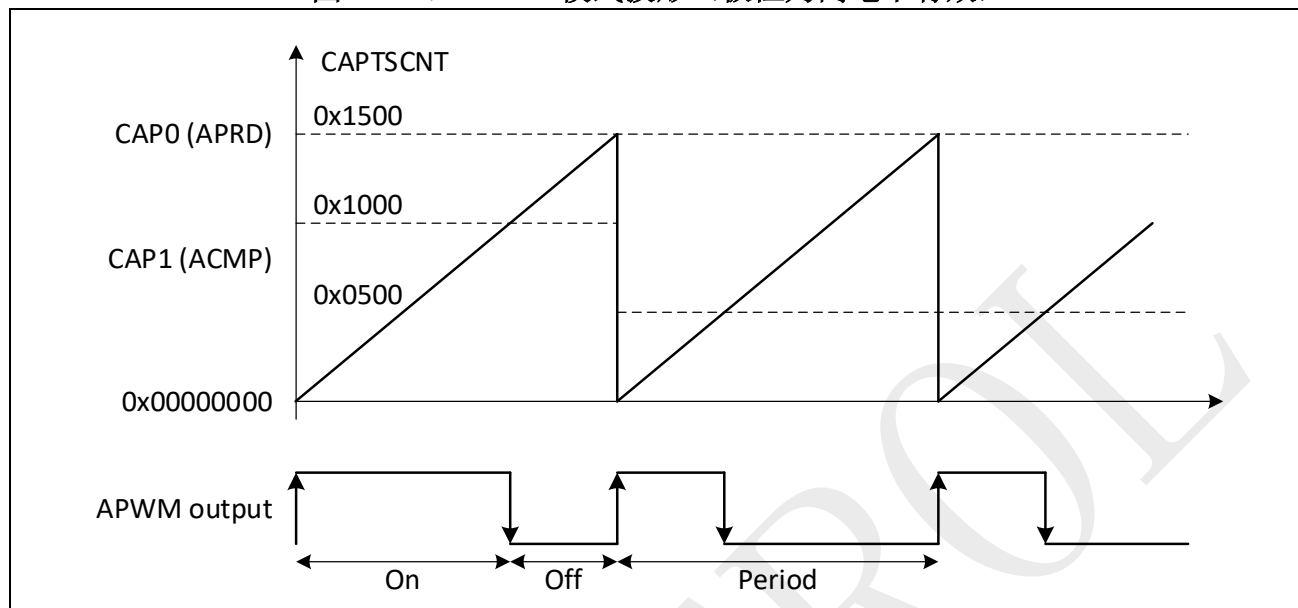
用户可以在初始化时通过 CAP0 和 CAP1 设置有效的周期和比较值，对于后续运行时的更新，用户只需要使用影子寄存器 CAP2 和 CAP3。

图 18-9：APWM 模式下 PRD 和 CMD 的有效值和影子值



如图 18-10 所示，CAPTSCNT 不断地从 0 开始递增计数到 CAP0 又回到 0 继续计数。当计数到 0 时 APWM 输出变高，当计数到 CAP1 时输出变低。

图 18-10: APWM 模式波形（极性为高电平有效）



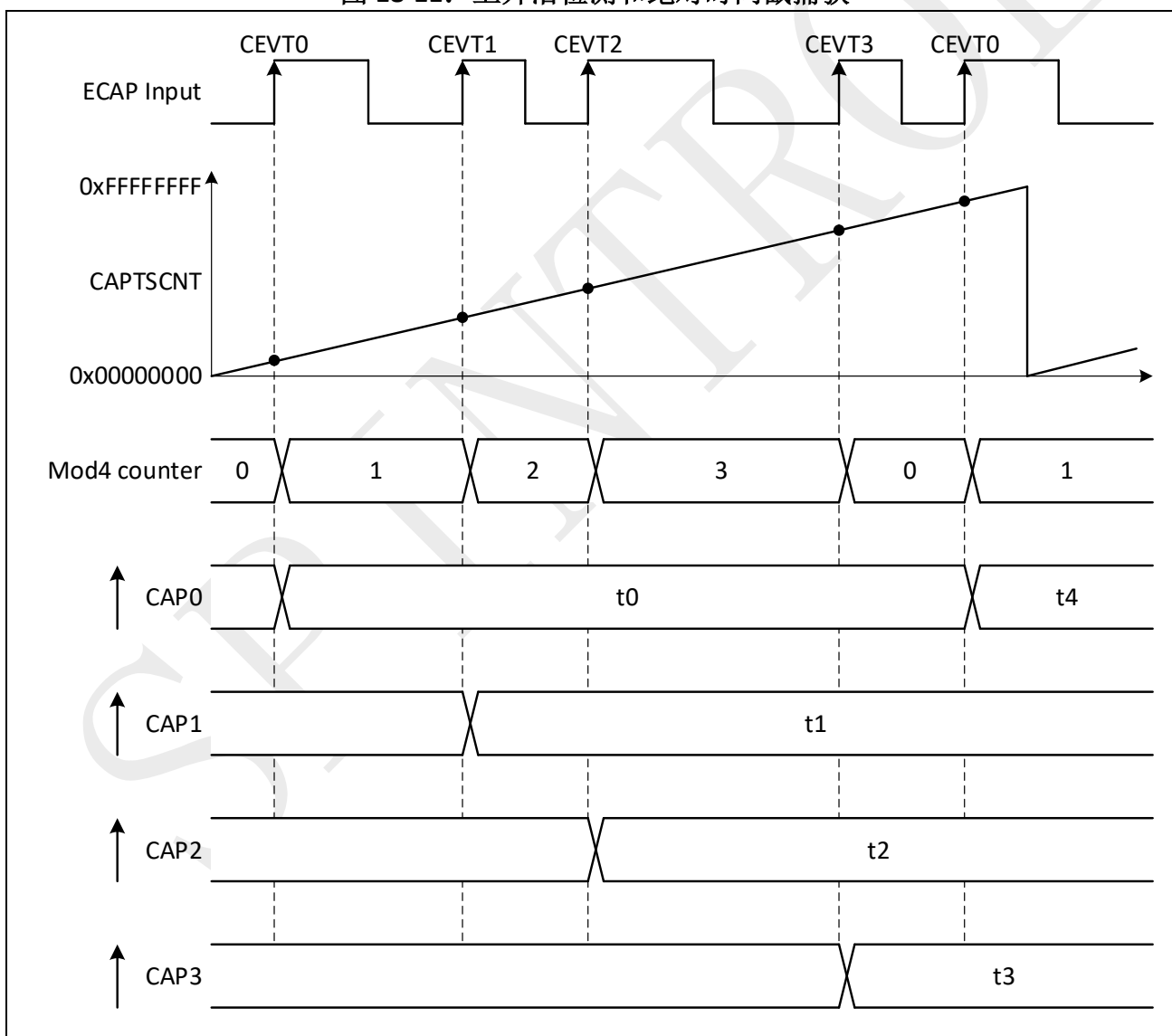
## 18.6 ECAP 的应用

### 18.6.1 上升沿触发的绝对时间戳捕获

如图 18-11 所示，持续捕获模式（模 4 事件计数自动归零持续计数）下，配置 CAPTSCNT 持续递增计数而不复位，输入上升沿视作有效事件，由此可以获取周期（及频率）信息。

每个有效事件下，CAPTSCNT 当前值被作为时间戳捕获到对应的 CAPx 寄存器，然后模 4 事件计数加 1。当计数到 0xFFFFFFF 时自动回到 0x00000000 继续计数（未在图 18-11 中示例给出）。同时，计数溢出标志 CNTOVF 被置位，如若使能，还将触发 CPU 中断。图中标记了各个有效事件的时间点，从中可以看出每到 CEVT3 时 4 个捕获已经依次完成，因此可以选择 CEVT3 作为中断触发源，便于读取所有 CAPx 寄存器的值。输入信号的各个周期可以依次计算为  $CAP1 - CAP0$ 、 $CAP2 - CAP1$ 、 $CAP3 - CAP2$ 。

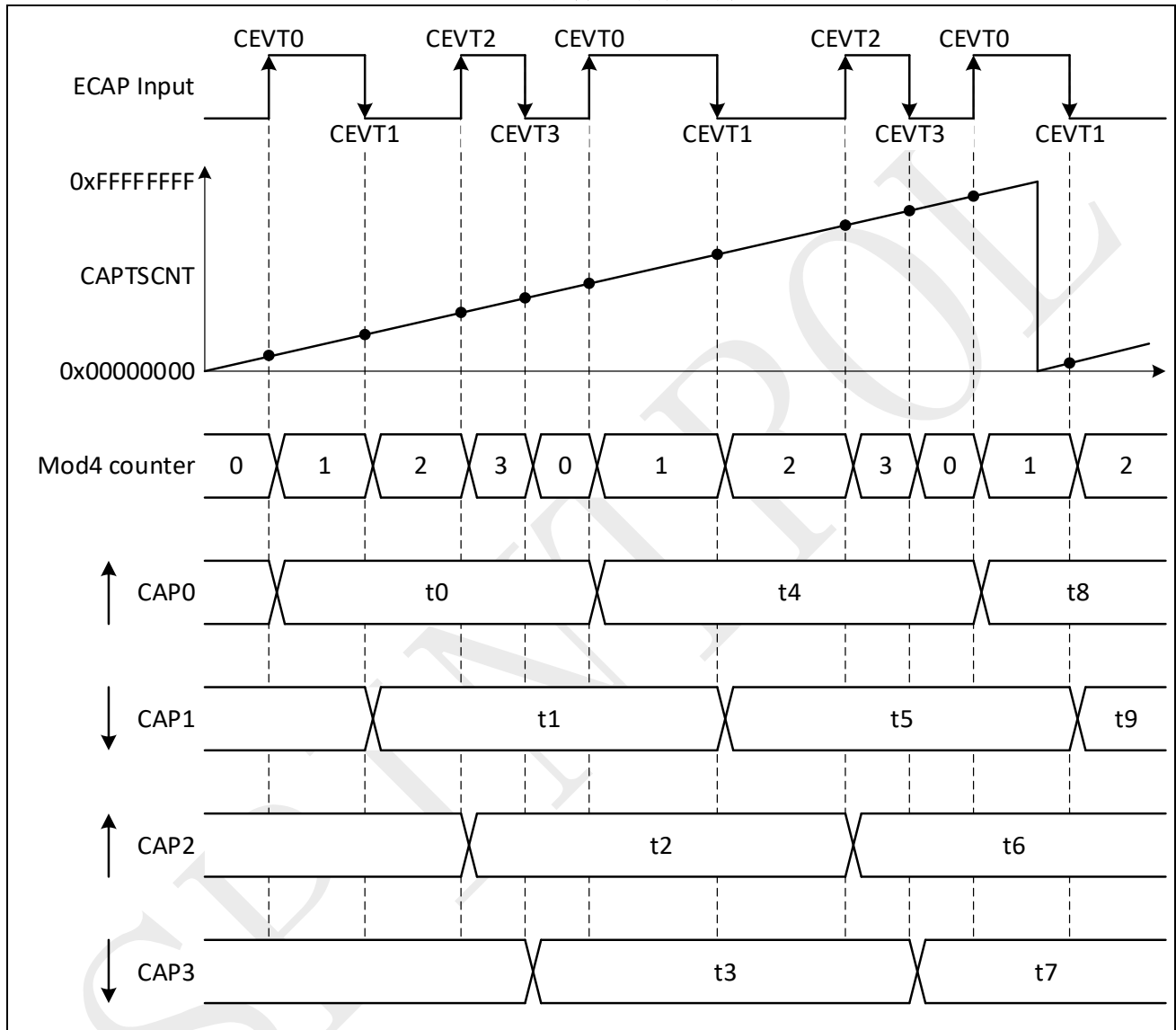
图 18-11：上升沿检测和绝对时间戳捕获



## 18.6.2 由绝对时间戳捕获周期和占空

图 18-12 所示情形与上例几乎相同，只是捕获事件改为上升沿和下降沿交替，由此给出了周期和占空的信息。例如：第一个周期为  $T1 = t2 - t0$ ，其中高电平占空为  $H1 = t1 - t0$ ，低电平占空为  $L1 = t2 - t1$ 。

图 18-12：通过绝对事件戳捕获计算周期和占空



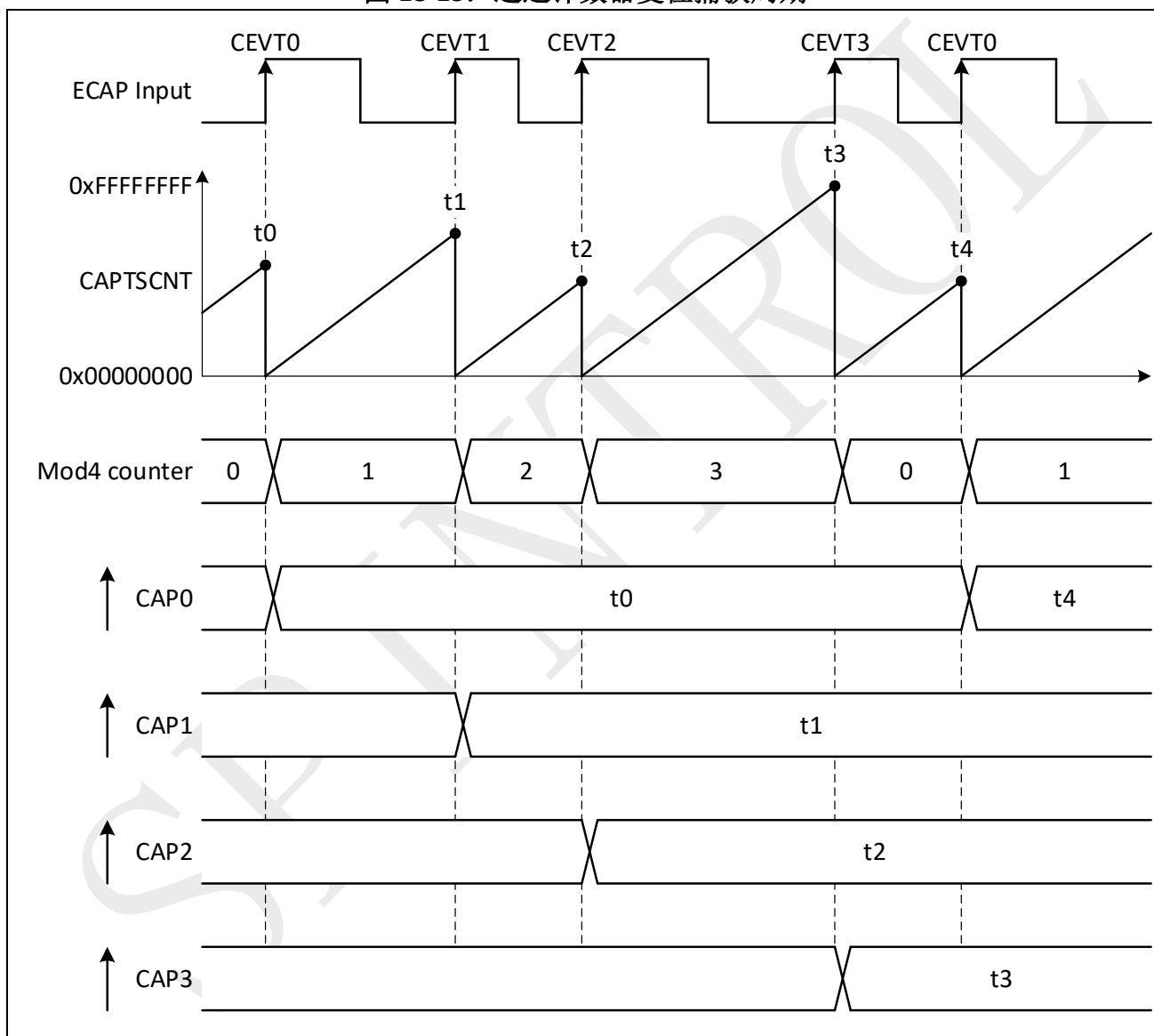


### 18.6.3 通过计数器复位捕获相对时间差

图 18-13 示例了 ECAP 如何从输入脉冲序列里获取时间差的信息。此处同样采用了持续捕获的模式并设置事件为上升沿有效。所不同的是，每次事件发生时，在捕获计数器当前值后都会复位计数器。

可以看出，这个方式的好处是 CAPx 寄存器的内容已经是所关心的周期信息而不需要 CPU 参与计算，即周期  $T1 = t1$ ， $T2 = t2$  等。从图中还可以看出，CEVT0 适于作为中断触发源，因为此时 T1、T2、T3、T4 的信息都已经成功获得。

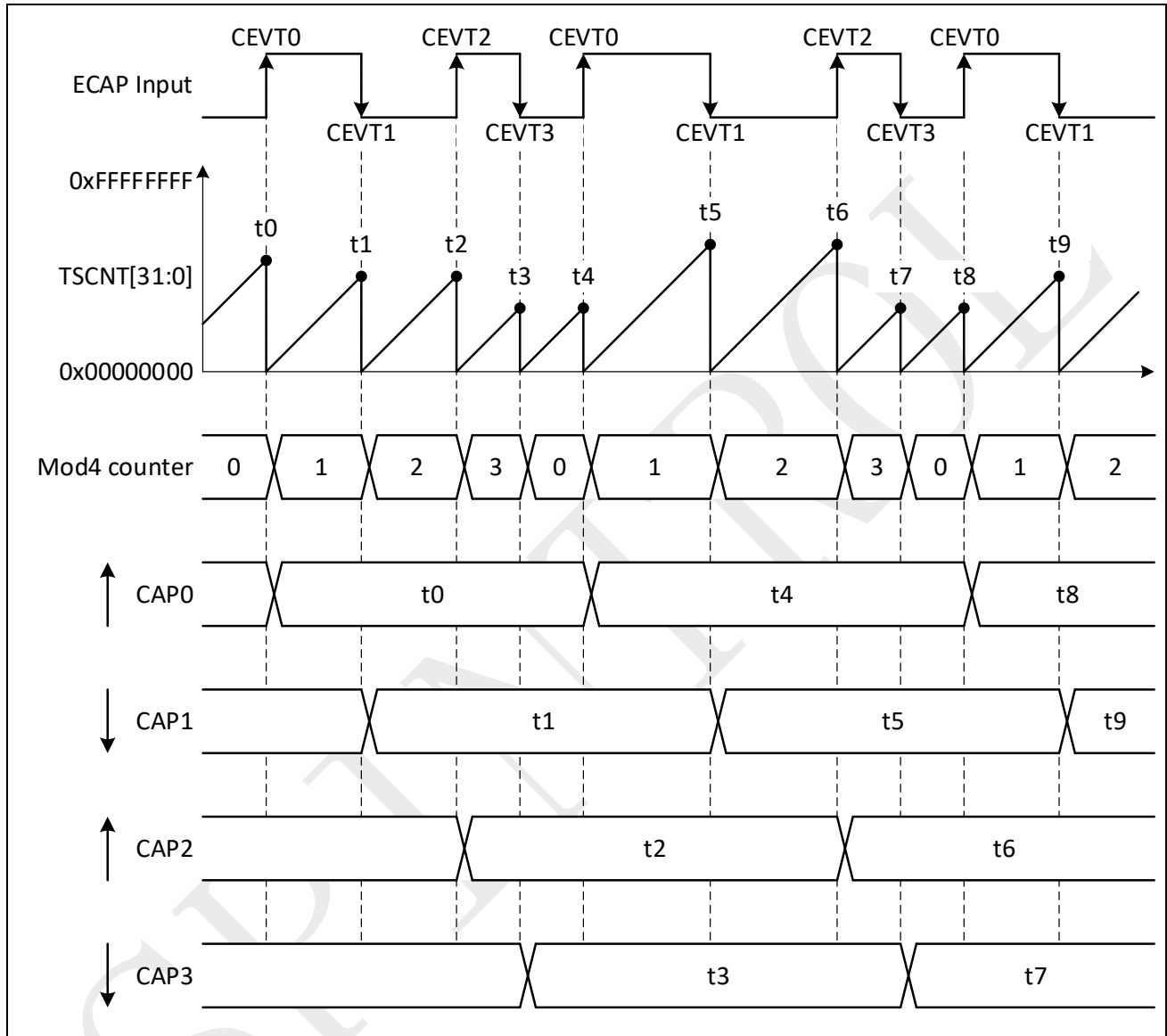
图 18-13：通过计数器复位捕获周期



### 18.6.4 相对事件模式捕获周期和占空

图 18-14 所示工作模式与上例几乎相同，只是捕获事件改为上升沿和下降沿交替，由此给出周期和占空信息。例如：第一个  $T_1 = t_1 + t_2$ ，其中高电平占空  $t_1$ ，低电平占空  $t_2$ 。

图 18-14：通过计数器复位捕获周期和占空

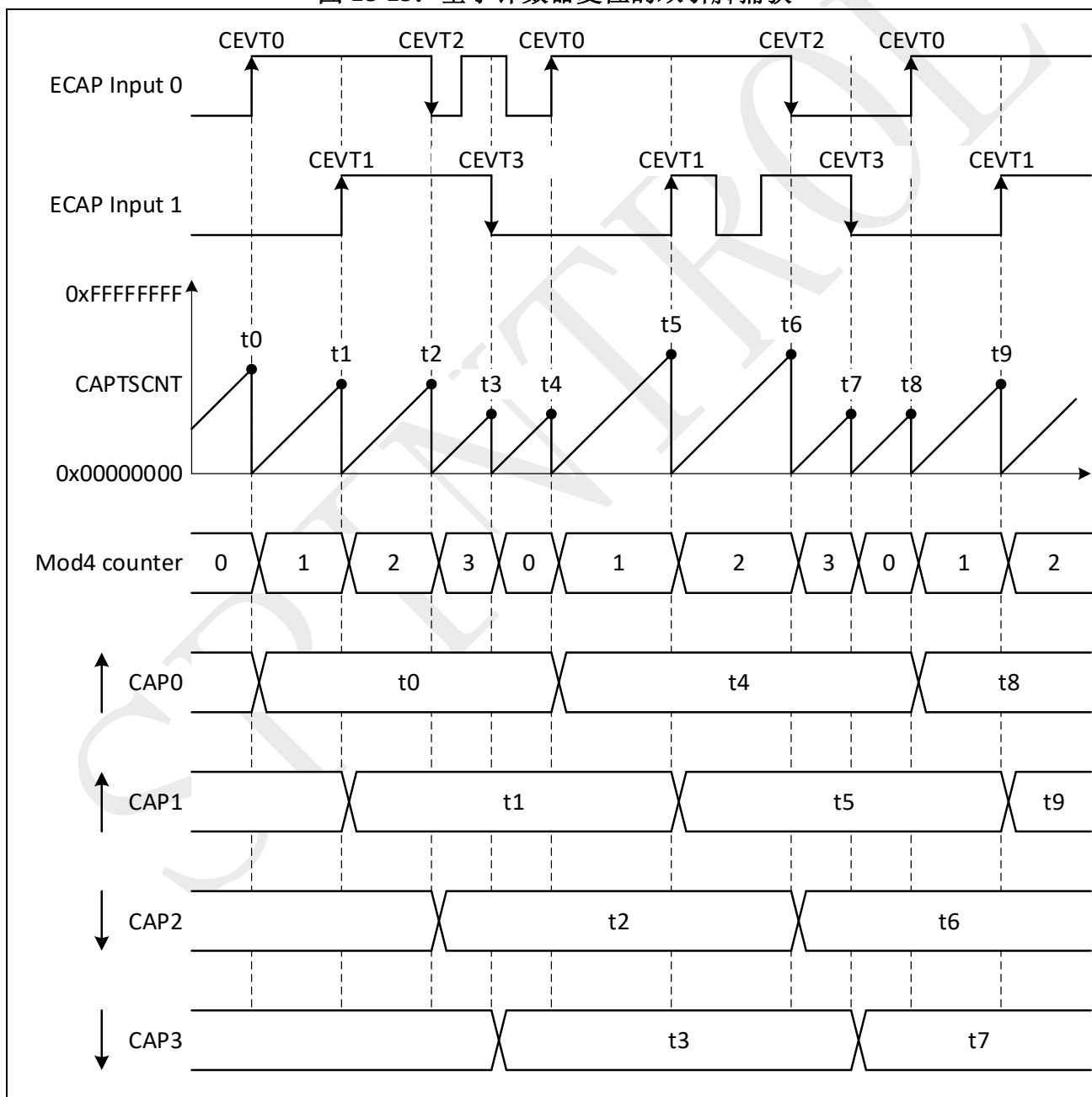


### 18.6.5 基于计数器复位的双引脚捕获

图 18-15 示例了双引脚捕获的波形。其中 CAP0 和 CAP2 分别用于捕获引脚 0 的上升和下降沿，CAP1 和 CAP3 分别用于捕获引脚 1 的上升和下降沿，并通过计数器复位捕获时间差。由此：

- CAP1 捕获了引脚 0 上升沿到相邻引脚 1 上升沿的时间差；
- CAP2 捕获了引脚 1 上升沿到相邻引脚 0 下降沿的时间差；
- CAP3 捕获了引脚 0 下降沿到相邻引脚 1 下降沿的时间差；
- CAP0 捕获了引脚 1 下降沿到相邻引脚 0 上升沿的时间差。

图 18-15：基于计数器复位的双引脚捕获



## 18.7 寄存器

### 18.7.1 ECAP 寄存器列表

表 18-1: ECAP 模块基地址

| 外设模块  | 基地址         |
|-------|-------------|
| ECAP0 | 0x4000 9000 |
| ECAP1 | 0x4000 9100 |
| ECAP2 | 0x4000 9200 |
| ECAP3 | 0x4000 9300 |
| ECAP4 | 0x4000 9400 |
| ECAP5 | 0x4000 9500 |
| ECAP6 | 0x4000 9600 |
| ECAP7 | 0x4000 9700 |

表 18-2: ECAP 寄存器列表

| 寄存器                                  | 偏移地址   | 描述            | 复位值        |
|--------------------------------------|--------|---------------|------------|
| <a href="#"><u>CAPSRCCTL</u></a> *   | 0x0000 | 捕获信号输入控制寄存器   | 0x00010001 |
| <a href="#"><u>CAPSYNCICTL</u></a> * | 0x0004 | 同步信号输入控制寄存器   | 0x00000001 |
| <a href="#"><u>CAPTSCNT</u></a> *    | 0x0008 | 时间戳计数寄存器      | 0x00000000 |
| <a href="#"><u>CAPCNTPHS</u></a> *   | 0x000C | 时间戳计数相位寄存器    | 0x00000000 |
| <a href="#"><u>CAP0</u></a> *        | 0x0010 | 捕获值 0 寄存器     | 0x00000000 |
| <a href="#"><u>CAP1</u></a> *        | 0x0014 | 捕获值 1 寄存器     | 0x00000000 |
| <a href="#"><u>CAP2</u></a> *        | 0x0018 | 捕获值 2 寄存器     | 0x00000000 |
| <a href="#"><u>CAP3</u></a> *        | 0x001C | 捕获值 3 寄存器     | 0x00000000 |
| <a href="#"><u>CAPCTL</u></a> *      | 0x0020 | 捕获控制寄存器       | 0x000C0000 |
| <a href="#"><u>CAPRAWIF</u></a>      | 0x0024 | 捕获中断原始事件标志寄存器 | 0x00000000 |
| <a href="#"><u>CAPIF</u></a>         | 0x0028 | 捕获中断标志寄存器     | 0x00000000 |
| <a href="#"><u>CAPIE</u></a> *       | 0x002C | 捕获中断使能寄存器     | 0x00000000 |
| <a href="#"><u>CAPIC</u></a>         | 0x0030 | 捕获中断清除寄存器     | 0x00000000 |
| <a href="#"><u>CAPIFRC</u></a> *     | 0x0034 | 捕获中断强制寄存器     | 0x00000000 |
| <a href="#"><u>CAPREGKEY</u></a>     | 0x0038 | ECAP 模块写使能寄存器 | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 CAPREGKEY=0x1ACCE551 时才可以改写。

## 18.7.2 ECAP 寄存器

### 18.7.2.1 捕获信号输入控制寄存器（CAPSRCCTL）

表 18-3：捕获信号输入控制寄存器（CAPSRCCTL）位段定义

|                                                                  |    |    |    |    |    |    |      |
|------------------------------------------------------------------|----|----|----|----|----|----|------|
| CAPSRCCTL (Capture Source Input Control Register)                |    |    |    |    |    |    |      |
| Access: ECAP->CAPSRCCTL    Offset: 0x0000    Default: 0x00010001 |    |    |    |    |    |    |      |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24   |
| RESERVED                                                         |    |    |    |    |    |    |      |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16   |
| IOSEL1                                                           |    |    |    |    |    |    | POL1 |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8    |
| RESERVED                                                         |    |    |    |    |    |    |      |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0    |
| IOSEL                                                            |    |    |    |    |    |    | POL  |

表 18-4：捕获信号输入控制寄存器（CAPSRCCTL）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                    |
|-------|----------------|----|-----|---------------------------------------|
| 31:24 | RESERVED_31_24 | RO | 0x0 | 保留                                    |
| 23:17 | IOSEL1         | RW | 0x0 | 双引脚捕获时第二引脚的 GPIO 编号                   |
| 16    | POL1           | RW | 0x1 | 双引脚捕获时第二引脚的极性<br>0: 低电平有效<br>1: 高电平有效 |
| 15:8  | RESERVED_15_8  | RO | 0x0 | 保留                                    |
| 7:1   | IOSEL          | RW | 0x0 | 输入捕获的 GPIO 引脚编号                       |
| 0     | POL            | RW | 0x1 | 输入捕获的极性<br>0: 低电平有效<br>1: 高电平有效       |

## 18.7.2.2 同步信号输入控制寄存器 (CAPSYNCICTL)

表 18-5: 同步信号输入控制寄存器 (CAPSYNCICTL) 位段定义

| CAPSYNCICTL (Capture Synchronization Source Input Control Register) |    |    |    |    |    |    |     |
|---------------------------------------------------------------------|----|----|----|----|----|----|-----|
| Access: ECAP->CAPSYNCICTL    Offset: 0x0004    Default: 0x00000001  |    |    |    |    |    |    |     |
| 31                                                                  | 30 | 29 | 28 | 27 | 26 | 25 | 24  |
| RESERVED                                                            |    |    |    |    |    |    |     |
| 23                                                                  | 22 | 21 | 20 | 19 | 18 | 17 | 16  |
| RESERVED                                                            |    |    |    |    |    |    |     |
| 15                                                                  | 14 | 13 | 12 | 11 | 10 | 9  | 8   |
| RESERVED                                                            |    |    |    |    |    |    |     |
| 7                                                                   | 6  | 5  | 4  | 3  | 2  | 1  | 0   |
| IOSEL                                                               |    |    |    |    |    |    | POL |

表 18-6: 同步信号输入控制寄存器 (CAPSYNCICTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                              |
|------|---------------|----|-----|---------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                              |
| 7:1  | IOSEL         | RW | 0x0 | 用作同步输入的 GPIO 引脚编号               |
| 0    | POL           | RW | 0x1 | 同步信号的极性<br>0: 低电平有效<br>1: 高电平有效 |

## 18.7.2.3 时间戳计数寄存器 (CAPTSCNT)

表 18-7: 时间戳计数寄存器 (CAPTSCNT) 位段定义

| CAPTSCNT (Time-Stamp Counter Register)                          |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: ECAP->CAPTSCNT    Offset: 0x0008    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 18-8: 时间戳计数寄存器 (CAPTSCNT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述         |
|------|-----|----|-----|------------|
| 31:0 | VAL | RW | 0x0 | 32 位时间戳计数值 |

## 18.7.2.4 时间戳计数相位寄存器 (CAPCNTPHS)

表 18-9: 时间戳计数相位寄存器 (CAPCNTPHS) 位段定义

| CAPCNTPHS (Counter Phase Offset Value Register)                  |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: ECAP->CAPCNTPHS    Offset: 0x000C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                              |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                              |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                              |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 18-10: 时间戳计数相位寄存器 (CAPCNTPHS) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述             |
|------|-----|----|-----|----------------|
| 31:0 | VAL | RW | 0x0 | 时间戳计数器在同步时的相位值 |

## 18.7.2.5 捕获值 0 寄存器 (CAP0)

表 18-11: 捕获值 0 寄存器 (CAP0) 位段定义

| CAP0 (Capture Register 0)                                   |    |    |    |    |    |    |    |
|-------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: ECAP->CAP0    Offset: 0x0010    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                          | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                         |    |    |    |    |    |    |    |
| 23                                                          | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                         |    |    |    |    |    |    |    |
| 15                                                          | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                         |    |    |    |    |    |    |    |
| 7                                                           | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                         |    |    |    |    |    |    |    |

表 18-12: 捕获值 0 寄存器 (CAP0) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                                                                                                               |
|------|-----|----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | <p>捕获模式下<br/>捕获事件 0 发生时根据 CAPTSCNT 更新本寄存器</p> <p>APWM 模式下<br/>写本寄存器设置周期有效值，并同时更新 CAP2 为相同值，由此模拟即时更新配置方式；<br/>当 CAPTSCNT = CAP0 时，根据 CAP2 更新本寄存器值，由此模拟影子配置方式。</p> |

### 18.7.2.6 捕获值 1 寄存器 (CAP1)

表 18-13: 捕获值 1 寄存器 (CAP1) 位段定义

|                           |    |                |    |                     |    |    |    |
|---------------------------|----|----------------|----|---------------------|----|----|----|
| CAP1 (Capture Register 1) |    |                |    |                     |    |    |    |
| Access: ECAP->CAP1        |    | Offset: 0x0014 |    | Default: 0x00000000 |    |    |    |
| 31                        | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                       |    |                |    |                     |    |    |    |
| 23                        | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                       |    |                |    |                     |    |    |    |
| 15                        | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                       |    |                |    |                     |    |    |    |
| 7                         | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                       |    |                |    |                     |    |    |    |

表 18-14: 捕获值 1 寄存器 (CAP1) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                                                                                                         |
|------|-----|----|-----|------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 捕获模式下<br>捕获事件 0 发生时根据 CAPTSCNT 更新本寄存器<br>APWM 模式下<br>写本寄存器设置比较值有效值, 并同时更新<br>CAP3 为相同值, 由此模拟即时更新配置方式;<br>当 CAPTSCNT = CAP0 时, 根据 CAP3 更新本寄存器值, 由此模拟影子配置方式。 |

### 18.7.2.7 捕获值 2 寄存器 (CAP2)

表 18-15: 捕获值 2 寄存器 (CAP2) 位段定义

|                           |    |                |    |                     |    |    |    |
|---------------------------|----|----------------|----|---------------------|----|----|----|
| CAP2 (Capture Register 2) |    |                |    |                     |    |    |    |
| Access: ECAP->CAP2        |    | Offset: 0x0018 |    | Default: 0x00000000 |    |    |    |
| 31                        | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                       |    |                |    |                     |    |    |    |
| 23                        | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                       |    |                |    |                     |    |    |    |
| 15                        | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                       |    |                |    |                     |    |    |    |
| 7                         | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                       |    |                |    |                     |    |    |    |

表 18-16: 捕获值 2 寄存器 (CAP2) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                                                                    |
|------|-----|----|-----|-----------------------------------------------------------------------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 捕获模式下<br>捕获事件 2 发生时根据 CAPTSCNT 更新本寄存器<br>APWM 模式下<br>写本寄存器设置周期影子值, 当 CAPTSCNT =<br>CAP0 时, 根据本寄存器更新 CAP0, 由此模拟影子配置方式。 |



## 18.7.2.8 捕获值 3 寄存器 (CAP3)

表 18-17: 捕获值 3 寄存器 (CAP3) 位段定义

| CAP3 (Capture Register 3) |    |                |    |                     |    |    |    |
|---------------------------|----|----------------|----|---------------------|----|----|----|
| Access: ECAP->CAP3        |    | Offset: 0x001C |    | Default: 0x00000000 |    |    |    |
| 31                        | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                       |    |                |    |                     |    |    |    |
| 23                        | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                       |    |                |    |                     |    |    |    |
| 15                        | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                       |    |                |    |                     |    |    |    |
| 7                         | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                       |    |                |    |                     |    |    |    |

表 18-18: 捕获值 3 寄存器 (CAP3) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                                                                               |
|------|-----|----|-----|----------------------------------------------------------------------------------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | <p>捕获模式下<br/>捕获事件 3 发生时根据 CAPTSCNT 更新本寄存器</p> <p>APWM 模式下<br/>写本寄存器设置比较值影子值, 当 CAPTSCNT = CAP0 时, 根据本寄存器更新 CAP1, 由此模拟影子配置方式。</p> |

### 18.7.2.9 捕获控制寄存器（CAPCTL）

表 18-19: 捕获控制寄存器（CAPCTL）位段定义

|                                                               |                 |                |              |                |                |               |                |
|---------------------------------------------------------------|-----------------|----------------|--------------|----------------|----------------|---------------|----------------|
| CAPCTL (Capture Control Register)                             |                 |                |              |                |                |               |                |
| Access: ECAP->CAPCTL    Offset: 0x0020    Default: 0x000C0000 |                 |                |              |                |                |               |                |
| 31<br>DUALPIN                                                 | 30<br>EVTDIVRST | 29<br>DBGRUN   | 28<br>DBGRUN | 27<br>APWMPOL  | 26<br>APWMMODE | 25<br>FRCSYNC | 24<br>SYNCOSEL |
| 23<br>SYNCOSEL                                                | 22<br>PHSEN     | 21<br>TSCNTRUN | 20<br>REARM  | 19<br>STOPWRAP | 18<br>STOPWRAP | 17<br>ONESHOT | 16<br>EVTDIV   |
| 15<br>EVTDIV                                                  | 14<br>EVTDIV    | 13<br>EVTDIV   | 12<br>EVTDIV | 11<br>EVTDIV   | 10<br>EVTDIV   | 9<br>EVTDIV   | 8<br>CAPLDEN   |
| 7<br>CNTRST3                                                  | 6<br>CAP3POL    | 5<br>CNTRST2   | 4<br>CAP2POL | 3<br>CNTRST1   | 2<br>CAP1POL   | 1<br>CNTRST0  | 0<br>CAP0POL   |

表 18-20: 捕获控制寄存器（CAPCTL）位段描述

| 位段    | 位段名       | 属性  | 复位值 | 描述                                                                                                                                                                                                                                                                              |
|-------|-----------|-----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31    | DUALPIN   | RW  | 0x0 | 双引脚捕获模式<br>0: CAP0 ~ CAP3 用于同一引脚捕获<br>1: CAP0/CAP2 和 CAP1/CAP3 各用于一个引脚                                                                                                                                                                                                          |
| 30    | EVTDIVRST | W1S | 0x0 | 事件分频复位<br>0: 写 0 无效，读总是 0<br>1: 写 1 复位事件分频器，本位段自动清零                                                                                                                                                                                                                             |
| 29:28 | DBGRUN    | RW  | 0x0 | CPU halted 和 lockup 时计数器的行为<br>0: 立即停止计数<br>1: 计数到 0 时停止<br>2: 正常计数                                                                                                                                                                                                             |
| 27    | APWMPOL   | RW  | 0x0 | APWM 输出极性<br>0: 低电平有效（CMP 定义低电平时间）<br>1: 高电平有效（CMP 定义高电平时间）                                                                                                                                                                                                                     |
| 26    | APWMMODE  | RW  | 0x0 | 捕获和 APWM 模式选择<br>0: 捕获模式<br>- 关闭 CAPTSCNT 计数到 PRD 时的自动复位<br>- 关闭 CAP2/CAP3 对 CAP0/CAP1 的影子功能<br>- 允许用户使能 CAP0~CAP3 捕获时间戳计数<br>- CAPx 输入引脚生效<br>1: APWM 模式<br>- CAPTSCNT 计数到 PRD 时复位为 0 继续计数<br>- 开启 CAP2/CAP3 对 CAP0/CAP1 的影子功能<br>- 禁止捕获时间戳计数到 CAP0~CAP3 寄存器<br>- APWMx 输出引脚生效 |
| 25    | FRCSYNC   | W1S | 0x0 | 软件强制时间戳计数同步<br>0: 写 0 无效，读总是 0                                                                                                                                                                                                                                                  |

| 位段    | 位段名      | 属性  | 复位值 | 描述                                                                                                                                                                                                                              |
|-------|----------|-----|-----|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
|       |          |     |     | 1: 写 1 将 CAPTSCNT 重置为 CAPCNTPHS<br>本位段总清零                                                                                                                                                                                       |
| 24:23 | SYNCOSEL | RW  | 0x0 | 同步输出选择<br>0: 禁止输出<br>1: 禁止输出<br>2: 选择同步输入信号做为输出（直通）<br>3: 选择 CAPTSCNT = PRD 事件做为同步输出                                                                                                                                            |
| 22    | PHSEN    | RW  | 0x0 | 相位同步使能<br>0: 关闭相位同步<br>1: 使能相位同步，在输入同步事件或者软件强制的同步事件发生时，将 CAPTSCNT 重置为 CAPCNTPHS                                                                                                                                                 |
| 21    | TSCNTRUN | RW  | 0x0 | 时间戳计数器运行控制<br>0: 停止计数<br>1: 保持计数                                                                                                                                                                                                |
| 20    | REARM    | W1S | 0x0 | 模 4 捕获事件计数归位控制<br>0: 写 0 无效，读总是 0<br>1: 写 1 产生如下效果，本位段自动清零<br>- 复位模 4 捕获事件计数到 0<br>- 解锁模 4 计数<br>- 使能时间戳计数捕获                                                                                                                    |
| 19:18 | STOPWRAP | RW  | 0x3 | 单轮捕获模式下的停止值或持续捕获模式下的环回值<br>0: 单轮捕获模式下事件 0 发生后即停止<br>持续捕获模式下事件 0 发生后重置事件计数<br>1: 单轮捕获模式下事件 1 发生后即停止<br>持续捕获模式下事件 1 发生后重置事件计数<br>2: 单轮捕获模式下事件 2 发生后即停止<br>持续捕获模式下事件 2 发生后重置事件计数<br>3: 单轮捕获模式下事件 3 发生后即停止<br>持续捕获模式下事件 3 发生后重置事件计数 |
| 17    | ONESHOT  | RW  | 0x0 | 捕获模式选择<br>0: 持续捕获模式<br>1: 单轮捕获模式                                                                                                                                                                                                |
| 16:9  | EVTDIV   | RW  | 0x0 | 事件分频，每 EVTDIV+1 次事件触发一次捕获                                                                                                                                                                                                       |
| 8     | CAPLDEN  | RW  | 0x0 | 使能 CAP0~CAP3 的捕获功能<br>本位段不影响 CEVT0~CEVT3 事件的产生<br>0: 关闭<br>1: 使能                                                                                                                                                                |
| 7     | CNTRST3  | RW  | 0x0 | 捕获事件 3 发生时复位事件戳计数                                                                                                                                                                                                               |

| 位段 | 位段名     | 属性 | 复位值 | 描述                                                       |
|----|---------|----|-----|----------------------------------------------------------|
|    |         |    |     | 0: 不复位计数（绝对时间模式）<br>1: 复位计数（相对时间模式）                      |
| 6  | CAP3POL | RW | 0x0 | 捕获事件 3 极性选择<br>0: 输入下降沿时触发捕获事件 3<br>1: 输入上升沿时触发捕获事件 3    |
| 5  | CNTRST2 | RW | 0x0 | 捕获事件 2 发生时复位事件戳计数<br>0: 不复位计数（绝对时间模式）<br>1: 复位计数（相对时间模式） |
| 4  | CAP2POL | RW | 0x0 | 捕获事件 2 极性选择<br>0: 输入下降沿时触发捕获事件 2<br>1: 输入上升沿时触发捕获事件 2    |
| 3  | CNTRST1 | RW | 0x0 | 捕获事件 1 发生时复位事件戳计数<br>0: 不复位计数（绝对时间模式）<br>1: 复位计数（相对时间模式） |
| 2  | CAP1POL | RW | 0x0 | 捕获事件 1 极性选择<br>0: 输入下降沿时触发捕获事件 1<br>1: 输入上升沿时触发捕获事件 1    |
| 1  | CNTRST0 | RW | 0x0 | 捕获事件 0 发生时复位事件戳计数<br>0: 不复位计数（绝对时间模式）<br>1: 复位计数（相对时间模式） |
| 0  | CAP0POL | RW | 0x0 | 捕获事件 0 极性选择<br>0: 输入下降沿时触发捕获事件 0<br>1: 输入上升沿时触发捕获事件 0    |

## 18.7.2.10 捕获中断原始事件标志寄存器（CAPRAWIF）

表 18-21: 捕获中断原始事件标志寄存器（CAPRAWIF）位段定义

| CAPRAWIF (Capture Interrupt Raw Flag Register)                  |     |     |        |       |       |       |       |
|-----------------------------------------------------------------|-----|-----|--------|-------|-------|-------|-------|
| Access: ECAP->CAPRAWIF    Offset: 0x0024    Default: 0x00000000 |     |     |        |       |       |       |       |
| 31                                                              | 30  | 29  | 28     | 27    | 26    | 25    | 24    |
| RESERVED                                                        |     |     |        |       |       |       |       |
| 23                                                              | 22  | 21  | 20     | 19    | 18    | 17    | 16    |
| RESERVED                                                        |     |     |        |       |       |       |       |
| 15                                                              | 14  | 13  | 12     | 11    | 10    | 9     | 8     |
| RESERVED                                                        |     |     |        |       |       |       |       |
| 7                                                               | 6   | 5   | 4      | 3     | 2     | 1     | 0     |
| RESERVED                                                        | CMP | PRD | CNTOVF | CEVT3 | CEVT2 | CEVT1 | CEVT0 |

表 18-22: 捕获中断原始事件标志寄存器（CAPRAWIF）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                      |
|------|---------------|----|-----|-------------------------------------------------------------------------|
| 31:7 | RESERVED_31_7 | RO | 0x0 | 保留                                                                      |
| 6    | CMP           | RO | 0x0 | 计数比较相等事件标志<br>本位段仅在 APWM 模式下有效<br>0: 事件未发生<br>1: 事件已发生                  |
| 5    | PRD           | RO | 0x0 | 计数到周期值事件标志<br>本位段仅在 APWM 模式下有效<br>0: 事件未发生<br>1: 事件已发生                  |
| 4    | CNTOVF        | RO | 0x0 | 计数溢出（计数到 0xFFFFFFFF）事件标志<br>本位段在捕获和 APWM 模式下均有效<br>0: 事件未发生<br>1: 事件已发生 |
| 3    | CEVT3         | RO | 0x0 | 捕获事件 3 标志<br>本位段仅在捕获模式下有效<br>0: 事件未发生<br>1: 事件已发生                       |
| 2    | CEVT2         | RO | 0x0 | 捕获事件 2 标志<br>本位段仅在捕获模式下有效<br>0: 事件未发生<br>1: 事件已发生                       |
| 1    | CEVT1         | RO | 0x0 | 捕获事件 1 标志<br>本位段仅在捕获模式下有效<br>0: 事件未发生<br>1: 事件已发生                       |

| 位段 | 位段名   | 属性 | 复位值 | 描述                                                |
|----|-------|----|-----|---------------------------------------------------|
| 0  | CEVT0 | RO | 0x0 | 捕获事件 0 标志<br>本位段仅在捕获模式下有效<br>0: 事件未发生<br>1: 事件已发生 |

## 18.7.2.11 捕获中断标志寄存器 (CAPIF)

表 18-23: 捕获中断标志寄存器 (CAPIF) 位段定义

|                                                              |     |     |        |       |       |       |       |
|--------------------------------------------------------------|-----|-----|--------|-------|-------|-------|-------|
| CAPIF (Capture Interrupt Flag Register)                      |     |     |        |       |       |       |       |
| Access: ECAP->CAPIF    Offset: 0x0028    Default: 0x00000000 |     |     |        |       |       |       |       |
| 31                                                           | 30  | 29  | 28     | 27    | 26    | 25    | 24    |
| RESERVED                                                     |     |     |        |       |       |       |       |
| 23                                                           | 22  | 21  | 20     | 19    | 18    | 17    | 16    |
| RESERVED                                                     |     |     |        |       |       |       |       |
| 15                                                           | 14  | 13  | 12     | 11    | 10    | 9     | 8     |
| RESERVED                                                     |     |     |        |       |       |       |       |
| 7                                                            | 6   | 5   | 4      | 3     | 2     | 1     | 0     |
| INT                                                          | CMP | PRD | CNTOVF | CEVT3 | CEVT2 | CEVT1 | CEVT0 |

表 18-24: 捕获中断标志寄存器 (CAPIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                          |
|------|---------------|----|-----|-----------------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                                                          |
| 7    | INT           | RO | 0x0 | ECAP 全局中断标志<br>0: 中断未发生<br>1: 中断已产生, 并已经通知 CPU<br>本位段被清除之前不会产生新中断           |
| 6    | CMP           | RO | 0x0 | 计数到比较值中断标志<br>本位段仅在 APWM 模式下有效<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断  |
| 5    | PRD           | RO | 0x0 | 计数到周期值中断标志<br>本位段仅在 APWM 模式下有效<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断  |
| 4    | CNTOVF        | RO | 0x0 | 计数溢出中断标志<br>本位段在捕获和 APWM 模式下均有效<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 3    | CEVT3         | RO | 0x0 | 捕获事件 3 中断标志<br>本位段仅在捕获模式下有效<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断     |

| 位段 | 位段名   | 属性 | 复位值 | 描述                                                                      |
|----|-------|----|-----|-------------------------------------------------------------------------|
| 2  | CEVT2 | RO | 0x0 | 捕获事件 2 中断标志<br>本位段仅在捕获模式下有效<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 1  | CEVT1 | RO | 0x0 | 捕获事件 1 中断标志<br>本位段仅在捕获模式下有效<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 0  | CEVT0 | RO | 0x0 | 捕获事件 0 中断标志<br>本位段仅在捕获模式下有效<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |



## 18.7.2.12 捕获中断使能寄存器 (CAPIE)

表 18-25: 捕获中断使能寄存器 (CAPIE) 位段定义

|                                                              |     |     |        |       |       |       |       |
|--------------------------------------------------------------|-----|-----|--------|-------|-------|-------|-------|
| CAPIE (Capture Interrupt Enable Register)                    |     |     |        |       |       |       |       |
| Access: ECAP->CAPIE    Offset: 0x002C    Default: 0x00000000 |     |     |        |       |       |       |       |
| 31                                                           | 30  | 29  | 28     | 27    | 26    | 25    | 24    |
| RESERVED                                                     |     |     |        |       |       |       |       |
| 23                                                           | 22  | 21  | 20     | 19    | 18    | 17    | 16    |
| RESERVED                                                     |     |     |        |       |       |       |       |
| 15                                                           | 14  | 13  | 12     | 11    | 10    | 9     | 8     |
| RESERVED                                                     |     |     |        |       |       |       |       |
| 7                                                            | 6   | 5   | 4      | 3     | 2     | 1     | 0     |
| RESERVED                                                     | CMP | PRD | CNTOVF | CEVT3 | CEVT2 | CEVT1 | CEVT0 |

表 18-26: 捕获中断使能寄存器 (CAPIE) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                |
|------|---------------|----|-----|---------------------------------------------------|
| 31:7 | RESERVED_31_7 | RO | 0x0 | 保留                                                |
| 6    | CMP           | RW | 0x0 | 计数到比较值中断使能<br>本位段仅在 APWM 模式下有效<br>0: 关闭<br>1: 使能  |
| 5    | PRD           | RW | 0x0 | 计数到周期值中断使能<br>本位段仅在 APWM 模式下有效<br>0: 关闭<br>1: 使能  |
| 4    | CNTOVF        | RW | 0x0 | 计数溢出中断使能<br>本位段在捕获和 APWM 模式下均有效<br>0: 关闭<br>1: 使能 |
| 3    | CEVT3         | RW | 0x0 | 捕获事件 3 中断使能<br>本位段仅在捕获模式下有效<br>0: 关闭<br>1: 使能     |
| 2    | CEVT2         | RW | 0x0 | 捕获事件 2 中断使能<br>本位段仅在捕获模式下有效<br>0: 关闭<br>1: 使能     |
| 1    | CEVT1         | RW | 0x0 | 捕获事件 1 中断使能<br>本位段仅在捕获模式下有效<br>0: 关闭<br>1: 使能     |

| 位段 | 位段名   | 属性 | 复位值 | 描述                                            |
|----|-------|----|-----|-----------------------------------------------|
| 0  | CEVT0 | RW | 0x0 | 捕获事件 0 中断使能<br>本位段仅在捕获模式下有效<br>0: 关闭<br>1: 使能 |

## 18.7.2.13 捕获中断清除寄存器 (CAPIC)

表 18-27: 捕获中断清除寄存器 (CAPIC) 位段定义

| CAPIC (Capture Interrupt Clear Register) |     |                |        |                     |       |       |       |
|------------------------------------------|-----|----------------|--------|---------------------|-------|-------|-------|
| Access: ECAP->CAPIC                      |     | Offset: 0x0030 |        | Default: 0x00000000 |       |       |       |
| 31                                       | 30  | 29             | 28     | 27                  | 26    | 25    | 24    |
| RESERVED                                 |     |                |        |                     |       |       |       |
| 23                                       | 22  | 21             | 20     | 19                  | 18    | 17    | 16    |
| RESERVED                                 |     |                |        |                     |       |       |       |
| 15                                       | 14  | 13             | 12     | 11                  | 10    | 9     | 8     |
| RESERVED                                 |     |                |        |                     |       |       |       |
| 7                                        | 6   | 5              | 4      | 3                   | 2     | 1     | 0     |
| INT                                      | CMP | PRD            | CNTOVF | CEVT3               | CEVT2 | CEVT1 | CEVT0 |

表 18-28: 捕获中断清除寄存器 (CAPIC) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                           |
|------|---------------|-----|-----|--------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO  | 0x0 | 保留                                                           |
| 7    | INT           | W1C | 0x0 | 全局中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除全局中断标志, 本位段自动清零       |
| 6    | CMP           | W1C | 0x0 | 计数到比较值中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |
| 5    | PRD           | W1C | 0x0 | 计数到周期值中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |
| 4    | CNTOVF        | W1C | 0x0 | 计数溢出中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零    |
| 3    | CEVT3         | W1C | 0x0 | 捕获事件 3 中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 2    | CEVT2         | W1C | 0x0 | 捕获事件 2 中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 1    | CEVT1         | W1C | 0x0 | 捕获事件 1 中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 0    | CEVT0         | W1C | 0x0 | 捕获事件 0 中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |

## 18.7.2.14 捕获中断强制寄存器 (CAPIFRC)

表 18-29: 捕获中断强制寄存器 (CAPIFRC) 位段定义

|                                                                |       |       |          |         |         |         |         |
|----------------------------------------------------------------|-------|-------|----------|---------|---------|---------|---------|
| CAPIFRC (Capture Interrupt Event Force Register)               |       |       |          |         |         |         |         |
| Access: ECAP->CAPIFRC    Offset: 0x0034    Default: 0x00000000 |       |       |          |         |         |         |         |
| 31                                                             | 30    | 29    | 28       | 27      | 26      | 25      | 24      |
| RESERVED                                                       |       |       |          |         |         |         |         |
| 23                                                             | 22    | 21    | 20       | 19      | 18      | 17      | 16      |
| RESERVED                                                       |       |       |          |         |         |         |         |
| 15                                                             | 14    | 13    | 12       | 11      | 10      | 9       | 8       |
| RESERVED                                                       | CMPWE | PRDWE | CNTOVFWE | CEVT3WE | CEVT2WE | CEVT1WE | CEVT0WE |
| 7                                                              | 6     | 5     | 4        | 3       | 2       | 1       | 0       |
| RESERVED                                                       | CMP   | PRD   | CNTOVF   | CEVT3   | CEVT2   | CEVT1   | CEVT0   |

表 18-30: 捕获中断强制寄存器 (CAPIFRC) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                         |
|-------|----------------|-----|-----|----------------------------------------------------------------------------|
| 31:15 | RESERVED_31_15 | RO  | 0x0 | 保留                                                                         |
| 14    | CMPWE          | W1S | 0x0 | CMP 位段写使能<br>本位段必须与 CMP 位段同时写<br>0: 禁止更新<br>1: 写 1 使能改写, 本位段自动清零           |
| 13    | PRDWE          | W1S | 0x0 | PRD 位段写使能<br>本位段必须与 PRD 位段同时写<br>0: 禁止更新<br>1: 写 1 使能改写, 本位段自动清零           |
| 12    | CNTOVFWE       | W1S | 0x0 | CNTOVFWE 位段写使能<br>本位段必须与 CNTOVFWE 位段同时写<br>0: 禁止更新<br>1: 写 1 使能改写, 本位段自动清零 |
| 11    | CEVT3WE        | W1S | 0x0 | CEVT3 位段写使能<br>本位段必须与 CEVT3 位段同时写<br>0: 禁止更新<br>1: 写 1 使能改写, 本位段自动清零       |
| 10    | CEVT2WE        | W1S | 0x0 | CEVT2 位段写使能<br>本位段必须与 CEVT2 位段同时写<br>0: 禁止更新<br>1: 写 1 使能改写, 本位段自动清零       |
| 9     | CEVT1WE        | W1S | 0x0 | CEVT1 位段写使能<br>本位段必须与 CEVT1 位段同时写<br>0: 禁止更新<br>1: 写 1 使能改写, 本位段自动清零       |

| 位段 | 位段名        | 属性  | 复位值 | 描述                                                                   |
|----|------------|-----|-----|----------------------------------------------------------------------|
| 8  | CEVTOWE    | W1S | 0x0 | CEVT0 位段写使能<br>本位段必须与 CEVT0 位段同时写<br>0: 禁止更新<br>1: 写 1 使能改写, 本位段自动清零 |
| 7  | RESERVED_7 | RO  | 0x0 | 保留                                                                   |
| 6  | CMP        | W1S | 0x0 | 强制计数到比较值事件<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制触发事件, 本位段自动清零             |
| 5  | PRD        | W1S | 0x0 | 强制计数到周期值事件<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制触发事件, 本位段自动清零             |
| 4  | CNTOVF     | W1S | 0x0 | 强制计数溢出事件<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制触发事件, 本位段自动清零               |
| 3  | CEVT3      | W1S | 0x0 | 强制捕获事件 3<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制触发事件, 本位段自动清零               |
| 2  | CEVT2      | W1S | 0x0 | 强制捕获事件 2<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制触发事件, 本位段自动清零               |
| 1  | CEVT1      | W1S | 0x0 | 强制捕获事件 1<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制触发事件, 本位段自动清零               |
| 0  | CEVT0      | W1S | 0x0 | 强制捕获事件 0<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制触发事件, 本位段自动清零               |

### 18.7.2.15 ECAP 模块写使能寄存器（CAPREGKEY）

表 18-31: ECAP 模块写使能寄存器（CAPREGKEY）位段定义

| CAPREGKEY (Capture Register Write-Allow Key Register) |    |                |    |                     |    |    |    |
|-------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: ECAP->CAPREGKEY                               |    | Offset: 0x0038 |    | Default: 0x1ACCE551 |    |    |    |
| 31                                                    | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| KEY                                                   |    |                |    |                     |    |    |    |
| 23                                                    | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| KEY                                                   |    |                |    |                     |    |    |    |
| 15                                                    | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| KEY                                                   |    |                |    |                     |    |    |    |
| 7                                                     | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| KEY                                                   |    |                |    |                     |    |    |    |

表 18-32: ECAP 模块写使能寄存器（CAPREGKEY）位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                            |
|------|-----|----|------------|-------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 ECAP 寄存器 |

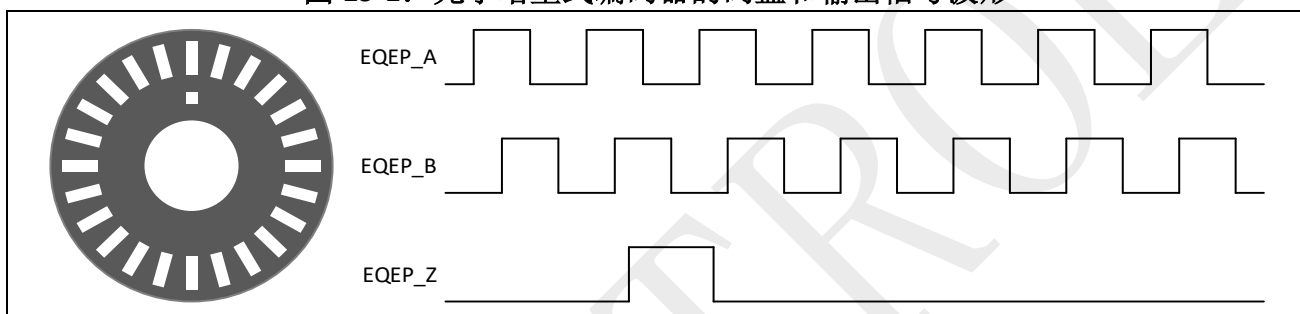
## 19 增强型正交编码脉冲模块（EQEP）

### 19.1 概述

编码器是一种用于测量旋转角度、位置、速度等物理量的装置，常用于机器人、电机、机械设备等领域。如图 19-1 所示，增量式编码器的码盘上通常有内外圈 2 类槽道。当码盘旋转时，外圈槽道对应的两个光电元件产生明暗相间且相位差为  $90^\circ$  的正交信号，记为 EQEP\_A 和 EQEP\_B；码盘旋转一圈，内圈槽道对应光电元件产生指示绝对零点位置电信号，此信号记为 EQEP\_Z；部分码盘还产生闸门信号，记为 EQEP\_S。

EQEP 基于这些信号可以解码得到位置信息，继而通过量测位移  $s$  以及对应的时间  $t$ ，求出速度： $v = s/t$ 。类似的，可以进一步得到加速度等其他物理量。

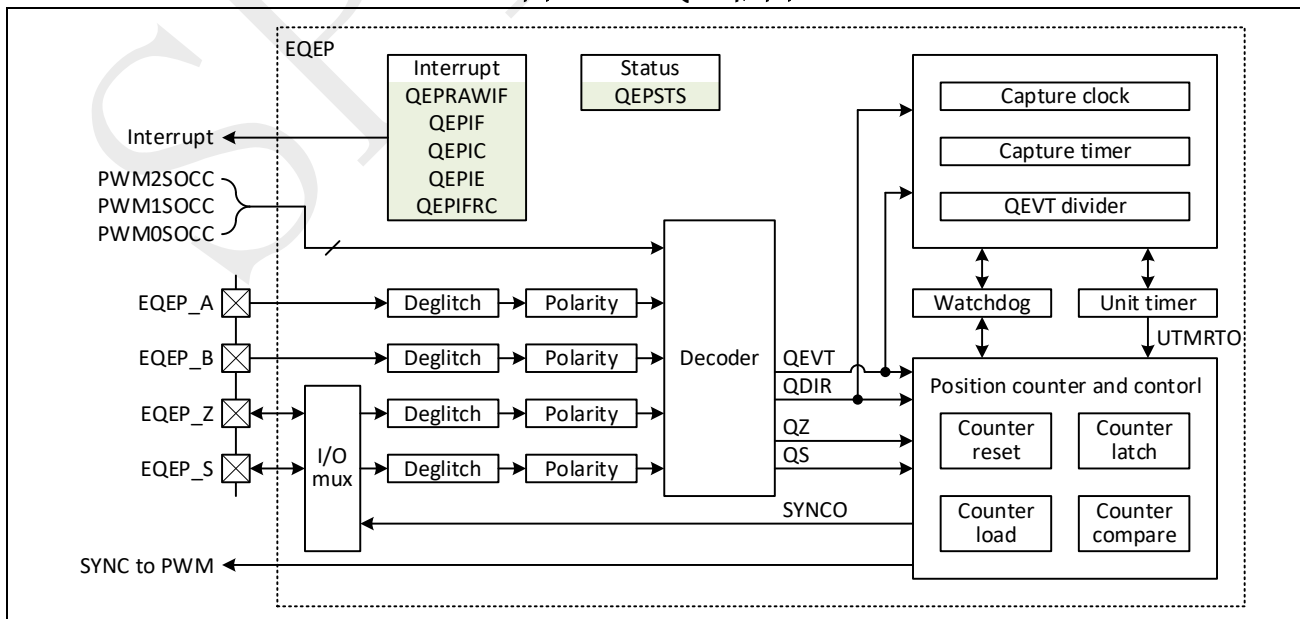
图 19-1：光学增量式编码器的码盘和输出信号波形



SPC1185 提供了 2 个 EQEP 模块，其特性如下：

- 支持外部 A/B/Z/S 输入消抖滤波和极性选择；
- 支持 4 种 32 位解码计数：正交计数、双向计数、单向计数、顺逆时针计数；
- 灵活的位置计数值加载、复位和锁存，以用于位置测量；
- 边沿捕获和定时锁存，以用于速度或频率的测量；
- 提供看门狗定时器，用于停转的检测。

图 19-2：EQEP 框图



如图 19-2 所示，EQEP 模块主要包含如下功能模块：

- 输入消抖滤波和极性选择单元；
- 解码单元；
- 位置计数和控制单元；
- 捕获单元；
- 单位定时器；
- 看门狗定时器（WDT）；
- 状态和中断管理。

## 19.2 EQEP 端口信号

表 19-1 罗列并描述了 EQEP 端口信号。它们都是数字 CMOS 电平信号，采用通道复用最终连到 GPIO 引脚。参考[章节 4.2](#) 配置引脚通道功能。

### 表 19-1: EQEP 端口信号

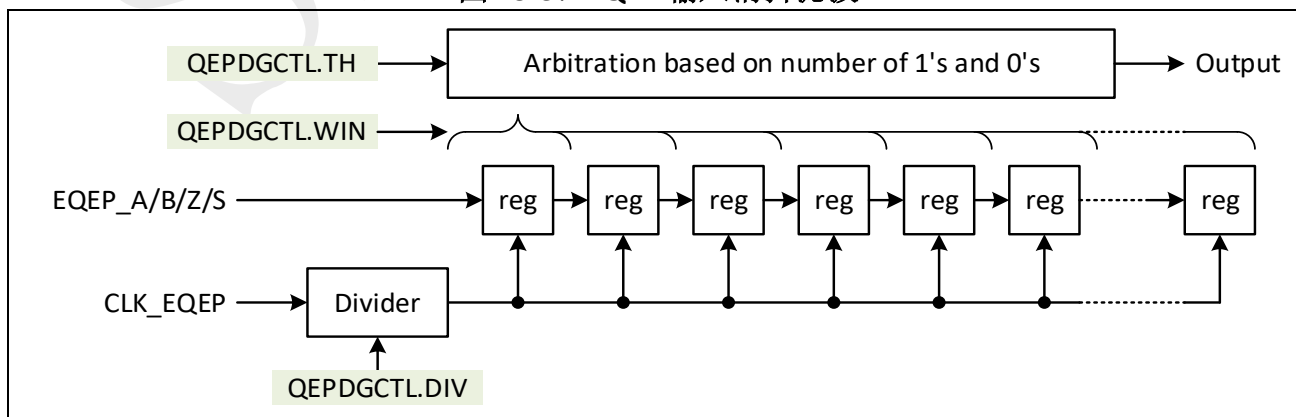
| 信号名    | 类型 | 描述           |
|--------|----|--------------|
| EQEP_A | 输入 | 来自编码器的正交信号输入 |
| EQEP_B | 输入 | 来自编码器的正交信号输入 |
| EQEP_Z | 输入 | 来自编码器的零点信号输入 |
|        | 输出 | 位置比较同步信号输出   |
| EQEP_S | 输入 | 来自编码器的闸门信号输入 |
|        | 输出 | 位置比较同步信号输出   |

### 19.3 输入消抖滤波和极性选择

如图 19-3 所示，为了滤除可能的毛刺以免造成位置等信息的误检测，EQEP\_A、EQEP\_B、EQEP\_Z、EQEP\_S 信号会各自经过一个消抖滤波器，滤波器按照 QEPDGCTL.DIV 的配置对 EQEP 模块时钟分频后得到采样时钟，并保存最近的(QEPDGCTL.WIN + 1)个采样值。若这些样本中 1 或 0 的个数超过 QEPDGCTL.TH，则滤波器输出对应翻转为 0 或 1，否则保持不变。

为了兼容不同编码器的信号极性，输入信号经过消抖滤波后，会再各自独立做极性的选择，最终送至解码单元。

图 19-3: EQEP 输入消抖滤波





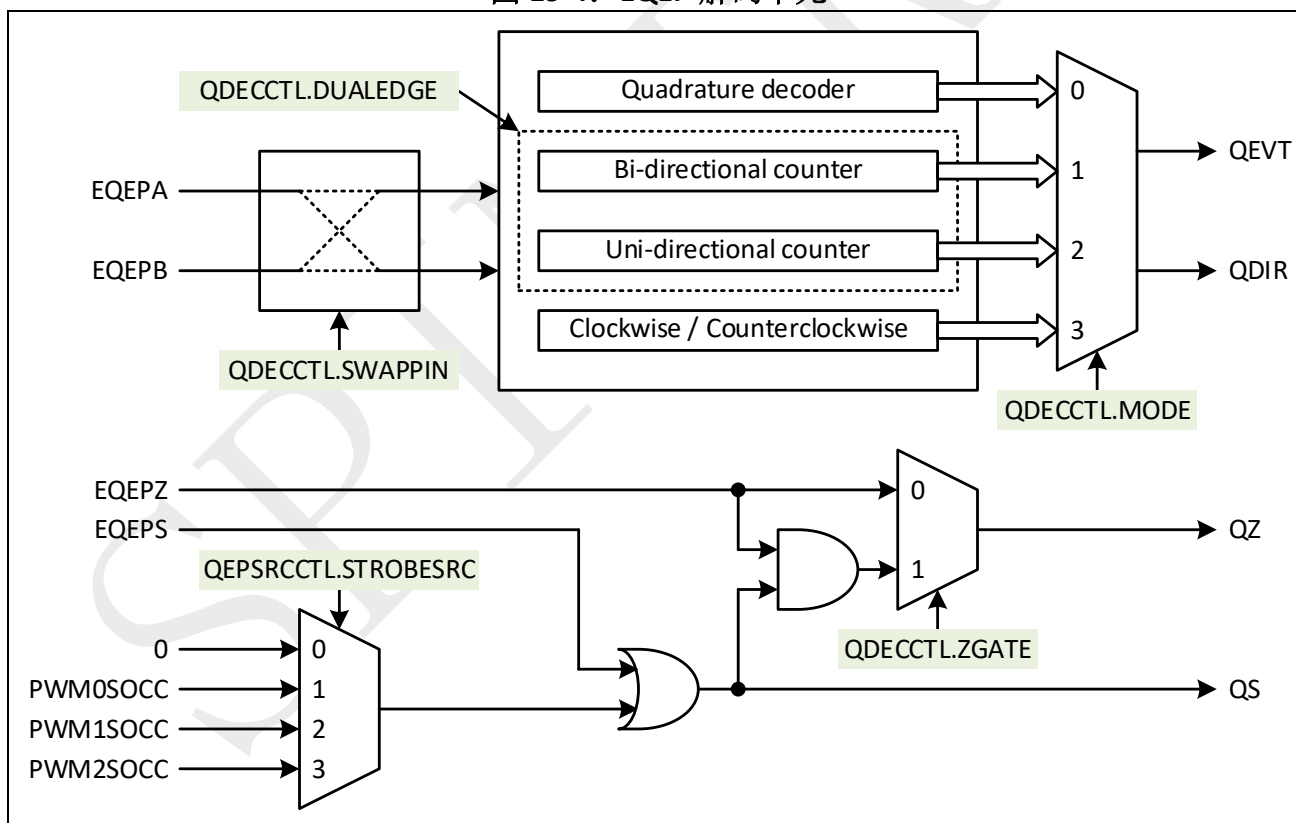
## 19.4 解码单元

如图 19-4 所示，解码单元进一步做如下处理：

- 基于经过消抖滤波和极性选择后的 EQEPA 和 EQEPB 生成 QEVT 和 QDIR
  - 可以根据 QDECCTL.SWAPPIN 配置是否交换 EQEPA 和 EQEPB；
  - 支持 4 种解码模式，由 QDECCTL.MODE 选择：正交计数、双向计数、单向计数、顺时针/逆时针计数（CW/CCW）；
  - 双向计数、单向计数、顺逆时针计数模式支持双边沿计数。
- 基于经过消抖滤波和极性选择后的 EQEPZ 和 EQEPS 生成 QZ 和 QS
  - QZ 可选择为原始的 QEPZ，或者用 QS 信号对 QEPZ 做门控；
  - QS 可选择为原始的 QEPS，或者是 QEPS 与 PWM0SOCC、PWM1SOCC 或 PWM2SOCC 的逻辑或。

注意：正交计数模式和顺时针/逆时针计数模式下，模块使能后会根据第一个边沿事件更新当前计数方向。即便这个方向与模块的默认方向不同，也不会触发计数方向变更（DIRCHG）中断。之后再发生计数方向变化才会触发对应中断。

图 19-4: EQEP 解码单元



19.4.1 正交计数

正交计数模式时，QA 和 QB 的边沿都会影响位置计数值和方向的变化。其真值表如表 19-2 所示，状态机如图 19-5 所示，时序图如图 19-6 所示。

表 19-2: EQEP 正交计数真值表

| 上个边沿 | 当前边沿 | 方向 (QDIR) | 位置计数值 (QPOSCNT) |
|------|------|-----------|-----------------|
| QA ↑ | QB ↑ | 正         | 增加              |
|      | QB ↓ | 负         | 减小              |
|      | QA ↓ | 正/负→负/正   | 减小/增加           |
| QA ↓ | QB ↓ | 正         | 增加              |
|      | QB ↑ | 负         | 减小              |
|      | QA ↑ | 正/负→负/正   | 减小/增加           |
| QB ↑ | QA ↑ | 正         | 减小              |
|      | QA ↓ | 负         | 增加              |
|      | QB ↓ | 正/负→负/正   | 减小/增加           |
| QB ↓ | QA ↓ | 正         | 减小              |
|      | QA ↑ | 负         | 增加              |
|      | QB ↑ | 正/负→负/正   | 减小/增加           |

图 19-5: EQEP 正交解码状态机

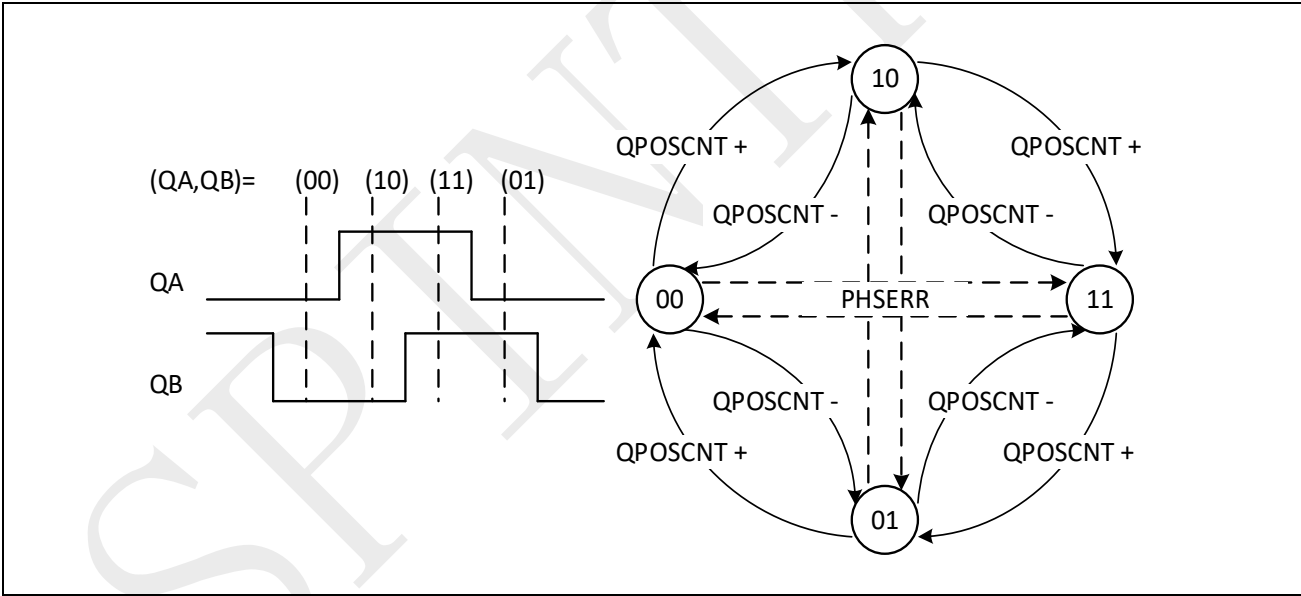
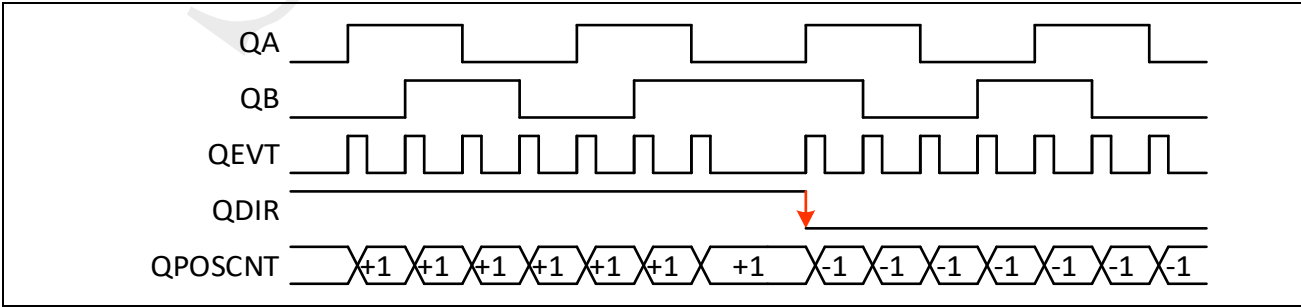


图 19-6: EQEP 正交计数示例

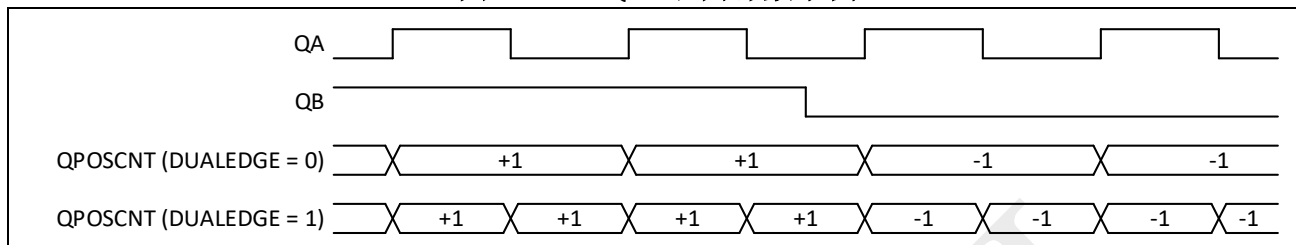


如图 19-5 所示，当 QA 和 QB 同时变化时，则触发 PHSERR 中断事件。当不改变传感器的输出信号，正交计数模式中可通过置位 QDECCTL.SWAPPIN 实现当前计数方向的翻转。

### 19.4.2 双向计数

如图 19-7 所示，在双向计数模式下，QA 用作位置计数事件，QB 用作计数方向。若配置 QDECCTL.DUALEDGE = 1，则 QA 的上升沿和下降沿都会触发计数更新，由此可以提高计数精度。

图 19-7: EQEP 双向计数示例



### 19.4.3 单向计数

单向计数模式时，QA 用作位置计数事件，计数方向软件可配。

- 当 QDECCTL.SGLCNTDIR = 0 时，计数方向为负；
- 当 QDECCTL.SGLCNTDIR = 1 时，计数方向为正。

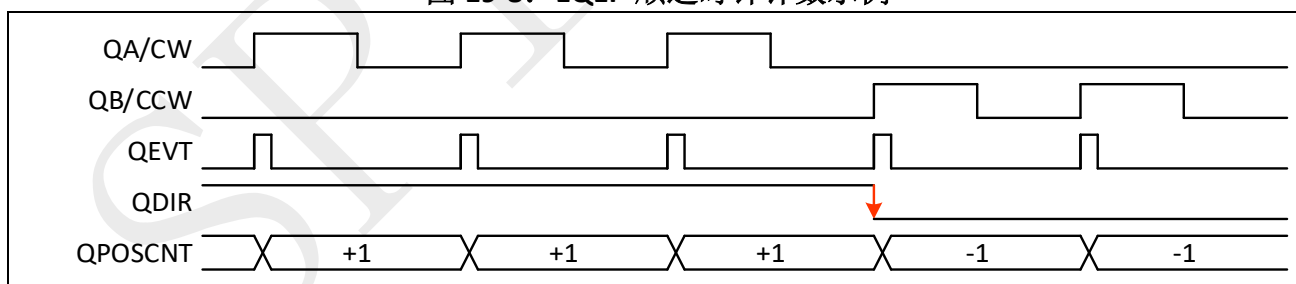
同理，当 QDECCTL.DUALEDGE = 1 时，位置计数事件是 EQEPA 信号频率的 2 倍，可以提高位置计数的精度。

### 19.4.4 顺逆时针计数

如图 19-8 所示，顺逆时针计数模式时，

- QA 上升沿表示计数方向为正的计数事件，对应于计数值增加；
- QB 上升沿表示计数方向为负的计数事件，对应于计数值减小；
- 当 QA 和 QB 同时为高时，触发 CCWERR 中断事件。

图 19-8: EQEP 顺逆时针计数示例



## 19.5 位置计数和控制单元

位置计数和控制模块包括位置计数复位、位置计数锁存、位置计数加载和位置计数比较功能。当位置正向计数到 QPOSMAX，则触发计数上溢（CNTOVF）中断事件；当位置负向计数到 0，则触发计数下溢（CNTUDF）中断事件。

### 19.5.1 位置计数复位

通过 QEPCTL.RSTMODE，可以配置计数复位模式。其中最大位置复位模式在各种配置下始终有效。

#### 最大位置复位模式（QEPCTL.RSTMODE = 0）：

当 QEVT 到来时，若位置已经正向计数到 QPOSMAX，则被复位成 0；若位置已经负向计数到 0，则被复位成 QPOSMAX。

注意： 若 QPOSCNT 计数初值大于 QPOSMAX，则正向计数至溢出才会复位。

#### 第一个过零标记复位模式（QEPCTL.RSTMODE = 1）：

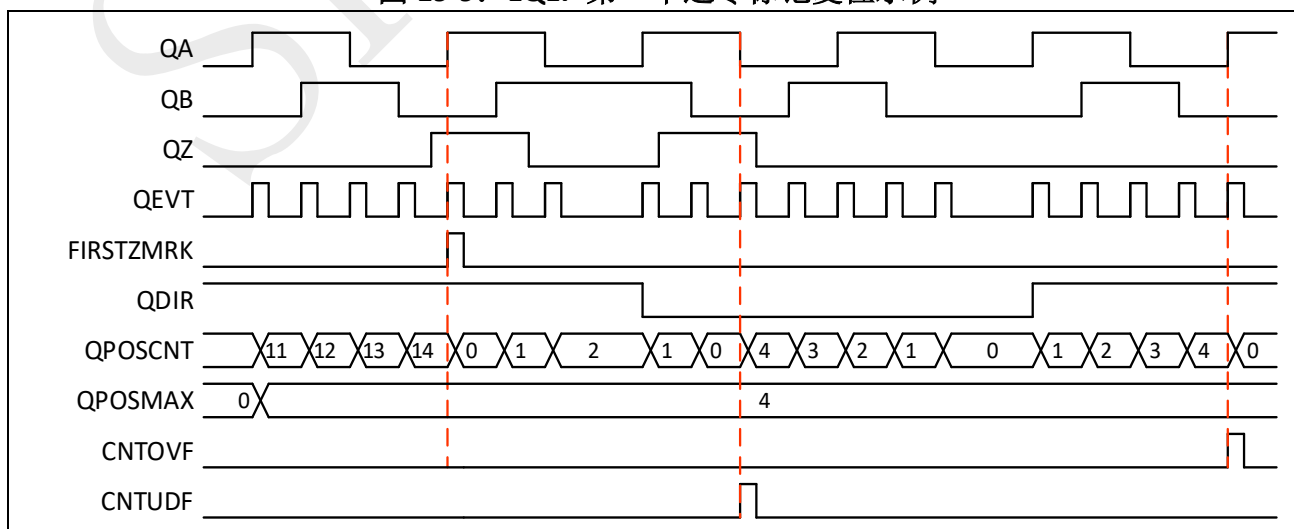
第一个过零标记表示 QZ 变化沿之后的第一个 QEVT 处。当第一个过零标记发生且计数方向为正，则位置计数值在下一个 EQEP 时钟被复位成 0；当第一个过零标记发生且计数方向为负，则位置计数值在下一个 EQEP 时钟被复位成 QPOSMAX。

第一个过零标记处的计数方向被记录在 QEPSTS.FZMRKDIR 中，同时会隐藏记录标记处的正交边沿信息，后续基于这些信息在码盘的同样位置判定为过零标记。后续过零标记处位置计数不复位，而是遵循最大位置复位模式。后续每个过零标记处的计数方向会记录在 QEPSTS.ZMRKDIR 中。

图 19-9 以 QPOSMAX 为 4 为例给出了第一个过零标记复位模式的波形。当第一个过零标记发生时，位置计数方向为正，因此位置计数值被复位成 0。在随后每当位置计数事件到来：

- 若位置计数值为 4 且方向为正，则触发计数上溢中断事件且位置计数值会被复位成 0；
- 若位置计数值为 0 且方向为负，则触发计数下溢中断事件且位置计数值会被复位成 4。

图 19-9：EQEP 第一个过零标记复位示例



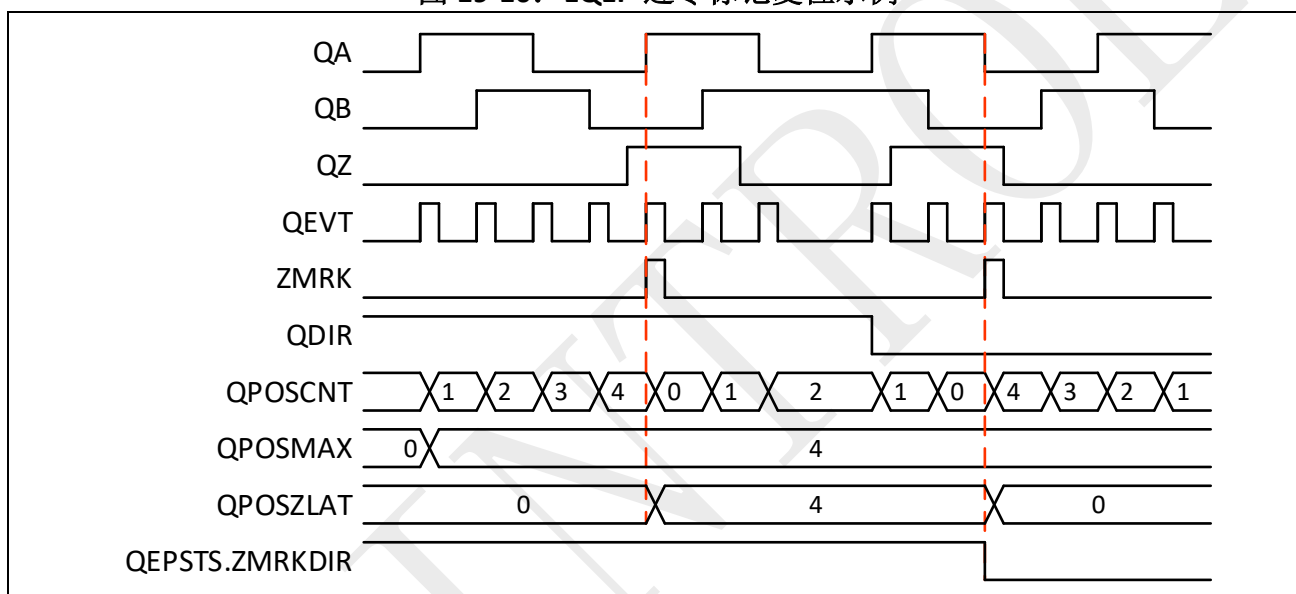
### 过零标记复位模式（QEPCCTL.RSTMODE = 2）：

每当过零标记发生时，若计数方向为正，则位置计数值在下一个 EQEP 时钟被复位成 0，否则在下一个 EQEP 时钟被复位成 QPOS MAX。

使能过零标记复位后，每个过零标记处的位置计数值被锁存到 QPOSZLAT，对应的计数方向被锁存到 QEPSTS.ZMRKDIR。若过零标记处（不包含第一个过零标记）的位置计数值不等于基于计数方向预期的 0 或 QPOS MAX，则触发 CNTERR 中断事件。

图 19-10 以 QPOS MAX 为 4 为例给出了相关波形。当第一个过零标记发生时计数方向为正，则位置计数值会被复位成 0，QPOSZLAT 和 QEPSTS.ZMRKDIR 分别变成 4 和 1。第二个过零标记发生时计数方向为负，因此位置计数值被复位成 4，QPOSZLAT 和 QEPSTS.ZMRKDIR 都变成 0。

图 19-10: EQEP 过零标记复位示例



注意： 过零标记复位模式下，过零锁存模式（EQEPCTL.ZLATEVT）只能配置为 0 或 3。

### 单位定时器超时复位（QEPCCTL.RSTMODE = 3）：

每当单位定时器超时事件发生，若计数方向为正，则位置计数值在下一个 EQEP 时钟被复位成 0，否则复位成 QPOS MAX；

## 19.5.2 位置计数锁存

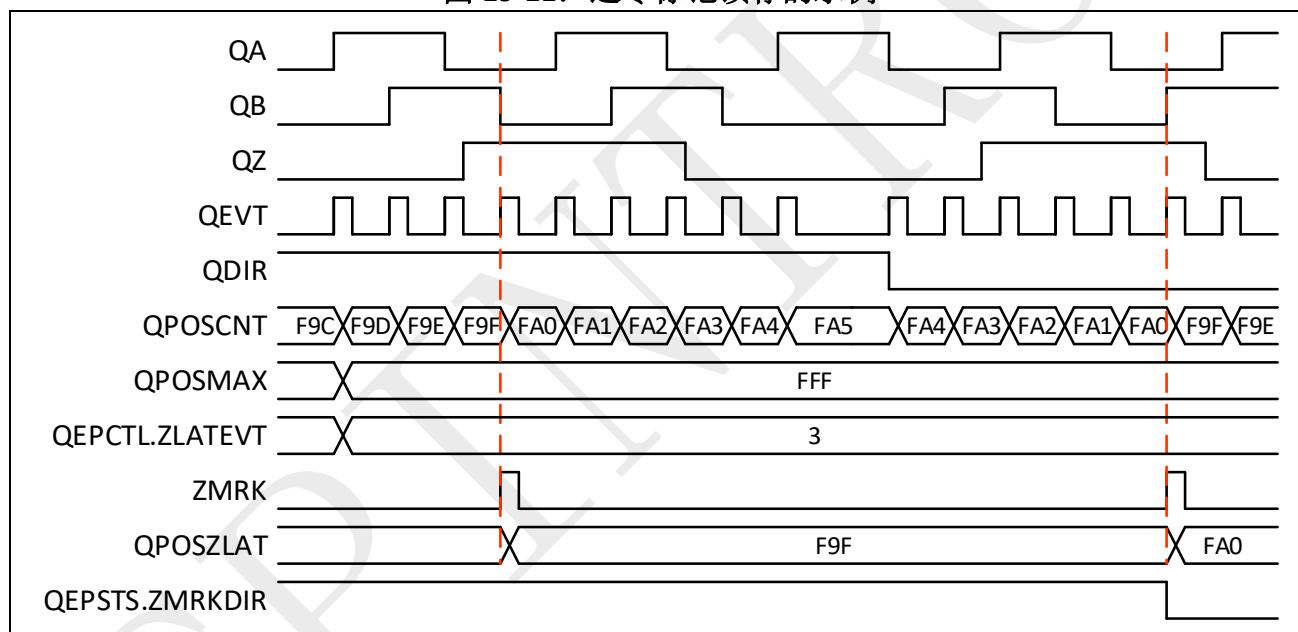
### 过零锁存:

该模式下，位置计数值被锁存到 QPOSZLAT，触发锁存的事件可以通过 QEPCTL.ZLATEVT 指定为：

- 禁用锁存；
- QZ 的上升沿锁存；
- QZ 的下降沿锁存；
- 过零标记处锁存。

图 19-11 示例了 QPOSMAX = 0xFF 且使能了最大位置复位模式（QEPCTL.RSTMODE = 0）和标记锁存模式（QEPCTL.ZLATEVT = 3）时的波形：第一个过零标记处，0xF9F 被锁存到 QPOSZLAT 且 QEPSTS.ZMRKDIR 锁存值变成 1；第二个过零标记处，0xFA0 被锁存到 QPOSZLAT 且 QEPSTS.ZMRKDIR 锁存值变成 0。

图 19-11：过零标记锁存的示例



注意：过零标记复位模式下，无论是否使能了过零标记锁存，都会过在过零标记处执行锁存，即把当前位置计数值锁存到 QPOSZLAT，并且把当前的计数方向锁存到 QEPSTS.ZMRKDIR。

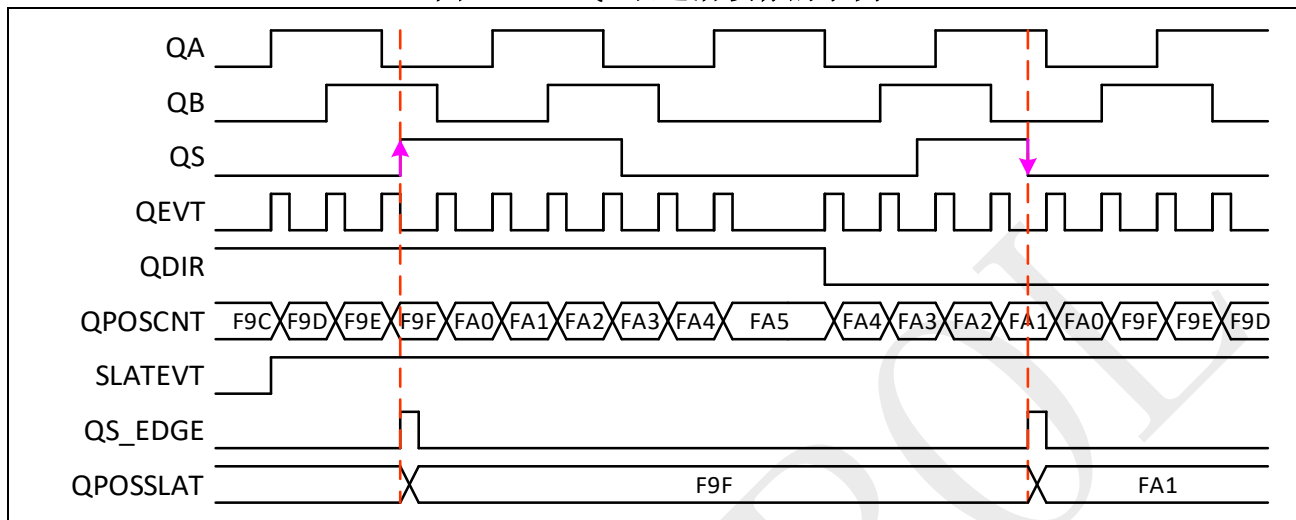
### 闸门锁存:

该模式下，位置计数值被锁存到 QPOSSLAT，触发锁存的事件可以通过 QEPCTL.SLATEVT 指定为：

- QS 的上升沿锁存
- QS 的双边沿锁存
  - 正向计数时在 QS 上升沿锁存
  - 负向计数时在 QS 下降沿锁存

图 19-12 以 QEPCTL.SLATEVT = 1 为例给出了 QS 双边沿锁存的波形图。当计数方向为正时，在 QS 的上升沿把位置计数值 0xF9F 锁存到 QPOSSLAT；当计数方向为负时，在 QS 的下降沿把位置计数值 0xFA1 锁存到 QPOSSLAT。

图 19-12: QS 双边沿锁存的示例



#### 捕获事件锁存:

当捕获模块的捕获事件 CAPEVT 发生时，QPOSCNT 会被锁存到 QPOSCLAT 寄存器。

#### 超时事件捕获:

当单位定时器超时事件 UTMRT0 发生时，QPOSCNT 会被锁存到 QPOSTLAT 寄存器。

### 19.5.3 位置计数加载

位置计数加载是指把 QPOSLOAD 加载到 QPOSCNT，支持如下几种加载方式（其中 QZ、QS 触发的加载仅当 QEPCTL.CNTEN = 1 时有效）：

- QZ 的上升沿加载；
- QZ 的下降沿加载；
- QS 的上升沿加载；
- QS 的双边沿加载：正向计数时上升沿加载，负向计数时下降沿加载；
- 软件触发加载。

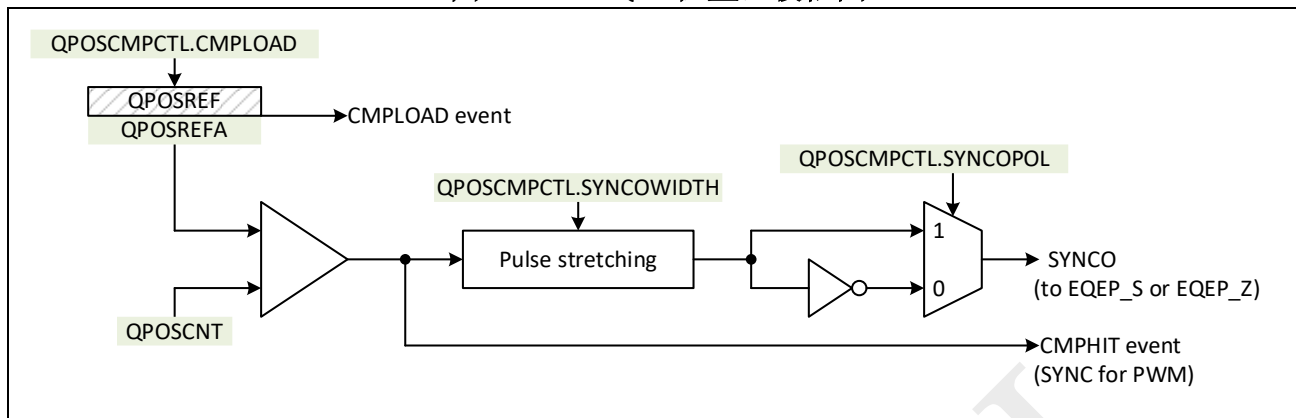
### 19.5.4 位置比较

位置比较是指位置计数值 QPOSCNT 与比较参考之间的比较。比较参考值 QPOSREFA 支持如下几种更新加载模式，且加载时触发 CMPLOAD 中断事件：

- QPOSCNT = 0 时从 QPOSREF 加载；
- QPOSCNT = QPOSREFA 时从 QPOSREF 加载；
- 写 QPOSREF 时直接同时更新 QPOSREFA。

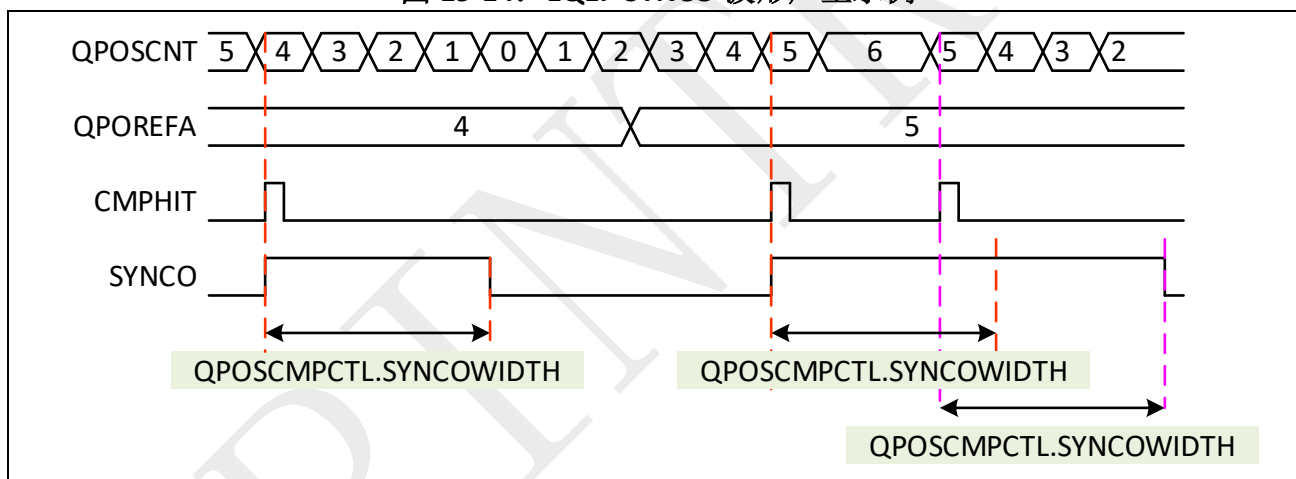
当 QPOSCMPCTL.CMPEN=1 时使能位置比较。如图 19-13 所示，当 QPOSCNT=QPOSREFA 时，触发 CMPHIT 中断事件。该事件可用于触发 PWM 同步，经过脉宽拉伸后，还可以配置为通过 EQEP\_S 或者 EQEP\_S 引脚输出 SYNCO 同步脉冲。

图 19-13: EQEP 位置比较框图



如图 19-14 所示，CMPHIT 原始事件窄脉冲信号依据 QPOSCMPCTL.SYNCOWIDTH 的配置，拉伸为 SYNCO 宽脉冲信号以便于送到 I/O 引脚输出。每当 CMPHIT 事件发生时，SYNCO 脉宽计数复位，因此当有两个相邻 CMPHIT 事件的时间差小于设定的 SYNCO 脉宽时，由前一个 CMPHIT 引起的脉冲拉伸尚未结束，后一个 CMPHIT 事件触发 SYNCO 重新开始计算脉宽，最终合并为一个 SYNCO 脉冲，其宽度为两个相邻 CMPHIT 事件的时间差与所设定 SYNCO 脉宽的和。

图 19-14: EQEP SYNCO 波形产生示例

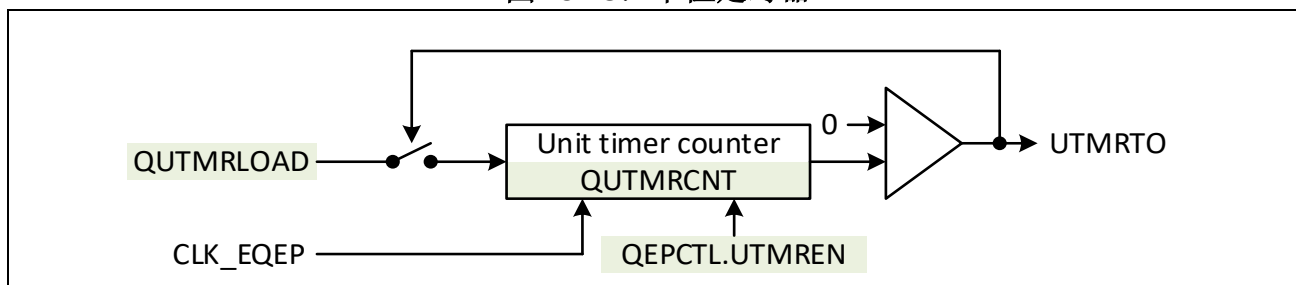


## 19.6 单位定时器

如图 19-15 所示，单位定时器工作于 EQEP 时钟。使能（QEPCCTL.UTMREN = 1）后，定时器计数 QUTMRCNT 从设定的定时器加载值 QUTMRLOAD 开始递减计数。计数到 0 时，触发超时事件 UTMRT0，然后重新加载 QUTMRLOAD 开始新一轮的递减计数。

当单位定时器使能后，CPU 写 QUTMRLOAD 会同时更新 QUTMRCNT。

图 19-15: 单位定时器

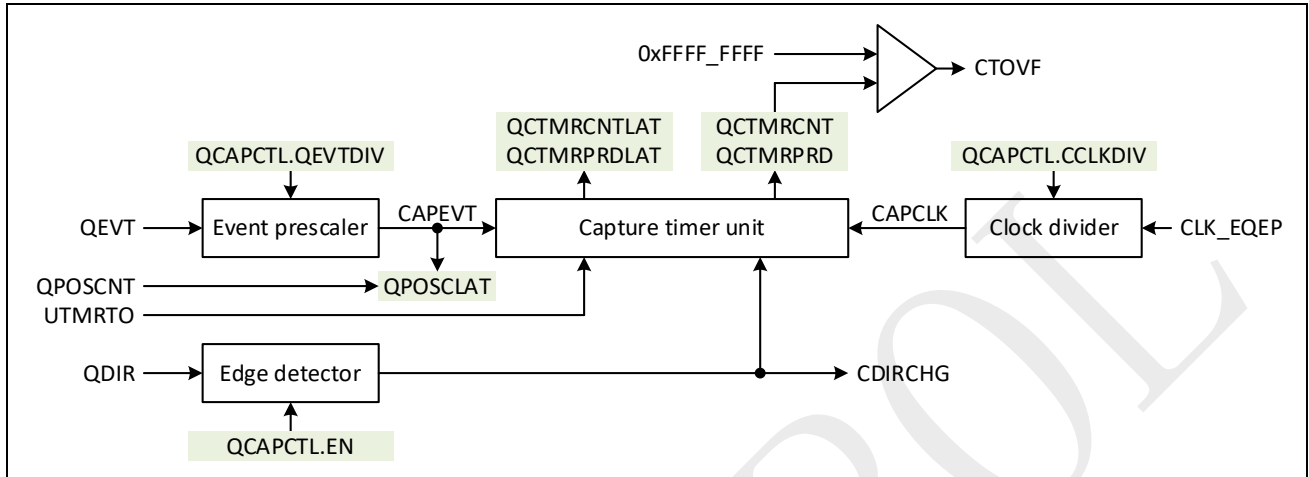




## 19.7 捕获模块

捕获模块用于捕获指定的两个 QEVT 之间对应的时间。如图 19-16 所示，它主要由事件分频、计时时钟分频、捕获定时器及计时锁存几个部分构成。

图 19-16: EQEP 捕获框图



### 19.7.1 捕获事件分频

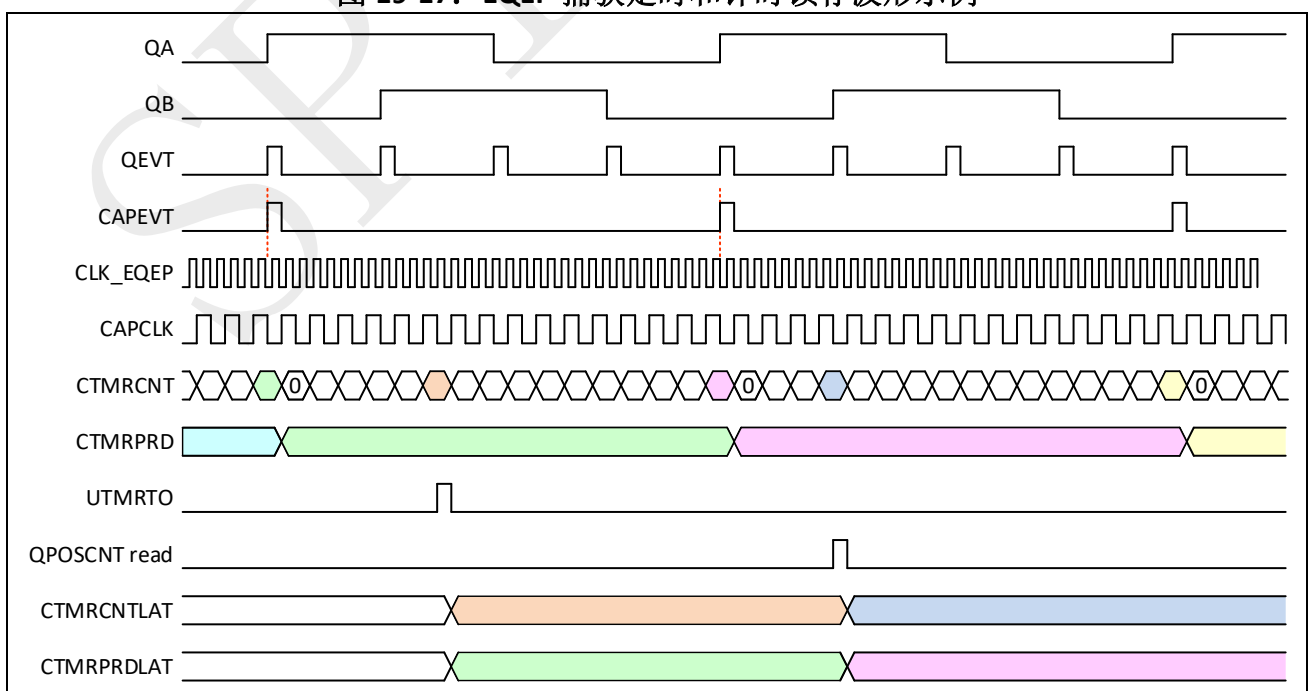
捕获事件 CAPEVT 由 QEVT 分频得到，两个 CAPEVT 之间对应的位置计数差可以通过对 QEVT 分频准确指定为  $2^{QCAPCTL.QEVTDIV}$ 。CAPEVT 事件可用于触发中断。

### 19.7.2 捕获时钟分频

捕获时钟 CAPCLK 由 EQEP 时钟经过  $2^{QCAPCTL.CCLKDIV}$  分频得到，可以调整捕获定时器速率，用于在低转速的情况下避免两个相邻的 CAPEVT 之间的捕获计时溢出。

### 19.7.3 捕获定时和计时锁存

图 19-17: EQEP 捕获定时和计时锁存波形示例





## 19.9 寄存器

### 19.9.1 EQEP 寄存器列表

表 19-3: EQEP 模块基地址

| 外设模块  | 基地址         |
|-------|-------------|
| EQEP0 | 0x4000 A600 |
| EQEP1 | 0x4000 A700 |

表 19-4: EQEP 寄存器列表

| 寄存器                         | 偏移地址   | 描述                | 复位值        |
|-----------------------------|--------|-------------------|------------|
| <a href="#">QEPCNTL*</a>    | 0x0000 | EQEP 计数控制寄存器      | 0x00000000 |
| <a href="#">QEPDGCTL*</a>   | 0x0008 | EQEP 输入消抖控制滤波器    | 0x00000000 |
| <a href="#">QEPSRCCTL*</a>  | 0x000C | EQEP 信号源控制寄存器     | 0x0000000F |
| <a href="#">QPOSCNT</a>     | 0x0010 | EQEP 位置计数寄存器      | 0x00000000 |
| <a href="#">QPOSLOAD*</a>   | 0x0018 | EQEP 位置计数加载值寄存器   | 0x00000000 |
| <a href="#">QPOSMAX*</a>    | 0x001C | EQEP 最大位置计数寄存器    | 0xFFFFFFFF |
| <a href="#">QPOSZLAT</a>    | 0x0020 | EQEP 过零位置计数锁存寄存器  | 0x00000000 |
| <a href="#">QPOSSLAT</a>    | 0x0024 | EQEP 闸门位置计数锁存寄存器  | 0x00000000 |
| <a href="#">QPOSTLAT</a>    | 0x0028 | EQEP 超时位置计数锁存寄存器  | 0x00000000 |
| <a href="#">QPOSCLAT</a>    | 0x002C | EQEP 捕获位置计数锁存寄存器  | 0x00000000 |
| <a href="#">QUTMRLOAD*</a>  | 0x0030 | EQEP 单位定时器加载值寄存器  | 0xFFFFFFFF |
| <a href="#">QUTMRCNT</a>    | 0x0038 | EQEP 单位定时器计数值寄存器  | 0xFFFFFFFF |
| <a href="#">QWDTLOAD*</a>   | 0x0040 | EQEP 看门狗定时器加载值寄存器 | 0xFFFFFFFF |
| <a href="#">QWDTCNT</a>     | 0x0048 | EQEP 看门狗定时器计数值寄存器 | 0xFFFFFFFF |
| <a href="#">QDECCTL*</a>    | 0x0050 | EQEP 解码控制寄存器      | 0x00000000 |
| <a href="#">QCAPCTL*</a>    | 0x0054 | EQEP 捕获控制寄存器      | 0x00000000 |
| <a href="#">QPOSCMPCTL*</a> | 0x0058 | EQEP 位置比较控制寄存器    | 0x00000000 |
| <a href="#">QPOSREF*</a>    | 0x005C | EQEP 位置比较参考值影子寄存器 | 0x00000000 |
| <a href="#">QPOSREFA</a>    | 0x0060 | EQEP 位置比较有效参考值寄存器 | 0x00000000 |
| <a href="#">QCTMRCNT</a>    | 0x0068 | EQEP 捕获定时计数寄存器    | 0x00000000 |
| <a href="#">QCTMRPRD</a>    | 0x006C | EQEP 捕获定时周期寄存器    | 0x00000000 |
| <a href="#">QCTMRCNTLAT</a> | 0x0070 | EQEP 捕获定时计数锁存值寄存器 | 0x00000000 |
| <a href="#">QCTMRPRDLAT</a> | 0x0074 | EQEP 捕获定时周期锁存值寄存器 | 0x00000000 |
| <a href="#">QEPSTS</a>      | 0x0078 | EQEP 状态寄存器        | 0x00000000 |
| <a href="#">QEPRAWIF</a>    | 0x0080 | EQEP 中断原始事件标志寄存器  | 0x00000000 |
| <a href="#">QEPIF</a>       | 0x0084 | EQEP 中断标志寄存器      | 0x00000000 |
| <a href="#">QEPIE*</a>      | 0x0088 | EQEP 中断使能寄存器      | 0x00000000 |
| <a href="#">QEPIC</a>       | 0x0090 | EQEP 中断清除寄存器      | 0x00000000 |
| <a href="#">QEPIFRC*</a>    | 0x0094 | EQEP 中断强制寄存器      | 0x00000000 |
| <a href="#">QEPREGKEY</a>   | 0x0098 | EQEP 模块写使能寄存器     | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 QEPREGKEY=0x1ACCE551 时才可以改写。

## 19.9.2 EQEP 寄存器

### 19.9.2.1 EQEP 计数控制寄存器（QEPCNTL）

表 19-5: EQEP 计数控制寄存器（QEPCNTL）位段定义

| QEPCNTL (EQEP Counter Control Register)                        |          |         |    |          |        |          |       |
|----------------------------------------------------------------|----------|---------|----|----------|--------|----------|-------|
| Access: EQEP->QEPCNTL    Offset: 0x0000    Default: 0x00000000 |          |         |    |          |        |          |       |
| 31                                                             | 30       | 29      | 28 | 27       | 26     | 25       | 24    |
| FRCLOAD                                                        | RESERVED |         |    |          |        |          |       |
| 23                                                             | 22       | 21      | 20 | 19       | 18     | 17       | 16    |
| RESERVED                                                       |          |         |    |          |        |          |       |
| 15                                                             | 14       | 13      | 12 | 11       | 10     | 9        | 8     |
| HALTRUN                                                        |          | RSTMODE |    | SLOADEVT |        | ZLOADEVT |       |
| 7                                                              | 6        | 5       | 4  | 3        | 2      | 1        | 0     |
| RESERVED                                                       | SLATEVT  | ZLATEVT |    | RESERVED | UTMREN | WDTEN    | CNTEN |

表 19-6: EQEP 计数控制寄存器（QEPCNTL）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                                                   |
|-------|----------------|-----|-----|--------------------------------------------------------------------------------------------------------------------------------------|
| 31    | FRCLOAD        | W1S | 0x0 | 软件强制加载 QPOSLOAD 到 QPOSCNT<br>0: 写 0 无效, 读总是 0<br>1: 写 1 触发强制加载, 本位段自动清零                                                              |
| 30:16 | RESERVED_30_16 | RO  | 0x0 | 保留                                                                                                                                   |
| 15:14 | HALTRUN        | RW  | 0x0 | 由调试或者错误异常导致 CPU halted 或 lockup 时 EQEP 计数器的行为<br>0: 立即停止所有计数器<br>1: 位置计数、看门狗计数、单位定时计数到完成一个周期后停止<br>捕捉定时计数在下一个捕获事件后停止<br>2: 所有计数器正常运行 |
| 13:12 | RSTMODE        | RW  | 0x0 | 位置计数复位模式<br>0: QPOSCNT = QEPPOSMAX 时复位<br>1: 第一个过零标记复位<br>2: 过零标记复位<br>3: 单位定时器超时复位                                                  |
| 11:10 | SLOADEVT       | RW  | 0x0 | 触发加载 QPOSLOAD 到 QPOSCNT 的闸门信号<br>0: 关闭闸门加载<br>1: 闸门信号上升沿加载<br>2: QEPSTS.DIR=1 时闸门信号上升沿加载<br>QEPSTS.DIR=0 时闸门信号下降沿加载                  |
| 9:8   | ZLOADEVT       | RW  | 0x0 | 触发加载 QPOSLOAD 到 QPOSCNT 的过零信号<br>0: 关闭过零加载<br>1: 过零信号上升沿加载<br>2: 过零信号下降沿加载                                                           |

| 位段  | 位段名        | 属性 | 复位值 | 描述                                                                                                    |
|-----|------------|----|-----|-------------------------------------------------------------------------------------------------------|
| 7   | RESERVED_7 | RO | 0x0 | 保留                                                                                                    |
| 6   | SLATEVT    | RW | 0x0 | 触发锁存 QPOSCNT 到 QEPSLAT 的闸门事件<br>0: 闸门信号上升沿锁存<br>1: QEPSTS.DIR=1 时闸门信号上升沿锁存<br>QEPSTS.DIR=0 时闸门信号下降沿锁存 |
| 5:4 | ZLATEVT    | RW | 0x0 | 触发锁存 QPOSCNT 到 QEPZLAT 的过零事件<br>0: 不锁存<br>1: 过零信号上升沿锁存<br>2: 过零信号下降沿锁存<br>3: 过零标记处锁存                  |
| 3   | RESERVED_3 | RO | 0x0 | 保留                                                                                                    |
| 2   | UTMREN     | RW | 0x0 | EQEP 单位定时器使能<br>0: 关闭<br>1: 使能                                                                        |
| 1   | WDTEN      | RW | 0x0 | EQEP 看门狗定时器使能<br>0: 关闭<br>1: 使能                                                                       |
| 0   | CNTEN      | RW | 0x0 | EQEP 位置计数器使能<br>0: 关闭<br>1: 使能                                                                        |

### 19.9.2.2 EQEP 输入消抖控制寄存器 (QEPDGCTL)

表 19-7: EQEP 输入消抖控制寄存器 (QEPDGCTL) 位段定义

|                                                                 |    |     |    |     |    |      |    |
|-----------------------------------------------------------------|----|-----|----|-----|----|------|----|
| QEPDGCTL (EQEP Input Deglitch Control Register)                 |    |     |    |     |    |      |    |
| Access: EQEP->QEPDGCTL    Offset: 0x0008    Default: 0x00000000 |    |     |    |     |    |      |    |
| 31                                                              | 30 | 29  | 28 | 27  | 26 | 25   | 24 |
| TH                                                              |    |     |    | WIN |    |      |    |
| 23                                                              | 22 | 21  | 20 | 19  | 18 | 17   | 16 |
| RESERVED                                                        |    | DIV |    |     |    |      |    |
| 15                                                              | 14 | 13  | 12 | 11  | 10 | 9    | 8  |
| DIV                                                             |    |     |    |     |    |      |    |
| 7                                                               | 6  | 5   | 4  | 3   | 2  | 1    | 0  |
| DIV                                                             |    |     |    |     |    | INIT | EN |

表 19-8: EQEP 输入消抖控制寄存器 (QEPDGCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                             |
|-------|----------------|-----|-----|----------------------------------------------------------------|
| 31:28 | TH             | RW  | 0x0 | 当样本里有(TH+1)个 0 或 1 时输出对应翻转                                     |
| 27:24 | WIN            | RW  | 0x0 | 设置滤波样本数为(WIN+1)                                                |
| 23:22 | RESERVED_23_22 | RO  | 0x0 | 保留                                                             |
| 21:2  | DIV            | RW  | 0x0 | 滤波采样时钟为 EQEP 时钟经过(DIV+1)分频                                     |
| 1     | INIT           | W1S | 0x0 | 初始化滤波器<br>0: 写 0 无效, 读总是 0<br>1: 写 1 用当前输入初始化所有采样样本<br>本位段自动清零 |
| 0     | EN             | RW  | 0x0 | 消抖滤波使能<br>0: 关闭<br>1: 使能                                       |

## 19.9.2.3 EQEP 信号源控制寄存器 (QEPRCCTL)

表 19-9: EQEP 信号源控制寄存器 (QEPRCCTL) 位段定义

| QEPRCCTL (EQEP Source Control Register)                         |    |           |    |      |      |      |      |
|-----------------------------------------------------------------|----|-----------|----|------|------|------|------|
| Access: EQEP->QEPRCCTL    Offset: 0x000C    Default: 0x0000000F |    |           |    |      |      |      |      |
| 31                                                              | 30 | 29        | 28 | 27   | 26   | 25   | 24   |
| RESERVED                                                        |    |           |    |      |      |      |      |
| 23                                                              | 22 | 21        | 20 | 19   | 18   | 17   | 16   |
| RESERVED                                                        |    |           |    |      |      |      |      |
| 15                                                              | 14 | 13        | 12 | 11   | 10   | 9    | 8    |
| RESERVED                                                        |    |           |    |      |      |      |      |
| 7                                                               | 6  | 5         | 4  | 3    | 2    | 1    | 0    |
| RESERVED                                                        |    | STROBESRC |    | SPOL | ZPOL | BPOL | APOL |

表 19-10: EQEP 信号源控制寄存器 (QEPRCCTL) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                                                                  |
|------|---------------|----|-----|-------------------------------------------------------------------------------------------------------------------------------------|
| 31:6 | RESERVED_31_6 | RO | 0x0 | 保留                                                                                                                                  |
| 5:4  | STROBESRC     | RW | 0x0 | 闸门信号选择<br>本位段仅当 QEPCNT.CNTEN = 0 可以改写<br>0: EQEP_S 引脚<br>1: EQEP_S 引脚或 PWM0SOCC<br>2: EQEP_S 引脚或 PWM1SOCC<br>3: EQEP_S 引脚或 PWM2SOCC |
| 3    | SPOL          | RW | 0x1 | 闸门信号极性<br>本位段仅当 QEPCNT.CNTEN = 0 可以改写<br>0: 输入取反<br>1: 原始输入                                                                         |
| 2    | ZPOL          | RW | 0x1 | 过零信号极性<br>本位段仅当 QEPCNT.CNTEN = 0 可以改写<br>0: 输入取反<br>1: 原始输入                                                                         |
| 1    | BPOL          | RW | 0x1 | QB 信号极性<br>本位段仅当 QEPCNT.CNTEN = 0 可以改写<br>0: 输入取反<br>1: 原始输入                                                                        |
| 0    | APOL          | RW | 0x1 | QA 信号极性<br>本位段仅当 QEPCNT.CNTEN = 0 可以改写<br>0: 输入取反<br>1: 原始输入                                                                        |

#### 19.9.2.4 EQEP 位置计数寄存器 (QPOSCNT)

表 19-11: EQEP 位置计数寄存器 (QPOSCNT) 位段定义

| QPOSCNT (EQEP Position Count Register) |    |                |    |                     |    |    |    |
|----------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: EQEP->QPOSCNT                  |    | Offset: 0x0010 |    | Default: 0x00000000 |    |    |    |
| 31                                     | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                    |    |                |    |                     |    |    |    |
| 23                                     | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                    |    |                |    |                     |    |    |    |
| 15                                     | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                    |    |                |    |                     |    |    |    |
| 7                                      | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                    |    |                |    |                     |    |    |    |

表 19-12: EQEP 位置计数寄存器 (QPOSCNT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                                                      |
|------|-----|----|-----|-----------------------------------------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 位置计数值<br>QEPCTL.CNTEN=0 时, 保持计数值, 允许写本寄存器设置初值<br>QEPCTL.CNTEN=1 时, 本寄存器只读, 返回基于正交脉冲计数的值 |

#### 19.9.2.5 EQEP 位置计数加载值寄存器 (QPOSLOAD)

表 19-13: EQEP 位置计数加载值寄存器 (QPOSLOAD) 位段定义

| QPOSLOAD (EQEP Position Count Load Register) |    |                |    |                     |    |    |    |
|----------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: EQEP->QPOSLOAD                       |    | Offset: 0x0018 |    | Default: 0x00000000 |    |    |    |
| 31                                           | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                          |    |                |    |                     |    |    |    |
| 23                                           | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                          |    |                |    |                     |    |    |    |
| 15                                           | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                          |    |                |    |                     |    |    |    |
| 7                                            | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                          |    |                |    |                     |    |    |    |

表 19-14: EQEP 位置计数加载值寄存器 (QPOSLOAD) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                     |
|------|-----|----|-----|------------------------|
| 31:0 | VAL | RW | 0x0 | 加载事件有效时更新到 QPOSCNT 中的值 |



## 19.9.2.6 EQEP 最大位置计数寄存器 (QPOSMAX)

表 19-15: EQEP 最大位置计数寄存器 (QPOSMAX) 位段定义

| QPOSMAX (EQEP Maximum Position Count Register)                 |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: EQEP->QPOSMAX    Offset: 0x001C    Default: 0xFFFFFFFF |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                            |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                            |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                            |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                            |    |    |    |    |    |    |    |

表 19-16: EQEP 最大位置计数寄存器 (QPOSMAX) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                                          |
|------|-----|----|------------|---------------------------------------------|
| 31:0 | VAL | RW | 0xFFFFFFFF | 位置计数的最大值<br>正向计数到该值时会回到 0<br>负向计数到 0 时会回到该值 |

## 19.9.2.7 EQEP 过零位置计数锁存寄存器 (QPOSZLAT)

表 19-17: EQEP 过零位置计数锁存寄存器 (QPOSZLAT) 位段定义

| QPOSZLAT (EQEP Zero Position Latch Register)                    |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: EQEP->QPOSZLAT    Offset: 0x0020    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 19-18: EQEP 过零位置计数锁存寄存器 (QPOSZLAT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                 |
|------|-----|----|-----|----------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | QEPCTL.ZLATEVT 指定的过零锁存事件发生时, 锁存 QPOSCNT 位置计数值到本寄存器 |

### 19.9.2.8 EQEP 闸门位置计数锁存寄存器 (QPOSSLAT)

表 19-19: EQEP 闸门位置计数锁存寄存器 (QPOSSLAT) 位段定义

| QPOSSLAT (EQEP Strobe Position Latch Register) |    |                |    |                     |    |    |    |
|------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: EQEP->QPOSSLAT                         |    | Offset: 0x0024 |    | Default: 0x00000000 |    |    |    |
| 31                                             | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                            |    |                |    |                     |    |    |    |
| 23                                             | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                            |    |                |    |                     |    |    |    |
| 15                                             | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                            |    |                |    |                     |    |    |    |
| 7                                              | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                            |    |                |    |                     |    |    |    |

表 19-20: EQEP 闸门位置计数锁存寄存器 (QPOSSLAT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                 |
|------|-----|----|-----|----------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | QEPCTL.SLATEVT 指定的闸门锁存事件发生时, 锁存 QPOSCNT 位置计数值到本寄存器 |

### 19.9.2.9 EQEP 超时位置计数锁存寄存器 (QPOSTLAT)

表 19-21: EQEP 超时位置计数锁存寄存器 (QPOSTLAT) 位段定义

| QPOSTLAT (EQEP Unit Timer Timeout Position Latch Register) |    |                |    |                     |    |    |    |
|------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: EQEP->QUTMRLAT                                     |    | Offset: 0x0028 |    | Default: 0x00000000 |    |    |    |
| 31                                                         | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                        |    |                |    |                     |    |    |    |
| 23                                                         | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                        |    |                |    |                     |    |    |    |
| 15                                                         | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                        |    |                |    |                     |    |    |    |
| 7                                                          | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                        |    |                |    |                     |    |    |    |

表 19-22: EQEP 超时位置计数锁存寄存器 (QPOSTLAT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                             |
|------|-----|----|-----|--------------------------------|
| 31:0 | VAL | RO | 0x0 | 单位定时器超时事件发生时, 锁存 QPOSCNT 到本寄存器 |

## 19.9.2.10 EQEP 捕获位置计数锁存寄存器 (QPOSCLAT)

表 19-23: EQEP 捕获位置计数锁存寄存器 (QPOSCLAT) 位段定义

| QPOSCLAT (EQEP Capture event Position Latch Register)           |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: EQEP->QPOSCLAT    Offset: 0x002C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 19-24: EQEP 捕获位置计数锁存寄存器 (QPOSCLAT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                        |
|------|-----|----|-----|---------------------------|
| 31:0 | VAL | RO | 0x0 | 捕获事件发生时, 锁存 QPOSCNT 到本寄存器 |

## 19.9.2.11 EQEP 单位定时器加载值寄存器 (QUTMRLOAD)

表 19-25: EQEP 单位定时器加载值寄存器 (QUTMRLOAD) 位段定义

| QUTMRLOAD (EQEP Unit Timer Load Register)                        |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: EQEP->QUTMRLOAD    Offset: 0x0030    Default: 0xFFFFFFFF |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                              |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                              |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                              |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 19-26: EQEP 单位定时器加载值寄存器 (QUTMRLOAD) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                                    |
|------|-----|----|------------|---------------------------------------|
| 31:0 | VAL | RW | 0xFFFFFFFF | 加载到单位定时器的计数初值<br>写本寄存器时会同步更新 QUTMRCNT |

### 19.9.2.12 EQEP 单位定时器计数值寄存器（QUTMRCNT）

表 19-27: EQEP 单位定时器计数值寄存器（QUTMRCNT）位段定义

| QUTMRCNT (EQEP Unit Timer Count Register)                       |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: EQEP->QUTMRCNT    Offset: 0x0038    Default: 0xFFFFFFFF |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 19-28: EQEP 单位定时器计数值寄存器（QUTMRCNT）位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                                     |
|------|-----|----|------------|----------------------------------------|
| 31:0 | VAL | RW | 0xFFFFFFFF | 单位定时器递减计数的当前值<br>计数到 0 时，触发超时事件 UTMRT0 |

### 19.9.2.13 EQEP 看门狗定时器加载值寄存器（QWDTLOAD）

表 19-29: EQEP 看门狗定时器加载值寄存器（QWDTLOAD）位段定义

| QWDTLOAD (EQEP Watchdog Timer Load Register)                    |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: EQEP->QWDTLOAD    Offset: 0x0040    Default: 0xFFFFFFFF |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 19-30: EQEP 看门狗定时器加载值寄存器（QWDTLOAD）位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                                    |
|------|-----|----|------------|---------------------------------------|
| 31:0 | VAL | RW | 0xFFFFFFFF | 加载到看门狗定时器的计数初值<br>写本寄存器时会同步更新 QWDTCNT |

**19.9.2.14 EQEP 看门狗定时器计数值寄存器 (QWDTCNT)****表 19-31: EQEP 看门狗定时器计数值寄存器 (QWDTCNT) 位段定义**

| QWDTCNT (EQEP Watchdog Timer Count Register)                   |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: EQEP->QWDTCNT    Offset: 0x0048    Default: 0xFFFFFFFF |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                            |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                            |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                            |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                            |    |    |    |    |    |    |    |

**表 19-32: EQEP 看门狗定时器计数值寄存器 (QWDTCNT) 位段描述**

| 位段   | 位段名 | 属性 | 复位值        | 描述                                                                  |
|------|-----|----|------------|---------------------------------------------------------------------|
| 31:0 | VAL | RW | 0xFFFFFFFF | 看门狗定时器递减计数的当前值<br>每当 QEVT 事件时加载回 QEPWDTLOAD<br>计数到 0 时，触发超时事件 WDTTO |

### 19.9.2.15 EQEP 解码控制寄存器（QDECCTL）

表 19-33: EQEP 解码控制寄存器（QDECCTL）位段定义

| QDECCTL (EQEP Decoder Control Register) |          |                |       |                     |          |      |    |
|-----------------------------------------|----------|----------------|-------|---------------------|----------|------|----|
| Access: EQEP->QDECCTL                   |          | Offset: 0x0050 |       | Default: 0x00000000 |          |      |    |
| 31                                      | 30       | 29             | 28    | 27                  | 26       | 25   | 24 |
| RESERVED                                |          |                |       |                     |          |      |    |
| 23                                      | 22       | 21             | 20    | 19                  | 18       | 17   | 16 |
| RESERVED                                |          |                |       |                     |          |      |    |
| 15                                      | 14       | 13             | 12    | 11                  | 10       | 9    | 8  |
| RESERVED                                |          |                |       |                     |          |      |    |
| 7                                       | 6        | 5              | 4     | 3                   | 2        | 1    | 0  |
| RESERVED                                | DUALEDGE | SWAPPIN        | ZGATE | SGLCNTDIR           | RESERVED | MODE |    |

表 19-34: EQEP 解码控制寄存器（QDECCTL）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                        |
|------|---------------|----|-----|-------------------------------------------------------------------------------------------|
| 31:7 | RESERVED_31_7 | RO | 0x0 | 保留                                                                                        |
| 6    | DUALEDGE      | RW | 0x0 | 双边沿计数模式<br>本位段仅当 MODE=1 或 MODE=2 时适用<br>0: 仅在上升沿位置计数<br>1: 同时在上升沿和下降沿位置计数                 |
| 5    | SWAPPIN       | RW | 0x0 | 交换 EQEP_A 和 EQEP_B 引脚功能<br>0: EQEP_A 产生 QA, EQEP_B 产生 QB<br>1: EQEP_A 产生 QB, EQEP_B 产生 QA |
| 4    | ZGATE         | RW | 0x0 | 使能闸门信号对过零信号的门控屏蔽<br>0: 关闭<br>1: 使能                                                        |
| 3    | SGLCNTDIR     | RW | 0x0 | 单向计数模式（MODE=2）时的计数方向<br>0: 递减计数（反向）<br>1: 递增计数（正向）                                        |
| 2    | RESERVED_2    | RO | 0x0 | 保留                                                                                        |
| 1:0  | MODE          | RW | 0x0 | 位置计数模式<br>0: 正交计数<br>1: 双向计数<br>2: 单向计数<br>3: 顺逆时针计数                                      |

## 19.9.2.16 EQEP 捕获控制寄存器 (QCAPCTL)

表 19-35: EQEP 捕获控制寄存器 (QCAPCTL) 位段定义

| QCAPCTL (EQEP Capture Control Register) |    |                |    |                     |         |        |    |
|-----------------------------------------|----|----------------|----|---------------------|---------|--------|----|
| Access: EQEP->QCAPCTL                   |    | Offset: 0x0054 |    | Default: 0x00000000 |         |        |    |
| 31                                      | 30 | 29             | 28 | 27                  | 26      | 25     | 24 |
| RESERVED                                |    |                |    |                     |         |        |    |
| 23                                      | 22 | 21             | 20 | 19                  | 18      | 17     | 16 |
| RESERVED                                |    |                |    |                     |         |        |    |
| 15                                      | 14 | 13             | 12 | 11                  | 10      | 9      | 8  |
| RESERVED                                |    |                |    |                     | CCLKDIV |        |    |
| 7                                       | 6  | 5              | 4  | 3                   | 2       | 1      | 0  |
| QEVTDIV                                 |    |                |    | RESERVED            |         | LATEVT | EN |

表 19-36: EQEP 捕获控制寄存器 (QCAPCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                        |
|-------|----------------|----|-----|-----------------------------------------------------------------------------------------------------------|
| 31:11 | RESERVED_31_11 | RO | 0x0 | 保留                                                                                                        |
| 10:8  | CCLKDIV        | RW | 0x0 | EQEP 模块时钟到捕获时钟的分频比为 $2^{CCLKDIV}$<br>本位段仅当 QCAPCTL.EN=0 时才可以改写                                            |
| 7:4   | QEVTDIV        | RW | 0x0 | QEVT 到捕获事件 CAPEVT 的分频比为 $2^{QEVTDIV}$<br>注意: 本位段写入的值不应超过 12<br>本位段仅当 QCAPCTL.EN=0 时才可以改写                  |
| 3:2   | RESERVED_3_2   | RO | 0x0 | 保留                                                                                                        |
| 1     | LATEVT         | RW | 0x0 | 触发锁存 QCTMRCNT/QCTMRPRD 到 QCTMRCNTLAT/QCTMRPRDLAT 的事件<br>0: CPU 读 QPOSCNT 时锁存<br>1: 单位定时器超时事件 UTMRT0 发送时锁存 |
| 0     | EN             | RW | 0x0 | 捕获单元使能<br>0: 关闭<br>1: 使能                                                                                  |

### 19.9.2.17 EQEP 位置比较控制寄存器（QPOSCMPCTL）

表 19-37: EQEP 位置比较控制寄存器（QPOSCMPCTL）位段定义

|                                                             |    |            |          |         |         |            |       |
|-------------------------------------------------------------|----|------------|----------|---------|---------|------------|-------|
| QPOSCMPCTL (EQEP Position Compare Control Register)         |    |            |          |         |         |            |       |
| Access: EQEP->QPOSCMPCTL Offset: 0x0058 Default: 0x00000000 |    |            |          |         |         |            |       |
| 31                                                          | 30 | 29         | 28       | 27      | 26      | 25         | 24    |
| RESERVED                                                    |    |            |          |         |         |            |       |
| 23                                                          | 22 | 21         | 20       | 19      | 18      | 17         | 16    |
| RESERVED                                                    |    |            |          |         |         | SYNCOWIDTH |       |
| 15                                                          | 14 | 13         | 12       | 11      | 10      | 9          | 8     |
| SYNCOWIDTH                                                  |    |            |          |         |         |            |       |
| 7                                                           | 6  | 5          | 4        | 3       | 2       | 1          | 0     |
| SYNCOWIDTH                                                  |    | SYNCOIOSEL | SYNCOPOL | SYNCOEN | CMPLOAD |            | CMPEN |

表 19-38: EQEP 位置比较控制寄存器（QPOSCMPCTL）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                        |
|-------|----------------|----|-----|---------------------------------------------------------------------------------------------------------------------------|
| 31:18 | RESERVED_31_18 | RO | 0x0 | 保留                                                                                                                        |
| 17:6  | SYNCOWIDTH     | RW | 0x0 | 设置同步输出 SYNCO 的脉宽为 (4xSYNCOWIDTH)个 EQEP 时钟周期                                                                               |
| 5     | SYNCOIOSEL     | RW | 0x0 | SYNCO 同步输出的引脚<br>0: 输出到 EQEP_Z 引脚<br>1: 输出到 EQEP_S 引脚                                                                     |
| 4     | SYNCOPOL       | RW | 0x0 | SYNCO 同步输出极性<br>0: 同步事件发生时输出低电平脉冲<br>1: 同步事件发生时输出高电平脉冲                                                                    |
| 3     | SYNCOEN        | RW | 0x0 | SYNCO 同步输出使能<br>0: 关闭<br>1: 使能                                                                                            |
| 2:1   | CMPLOAD        | RW | 0x0 | 比较参考有效值 QPOSREFA 加载模式<br>0: QPOSCNT=0 时从 QPOSREF 加载<br>1: QPOSCNT=QPOSREFA 时从 QPOSREF 加载<br>2: 写 QPOSREF 时立即同步更新 QPOSREFA |
| 0     | CMPEN          | RW | 0x0 | 位置比较使能<br>0: 关闭<br>1: 使能                                                                                                  |



## 19.9.2.18 EQEP 位置比较参考值影子寄存器 (QPOSREF)

表 19-39: EQEP 位置比较参考值影子寄存器 (QPOSREF) 位段定义

| QPOSREF (EQEP Position Compare Reference Register) |    |                |    |                     |    |    |    |
|----------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: EQEP->QPOSREF                              |    | Offset: 0x005C |    | Default: 0x00000000 |    |    |    |
| 31                                                 | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                |    |                |    |                     |    |    |    |
| 23                                                 | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                |    |                |    |                     |    |    |    |
| 15                                                 | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                |    |                |    |                     |    |    |    |
| 7                                                  | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                |    |                |    |                     |    |    |    |

表 19-40: EQEP 位置比较参考值影子寄存器 (QPOSREF) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述      |
|------|-----|----|-----|---------|
| 31:0 | VAL | RW | 0x0 | 位置比较参考值 |

## 19.9.2.19 EQEP 位置比较有效参考值寄存器 (QPOSREFA)

表 19-41: EQEP 位置比较有效参考值寄存器 (QPOSREFA) 位段定义

| QPOSREFA (EQEP Position Compare Reference Active Register) |    |                |    |                     |    |    |    |
|------------------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: EQEP->QPOSREFA                                     |    | Offset: 0x0060 |    | Default: 0x00000000 |    |    |    |
| 31                                                         | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                        |    |                |    |                     |    |    |    |
| 23                                                         | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                        |    |                |    |                     |    |    |    |
| 15                                                         | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                        |    |                |    |                     |    |    |    |
| 7                                                          | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                        |    |                |    |                     |    |    |    |

表 19-42: EQEP 位置比较有效参考值寄存器 (QPOSREFA) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                       |
|------|-----|----|-----|----------------------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 位置比较有效的参考值<br>本寄存器值用于和 QPOSCNT 比较，两者相等时产生同步输出和 CMPHIT 事件 |

### 19.9.2.20 EQEP 捕获定时计数寄存器 (QCTMRCNT)

表 19-43: EQEP 捕获定时计数寄存器 (QCTMRCNT) 位段定义

| QCTMRCNT (EQEP Capture Timer Count Register)                    |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: EQEP->QCTMRCNT    Offset: 0x0068    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 19-44: EQEP 捕获定时计数寄存器 (QCTMRCNT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                                              |
|------|-----|----|-----|-----------------------------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 捕获定时递增计数值<br>CAPEVT 捕获事件发生时计数复位到 0<br>仅当 QCAPCTL.EN = 0 时允许写入初值 |

### 19.9.2.21 EQEP 捕获定时周期寄存器 (QCTMRPRD)

表 19-45: EQEP 捕获定时周期寄存器 (QCTMRPRD) 位段定义

| QCTMRPRD (EQEP Capture Timer Period Register)                   |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: EQEP->QCTMRPRD    Offset: 0x006C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 19-46: EQEP 捕获定时周期寄存器 (QCTMRPRD) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                              |
|------|-----|----|-----|---------------------------------|
| 31:0 | VAL | RW | 0x0 | CAPEVT 捕获事件发生时锁存 QCTMRCNT 到本寄存器 |

## 19.9.2.22 EQEP 捕获定时计数锁存值寄存器 (QCTMRCNTLAT)

表 19-47: EQEP 捕获定时计数锁存值寄存器 (QCTMRCNTLAT) 位段定义

| QCTMRCNTLAT (EQEP Capture Timer Counter Latch Register)            |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: EQEP->QCTMRCNTLAT    Offset: 0x0070    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                                |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                                |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                |    |    |    |    |    |    |    |

表 19-48: EQEP 捕获定时计数锁存值寄存器 (QCTMRCNTLAT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                           |
|------|-----|----|-----|----------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 单位定时器超时或 CPU 读取 QPOSCNT 时, 锁存 QCTMRCNT 到本寄存器 |

## 19.9.2.23 EQEP 捕获定时周期锁存值寄存器 (QCTMRPRDLAT)

表 19-49: EQEP 捕获定时周期锁存值寄存器 (QCTMRPRDLAT) 位段定义

| QCTMRPRDLAT (EQEP Capture Timer Period Latch Register)             |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: EQEP->QCTMRPRDLAT    Offset: 0x0074    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                                |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                                |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                |    |    |    |    |    |    |    |

表 19-50: EQEP 捕获定时周期锁存值寄存器 (QCTMRPRDLAT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                           |
|------|-----|----|-----|----------------------------------------------|
| 31:0 | VAL | RO | 0x0 | 单位定时器超时或 CPU 读取 QPOSCNT 时, 锁存 QCTMRPRD 到本寄存器 |

19.9.2.24 EQEP 状态寄存器（QEPSTS）

表 19-51: EQEP 状态寄存器（QEPSTS）位段定义

|                                                               |    |    |    |    |          |         |     |
|---------------------------------------------------------------|----|----|----|----|----------|---------|-----|
| QEPSTS (EQEP Status Register)                                 |    |    |    |    |          |         |     |
| Access: EQEP->QEPSTS    Offset: 0x0078    Default: 0x00000000 |    |    |    |    |          |         |     |
| 31                                                            | 30 | 29 | 28 | 27 | 26       | 25      | 24  |
| RESERVED                                                      |    |    |    |    |          |         |     |
| 23                                                            | 22 | 21 | 20 | 19 | 18       | 17      | 16  |
| RESERVED                                                      |    |    |    |    |          |         |     |
| 15                                                            | 14 | 13 | 12 | 11 | 10       | 9       | 8   |
| RESERVED                                                      |    |    |    |    |          |         |     |
| 7                                                             | 6  | 5  | 4  | 3  | 2        | 1       | 0   |
| RESERVED                                                      |    |    |    |    | FZMRKDIR | ZMRKDIR | DIR |

表 19-52: EQEP 状态寄存器（QEPSTS）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                             |
|------|---------------|----|-----|----------------------------------------------------------------|
| 31:3 | RESERVED_31_3 | RO | 0x0 | 保留                                                             |
| 2    | FZMRKDIR      | RO | 0x0 | 第一个过零标记锁存的计数方向 QDIR<br>0: QDIR = 0, 递减计数<br>1: QDIR = 1, 递增计数  |
| 1    | ZMRKDIR       | RO | 0x0 | 最近一个过零标记锁存的计数方向 QDIR<br>0: QDIR = 0, 递减计数<br>1: QDIR = 1, 递增计数 |
| 0    | DIR           | RO | 0x0 | 当前计数方向<br>0: QDIR = 0, 递减计数<br>1: QDIR = 1, 递增计数               |

## 19.9.2.25 EQEP 中断原始事件标志寄存器 (QEPRWIF)

表 19-53: EQEP 中断原始事件标志寄存器 (QEPRWIF) 位段定义

|                                                                |        |        |        |        |         |         |          |
|----------------------------------------------------------------|--------|--------|--------|--------|---------|---------|----------|
| QEPRWIF (EQEP Interrupt Raw Flag Register)                     |        |        |        |        |         |         |          |
| Access: EQEP->QEPRWIF    Offset: 0x0080    Default: 0x00000000 |        |        |        |        |         |         |          |
| 31                                                             | 30     | 29     | 28     | 27     | 26      | 25      | 24       |
| RESERVED                                                       |        |        |        |        |         |         |          |
| 23                                                             | 22     | 21     | 20     | 19     | 18      | 17      | 16       |
| RESERVED                                                       |        |        |        |        |         |         |          |
| 15                                                             | 14     | 13     | 12     | 11     | 10      | 9       | 8        |
| CCWERR                                                         | UTMRTO | ZLAT   | SLAT   | CMPHIT | CMPLOAD | CNTOVF  | CNTUDF   |
| 7                                                              | 6      | 5      | 4      | 3      | 2       | 1       | 0        |
| WDTTO                                                          | DIRCHG | PHSERR | CNTERR | CAPEVT | CTOVF   | CDIRCHG | FZMRKHIT |

表 19-54: EQEP 中断原始事件标志寄存器 (QEPRWIF) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                   |
|-------|----------------|----|-----|------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                                   |
| 15    | CCWERR         | RO | 0x0 | 顺逆时针计数模式输入信号错误事件标志<br>0: 事件未发生<br>1: 事件已发生           |
| 14    | UTMRTO         | RO | 0x0 | 单位定时器超时事件标志<br>0: 事件未发生<br>1: 事件已发生                  |
| 13    | ZLAT           | RO | 0x0 | 过零锁存事件标志<br>0: 事件未发生<br>1: 事件已发生                     |
| 12    | SLAT           | RO | 0x0 | 闸门锁存事件标志<br>0: 事件未发生<br>1: 事件已发生                     |
| 11    | CMPHIT         | RO | 0x0 | 位置比较相等事件标志<br>0: 事件未发生<br>1: 事件已发生                   |
| 10    | CMPLOAD        | RO | 0x0 | 位置比较有效参考值加载事件标志<br>0: 事件未发生<br>1: 事件已发生              |
| 9     | CNTOVF         | RO | 0x0 | 位置计数上溢 (正向计数到 QPOS MAX) 事件标志<br>0: 事件未发生<br>1: 事件已发生 |

| 位段 | 位段名      | 属性 | 复位值 | 描述                                                                            |
|----|----------|----|-----|-------------------------------------------------------------------------------|
| 8  | CNTUDF   | RO | 0x0 | 位置计数下溢（反向计数到 0）事件标志<br>0: 事件未发生<br>1: 事件已发生                                   |
| 7  | WDTTO    | RO | 0x0 | 看门狗定时器超时事件标志<br>0: 事件未发生<br>1: 事件已发生                                          |
| 6  | DIRCHG   | RO | 0x0 | 计数方向变化事件标志<br>0: 事件未发生<br>1: 事件已发生                                            |
| 5  | PHSERR   | RO | 0x0 | 正交解码相位错误事件标志<br>0: 事件未发生<br>1: 事件已发生                                          |
| 4  | CNTERR   | RO | 0x0 | 位置计数错误事件标志<br>0: 事件未发生<br>1: 事件已发生                                            |
| 3  | CAPEVT   | RO | 0x0 | 捕获事件标志<br>0: 事件未发生<br>1: 事件已发生                                                |
| 2  | CTOVF    | RO | 0x0 | 捕获定时器上溢（计数到 0xFFFFFFFF）事件标志<br>0: 事件未发生<br>1: 事件已发生                           |
| 1  | CDIRCHG  | RO | 0x0 | 捕获过程中计数方向变化事件标志<br>0: 事件未发生<br>1: 事件已发生                                       |
| 0  | FZMRKHIT | RO | 0x0 | 第一个过零标记发生事件标志<br>本位段只能通过 QEPCTL.CNTEN=0 或 EQEP 模块复位清除<br>0: 事件未发生<br>1: 事件已发生 |

## 19.9.2.26 EQEP 中断标志寄存器 (QEPIF)

表 19-55: EQEP 中断标志寄存器 (QEPIF) 位段定义

| QEPIF (EQEP Interrupt Flag Register)                         |        |        |        |        |         |         |          |
|--------------------------------------------------------------|--------|--------|--------|--------|---------|---------|----------|
| Access: EQEP->QEPIF    Offset: 0x0084    Default: 0x00000000 |        |        |        |        |         |         |          |
| 31                                                           | 30     | 29     | 28     | 27     | 26      | 25      | 24       |
| RESERVED                                                     |        |        |        |        |         |         |          |
| 23                                                           | 22     | 21     | 20     | 19     | 18      | 17      | 16       |
| RESERVED                                                     |        |        |        |        |         |         | INT      |
| 15                                                           | 14     | 13     | 12     | 11     | 10      | 9       | 8        |
| CCWERR                                                       | UTMRTO | ZLAT   | SLAT   | CMPHIT | CMPLOAD | CNTOVF  | CNTUDF   |
| 7                                                            | 6      | 5      | 4      | 3      | 2       | 1       | 0        |
| WDTTO                                                        | DIRCHG | PHSERR | CNTERR | CAPEVT | CTOVF   | CDIRCHG | FZMRKHIT |

表 19-56: EQEP 中断标志寄存器 (QEPIF) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                |
|-------|----------------|----|-----|-------------------------------------------------------------------|
| 31:17 | RESERVED_31_17 | RO | 0x0 | 保留                                                                |
| 16    | INT            | RO | 0x0 | EQEP 全局中断标志<br>0: 中断未发生<br>1: 中断已产生, 并已经通知 CPU<br>本位段被清除之前不会产生新中断 |
| 15    | CCWERR         | RO | 0x0 | 顺逆时针计数模式输入信号错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断    |
| 14    | UTMRTO         | RO | 0x0 | 单位定时器超时中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断           |
| 13    | ZLAT           | RO | 0x0 | 过零锁存中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断              |
| 12    | SLAT           | RO | 0x0 | 闸门锁存中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断              |
| 11    | CMPHIT         | RO | 0x0 | 位置比较相等中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断            |
| 10    | CMPLOAD        | RO | 0x0 | 位置比较有效参考值加载中断标志<br>0: 中断未发生                                       |

| 位段 | 位段名     | 属性 | 复位值 | 描述                                                          |
|----|---------|----|-----|-------------------------------------------------------------|
|    |         |    |     | 1: 中断已发生<br>本位段被清除前新事件不再触发中断                                |
| 9  | CNTOVF  | RO | 0x0 | 位置计数上溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断      |
| 8  | CNTUDF  | RO | 0x0 | 位置计数下溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断      |
| 7  | WDTTO   | RO | 0x0 | 看门狗定时器超时中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断    |
| 6  | DIRCHG  | RO | 0x0 | 计数方向变化中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断      |
| 5  | PHSERR  | RO | 0x0 | 正交解码相位错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断    |
| 4  | CNTERR  | RO | 0x0 | 位置计数错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断      |
| 3  | CAPEVT  | RO | 0x0 | 捕获事件中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断        |
| 2  | CTOVF   | RO | 0x0 | 捕获定时器上溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断     |
| 1  | CDIRCHG | RO | 0x0 | 捕获过程中计数方向变化中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |



| 位段 | 位段名      | 属性 | 复位值 | 描述                                                                            |
|----|----------|----|-----|-------------------------------------------------------------------------------|
| 0  | FZMRKHIT | RO | 0x0 | 第一个过零标记发生中断标志<br>本位段只能通过 QEPCTL.CNTEN=0 或 EQEP 模块复位清除<br>0: 中断未发生<br>1: 中断已发生 |

### 19.9.2.27 EQEP 中断使能寄存器 (QEPIE)

表 19-57: EQEP 中断使能寄存器 (QEPIE) 位段定义

|                                                              |        |        |        |        |         |         |          |
|--------------------------------------------------------------|--------|--------|--------|--------|---------|---------|----------|
| QEPIE (EQEP Interrupt Enable Register)                       |        |        |        |        |         |         |          |
| Access: EQEP->QEPIE    Offset: 0x0088    Default: 0x00000000 |        |        |        |        |         |         |          |
| 31                                                           | 30     | 29     | 28     | 27     | 26      | 25      | 24       |
| RESERVED                                                     |        |        |        |        |         |         |          |
| 23                                                           | 22     | 21     | 20     | 19     | 18      | 17      | 16       |
| RESERVED                                                     |        |        |        |        |         |         |          |
| 15                                                           | 14     | 13     | 12     | 11     | 10      | 9       | 8        |
| CCWERR                                                       | UTMRTO | ZLAT   | SLAT   | CMPHIT | CMPLOAD | CNTOVF  | CNTUDF   |
| 7                                                            | 6      | 5      | 4      | 3      | 2       | 1       | 0        |
| WDTTO                                                        | DIRCHG | PHSERR | CNTERR | CAPEVT | CTOVF   | CDIRCHG | FZMRKHIT |

表 19-58: EQEP 中断使能寄存器 (QEPIE) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                   |
|-------|----------------|----|-----|--------------------------------------|
| 31:16 | RESERVED_31_16 | RO | 0x0 | 保留                                   |
| 15    | CCWERR         | RW | 0x0 | 顺逆时针计数模式输入信号错误中断使能<br>0: 关闭<br>1: 使能 |
| 14    | UTMRTO         | RW | 0x0 | 单位定时器超时中断使能<br>0: 关闭<br>1: 使能        |
| 13    | ZLAT           | RW | 0x0 | 过零锁存中断使能<br>0: 关闭<br>1: 使能           |
| 12    | SLAT           | RW | 0x0 | 闸门锁存中断使能<br>0: 关闭<br>1: 使能           |
| 11    | CMPHIT         | RW | 0x0 | 位置比较相等中断使能<br>0: 关闭<br>1: 使能         |
| 10    | CMPLOAD        | RW | 0x0 | 位置比较有效参考值加载中断使能<br>0: 关闭<br>1: 使能    |
| 9     | CNTOVF         | RW | 0x0 | 位置计数上溢中断使能<br>0: 关闭<br>1: 使能         |
| 8     | CNTUDF         | RW | 0x0 | 位置计数下溢中断使能<br>0: 关闭<br>1: 使能         |

| 位段 | 位段名      | 属性 | 复位值 | 描述                                |
|----|----------|----|-----|-----------------------------------|
| 7  | WDTTO    | RW | 0x0 | 看门狗定时器超时中断使能<br>0: 关闭<br>1: 使能    |
| 6  | DIRCHG   | RW | 0x0 | 计数方向变化中断使能<br>0: 关闭<br>1: 使能      |
| 5  | PHSERR   | RW | 0x0 | 正交解码相位错误中断使能<br>0: 关闭<br>1: 使能    |
| 4  | CNTERR   | RW | 0x0 | 位置计数错误中断使能<br>0: 关闭<br>1: 使能      |
| 3  | CAPEVT   | RW | 0x0 | 捕获事件中断使能<br>0: 关闭<br>1: 使能        |
| 2  | CTOVF    | RW | 0x0 | 捕获定时器上溢中断使能<br>0: 关闭<br>1: 使能     |
| 1  | CDIRCHG  | RW | 0x0 | 捕获过程中计数方向变化中断使能<br>0: 关闭<br>1: 使能 |
| 0  | FZMRKHIT | RW | 0x0 | 第一个过零标记发生中断使能<br>0: 关闭<br>1: 使能   |

### 19.9.2.28 EQEP 中断清除寄存器（QEPIIC）

表 19-59: EQEP 中断清除寄存器（QEPIIC）位段定义

|                                                               |        |        |        |        |         |         |          |
|---------------------------------------------------------------|--------|--------|--------|--------|---------|---------|----------|
| QEPIIC (EQEP Interrupt Clear Register)                        |        |        |        |        |         |         |          |
| Access: EQEP->QEPIIC    Offset: 0x0090    Default: 0x00000000 |        |        |        |        |         |         |          |
| 31                                                            | 30     | 29     | 28     | 27     | 26      | 25      | 24       |
| RESERVED                                                      |        |        |        |        |         |         |          |
| 23                                                            | 22     | 21     | 20     | 19     | 18      | 17      | 16       |
| RESERVED                                                      |        |        |        |        |         |         | INT      |
| 15                                                            | 14     | 13     | 12     | 11     | 10      | 9       | 8        |
| CCWERR                                                        | UTMRTO | ZLAT   | SLAT   | CMPHIT | CMPLOAD | CNTOVF  | CNTUDF   |
| 7                                                             | 6      | 5      | 4      | 3      | 2       | 1       | 0        |
| WDTTO                                                         | DIRCHG | PHSERR | CNTERR | CAPEVT | CTOVF   | CDIRCHG | RESERVED |

表 19-60: EQEP 中断清除寄存器（QEPIIC）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                  |
|-------|----------------|-----|-----|---------------------------------------------------------------------|
| 31:17 | RESERVED_31_17 | RO  | 0x0 | 保留                                                                  |
| 16    | INT            | W1C | 0x0 | 全局中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除全局中断标志, 本位段自动清零              |
| 15    | CCWERR         | W1C | 0x0 | 顺逆时针计数模式输入信号错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 14    | UTMRTO         | W1C | 0x0 | 单位定时器超时中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零        |
| 13    | ZLAT           | W1C | 0x0 | 过零锁存中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零           |
| 12    | SLAT           | W1C | 0x0 | 闸门锁存中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零           |
| 11    | CMPHIT         | W1C | 0x0 | 位置比较相等中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零         |
| 10    | CMPLOAD        | W1C | 0x0 | 位置比较有效参考值加载中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零    |
| 9     | CNTOVF         | W1C | 0x0 | 位置计数上溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零         |

| 位段 | 位段名        | 属性  | 复位值 | 描述                                                               |
|----|------------|-----|-----|------------------------------------------------------------------|
| 8  | CNTUDF     | W1C | 0x0 | 位置计数下溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零      |
| 7  | WDTTO      | W1C | 0x0 | 看门狗定时器超时中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零    |
| 6  | DIRCHG     | W1C | 0x0 | 计数方向变化中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零      |
| 5  | PHSERR     | W1C | 0x0 | 正交解码相位错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零    |
| 4  | CNTERR     | W1C | 0x0 | 位置计数错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零      |
| 3  | CAPEVT     | W1C | 0x0 | 捕获事件中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零        |
| 2  | CTOVF      | W1C | 0x0 | 捕获定时器上溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零     |
| 1  | CDIRCHG    | W1C | 0x0 | 捕获过程中计数方向变化中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 0  | RESERVED_0 | RO  | 0x0 | 保留                                                               |

### 19.9.2.29 EQEP 中断强制寄存器 (QEPIFRC)

表 19-61: EQEP 中断强制寄存器 (QEPIFRC) 位段定义

|                                                                |        |        |        |          |         |         |          |
|----------------------------------------------------------------|--------|--------|--------|----------|---------|---------|----------|
| QEPIFRC (EQEP Interrupt Force Register)                        |        |        |        |          |         |         |          |
| Access: EQEP->QEPIFRC    Offset: 0x0094    Default: 0x00000000 |        |        |        |          |         |         |          |
| 31                                                             | 30     | 29     | 28     | 27       | 26      | 25      | 24       |
| KEY                                                            |        |        |        | RESERVED |         |         |          |
| 23                                                             | 22     | 21     | 20     | 19       | 18      | 17      | 16       |
| RESERVED                                                       |        |        |        |          |         |         |          |
| 15                                                             | 14     | 13     | 12     | 11       | 10      | 9       | 8        |
| CCWERR                                                         | UTMRTO | ZLAT   | SLAT   | CMPHIT   | CMPLOAD | CNTOVF  | CNTUDF   |
| 7                                                              | 6      | 5      | 4      | 3        | 2       | 1       | 0        |
| WDTTO                                                          | DIRCHG | PHSERR | CNTERR | CAPEVT   | CTOVF   | CDIRCHG | FZMRKHIT |

表 19-62: EQEP 中断强制寄存器 (QEPIFRC) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                               |
|-------|----------------|-----|-----|------------------------------------------------------------------|
| 31:28 | KEY            | W1S | 0x0 | 写本寄存器其他位段时, 本位段需要同时写 0xA 才能允许改写其他位段                              |
| 27:16 | RESERVED_27_16 | RO  | 0x0 | 保留                                                               |
| 15    | CCWERR         | W1S | 0x0 | 顺逆时针计数模式输入信号错误中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零 |
| 14    | UTMRTO         | W1S | 0x0 | 单位定时器超时中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零        |
| 13    | ZLAT           | W1S | 0x0 | 过零锁存中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零           |
| 12    | SLAT           | W1S | 0x0 | 闸门锁存中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零           |
| 11    | CMPHIT         | W1S | 0x0 | 位置比较相等中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零         |
| 10    | CMPLOAD        | W1S | 0x0 | 位置比较有效参考值加载中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 9     | CNTOVF         | W1S | 0x0 | 位置计数上溢中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零         |

| 位段 | 位段名      | 属性  | 复位值 | 描述                                                            |
|----|----------|-----|-----|---------------------------------------------------------------|
| 8  | CNTUDF   | W1S | 0x0 | 位置计数下溢中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零      |
| 7  | WDTTO    | W1S | 0x0 | 看门狗定时器超时中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零    |
| 6  | DIRCHG   | W1S | 0x0 | 计数方向变化中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零      |
| 5  | PHSERR   | W1S | 0x0 | 正交解码相位错误中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零    |
| 4  | CNTERR   | W1S | 0x0 | 位置计数错误中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零      |
| 3  | CAPEVT   | W1S | 0x0 | 捕获事件中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零        |
| 2  | CTOVF    | W1S | 0x0 | 捕获定时器上溢中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零     |
| 1  | CDIRCHG  | W1S | 0x0 | 捕获过程中计数方向变化中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零 |
| 0  | FZMRKHIT | W1S | 0x0 | 第一个过零标记发生中断强制<br>0: 写 0 无效, 读总是 0<br>1: 写 1 强制中断事件, 本位段自动清零   |

### 19.9.2.30 EQEP 模块写使能寄存器（QEPREGKEY）

表 19-63: EQEP 模块写使能寄存器（QEPREGKEY）位段定义

|                                                                  |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| QEPREGKEY (EQEP Register Write-Allow Key Register)               |    |    |    |    |    |    |    |
| Access: EQEP->QEPREGKEY    Offset: 0x0098    Default: 0x1ACCE551 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                              |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                              |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                              |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| KEY                                                              |    |    |    |    |    |    |    |

表 19-64: EQEP 模块写使能寄存器（QEPREGKEY）位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                            |
|------|-----|----|------------|-------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 EQEP 寄存器 |



## 20 循环冗余校验（CRC）

### 20.1 概述

循环冗余校验（Cyclic Redundancy Check）或者叫做多项式码校验是一种哈希函数，被设计用于检查原始计算数据的意外变化，通常用于数据传输或者存储过程中的错误检测。

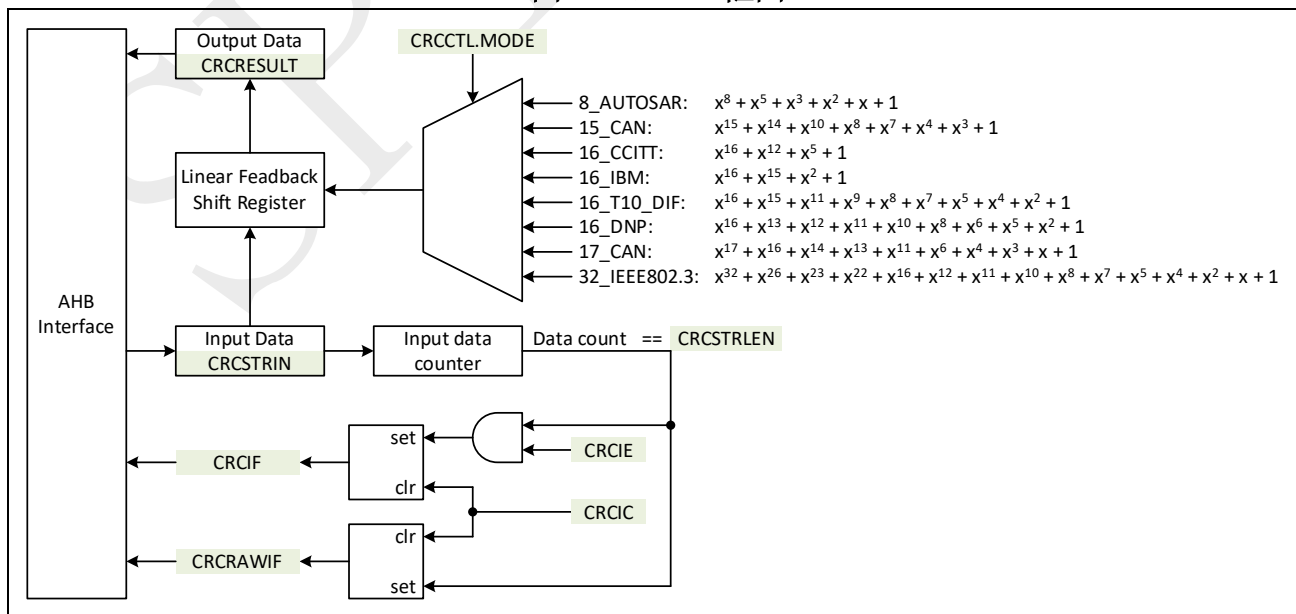
SPC1185 提供 1 个 CRC 模块，其特性如下：

- 支持 32 位并行数据流输入；
- 支持多达 32 位 CRC 值输出；
- 支持多达  $2^{32}$ （4294967296）字节长度的数据的 CRC 计算；
- 支持如下 8 个 CRC 标准以及对应的多项式
  - CRC-8-AUTOSAR:  $x^8 + x^5 + x^3 + x^2 + x + 1$ ;
  - CRC-15-CAN:  $x^{15} + x^{14} + x^{10} + x^8 + x^7 + x^4 + x^3 + 1$ ;
  - CRC-16-CCITT:  $x^{16} + x^{12} + x^5 + 1$ ;
  - CRC-16-IBM:  $x^{16} + x^{15} + x^2 + 1$ ;
  - CRC-16-T10-DIF:  $x^{16} + x^{15} + x^{11} + x^9 + x^8 + x^7 + x^5 + x^4 + x^2 + 1$ ;
  - CRC-16-DNP:  $x^{16} + x^{13} + x^{12} + x^{11} + x^{10} + x^8 + x^6 + x^5 + x^2 + 1$ ;
  - CRC-17-CAN:  $x^{17} + x^{16} + x^{14} + x^{13} + x^{11} + x^6 + x^4 + x^3 + x + 1$ ;
  - CRC-32-IEEE 802.3:  $x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$ 。

如图 20-1 所示，CRC 模块包含如下子模块：

- 输入输出数据流控制；
- 数据字节长度控制；
- 线性反馈移位寄存器：依据不同多项式进行 CRC 运算；
- AHB 接口以及中断信号管理。

图 20-1: CRC 框图



## 20.2 CRC 工作流程

用户可以根据以下步骤操作 CRC 模块：

1. 关闭 CRC（设置 CRCCTL.EN 位为 0）；
2. 关闭中断（设置 CRCIE.DONE 位为 0）；
3. 清除中断标志（设置 CRCIC.DONE 为 1）；
4. 配置数据流长度（设置 CRCSTRLEN 寄存器）；
5. 配置 CRC 工作模式（设置 CRCCTL.MODE 位段）；
6. 使能中断（设置 CRCIE.DONE 位为 1）；
7. 使能 CRC（设置 CRCCTL.EN 位为 1）；
8. 写入数据流，等待中断发生（如果中断发生，转到步骤 9）；
9. 获取 CRC 计算结果（读 CRCRESULT 寄存器）；
10. CRC 操作完成。

- 
- 注意：
1. CRC 运算的数据位流是从最低字节开始往高字节依次运算，字节内位序可以通过 CRCCTL.ENDIANIN 配置，默认从最低位开始往最高位依次运算；
  2. 输出运算结果按照多项式阶数从最低位对齐开始存放相应位宽的有效数值，数值内的位序可以通过 CRCCTL.ENDIANOUT 配置，默认从最低位往高位；
  3. 若设置 CRC 数据流输入寄存器一次接受 4 个字节（32 位）数据，如果输入总数据不是 4 字节对齐，则需要在数据流的开始填充 0（即写入第 1 个 32 位数据时低字节填充 0）。例如，如果数据流由 5 个字节构成，依次为：0xA1、0xA2、0xA3、0xA4、0xA5，那么写入数据流输入寄存器的值应当依次为：
    - 0x A1 00 00 00
    - 0x A5 A4 A3 A2
-

## 20.3 寄存器

### 20.3.1 CRC 寄存器列表

表 20-1: CRC 模块基地址

| 外设模块 | 基地址         |
|------|-------------|
| CRC  | 0x4000 7E00 |

表 20-2: CRC 寄存器列表

| 寄存器                                | 偏移地址   | 描述              | 复位值        |
|------------------------------------|--------|-----------------|------------|
| <a href="#"><u>CRCCTL</u></a> *    | 0x0000 | CRC 控制寄存器       | 0x00000000 |
| <a href="#"><u>CRCSTRLEN</u></a> * | 0x0004 | CRC 数据流长度寄存器    | 0x00000000 |
| <a href="#"><u>CRCSEED</u></a> *   | 0x0008 | CRC 初值种子寄存器     | 0x00000000 |
| <a href="#"><u>CRCSTRIN</u></a>    | 0x000C | CRC 数据流输入寄存器    | 0x00000000 |
| <a href="#"><u>CRCRESULT</u></a>   | 0x0010 | CRC 结果寄存器       | 0x00000000 |
| <a href="#"><u>CRCRAWIF</u></a>    | 0x0014 | CRC 中断原始事件标志寄存器 | 0x00000000 |
| <a href="#"><u>CRCIF</u></a>       | 0x0018 | CRC 中断标志寄存器     | 0x00000000 |
| <a href="#"><u>CRCIC</u></a>       | 0x001C | CRC 中断清除寄存器     | 0x00000000 |
| <a href="#"><u>CRCIE</u></a> *     | 0x0020 | CRC 中断使能寄存器     | 0x00000000 |
| <a href="#"><u>CRCREGKEY</u></a>   | 0x0024 | CRC 模块写使能寄存器    | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 CRCREGKEY=0x1ACCE551 时才可以改写。

## 20.3.2 CRC 寄存器

### 20.3.2.1 CRC 控制寄存器（CRCCTL）

表 20-3: CRC 控制寄存器（CRCCTL）位段定义

| CRCCTL (CRC Control Register)                                |           |          |            |      |    |         |        |
|--------------------------------------------------------------|-----------|----------|------------|------|----|---------|--------|
| Access: CRC->CRCCTL    Offset: 0x0000    Default: 0x00000000 |           |          |            |      |    |         |        |
| 31                                                           | 30        | 29       | 28         | 27   | 26 | 25      | 24     |
| RESERVED                                                     |           |          |            |      |    |         |        |
| 23                                                           | 22        | 21       | 20         | 19   | 18 | 17      | 16     |
| RESERVED                                                     |           |          |            |      |    |         |        |
| 15                                                           | 14        | 13       | 12         | 11   | 10 | 9       | 8      |
| RESERVED                                                     |           |          |            |      |    | PERBYTE | INVOUT |
| 7                                                            | 6         | 5        | 4          | 3    | 2  | 1       | 0      |
| INVIN                                                        | ENDIANOUT | ENDIANIN | CONTINUOUS | MODE |    |         | EN     |

表 20-4: CRC 控制寄存器（CRCCTL）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                 |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:10 | RESERVED_31_10 | RO | 0x0 | 保留                                                                                                                                                 |
| 9     | PERBYTE        | RW | 0x0 | 设置写 CRCSTRIN 的数据格式<br>0: 往 CRCSTRIN 单次写入 4 个字节<br>1: 往 CRCSTRIN 单次写入 1 个字节                                                                         |
| 8     | INVOUT         | RW | 0x0 | 对输出结果取反<br>0: 输出线性反馈移位寄存器原始的结果<br>1: 输出线性反馈移位寄存器取反后的结果                                                                                             |
| 7     | INVIN          | RW | 0x0 | 对输入数据取反<br>0: 将原始输入数据流放入线性反馈移位寄存器<br>1: 将输入数据取反后放入线性反馈移位寄存器                                                                                        |
| 6     | ENDIANOUT      | RW | 0x0 | 输出结果大小端方式<br>0: 最低位是线性反馈移位寄存器的最后一位<br>1: 最低位是线性反馈移位寄存器的第一位                                                                                         |
| 5     | ENDIANIN       | RW | 0x0 | 输入数据按字节大小端方式<br>0: 字节最低位先送入线性反馈移位寄存器<br>1: 字节最高位先送入线性反馈移位寄存器                                                                                       |
| 4     | CONTINUOUS     | RW | 0x0 | 数据流级联运算<br>0: 设置 CRCCTL.EN=0 关闭模块时，内部线性反馈移位寄存器清零，因此下次重新开启时是从全新状态开始<br>1: 设置 CRCCTL.EN=0 关闭模块时，内部线性反馈移位寄存器保持不变，因此下次重新开启时是接着当前帧继续运算（等效于计算一个合并后的长数据流） |

| 位段  | 位段名  | 属性 | 复位值 | 描述                                                                                                                                                              |
|-----|------|----|-----|-----------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 3:1 | MODE | RW | 0x0 | CRC 模式选择<br>0: CRC-8-AUTOSAR<br>1: CRC-15-CAN<br>2: CRC-16-CCITT<br>3: CRC-16-IBM<br>4: CRC-16-T10-DIF<br>5: CRC-16-DNP<br>6: CRC-17-CAN<br>7: CRC-32-IEEE802.3 |
| 0   | EN   | RW | 0x0 | CRC 使能<br>0: 关闭<br>1: 使能                                                                                                                                        |

### 20.3.2.2 CRC 数据流长度寄存器（CRCSTRLEN）

表 20-5: CRC 数据流长度寄存器（CRCSTRLEN）位段定义

| CRCSTRLEN (CRC Stream Length Register) |    |                |    |                     |    |    |    |
|----------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: CRC->CRCSTRLEN                 |    | Offset: 0x0004 |    | Default: 0x00000000 |    |    |    |
| 31                                     | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                    |    |                |    |                     |    |    |    |
| 23                                     | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                    |    |                |    |                     |    |    |    |
| 15                                     | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                    |    |                |    |                     |    |    |    |
| 7                                      | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                    |    |                |    |                     |    |    |    |

表 20-6: CRC 数据流长度寄存器（CRCSTRLEN）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                       |
|------|-----|----|-----|--------------------------|
| 31:0 | VAL | RW | 0x0 | 设置输入数据流为(CRCSTRLEN+1)个字节 |

### 20.3.2.3 CRC 初值种子寄存器（CRCSEED）

表 20-7：CRC 初值种子寄存器（CRCSEED）位段定义

| CRCSEED (CRC Seed Register) |    |                |    |                     |    |    |    |
|-----------------------------|----|----------------|----|---------------------|----|----|----|
| Access: CRC->CRCSEED        |    | Offset: 0x0008 |    | Default: 0x00000000 |    |    |    |
| 31                          | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                         |    |                |    |                     |    |    |    |
| 23                          | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                         |    |                |    |                     |    |    |    |
| 15                          | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                         |    |                |    |                     |    |    |    |
| 7                           | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                         |    |                |    |                     |    |    |    |

表 20-8：CRC 初值种子寄存器（CRCSEED）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述          |
|------|-----|----|-----|-------------|
| 31:0 | VAL | RW | 0x0 | 线性反馈移位寄存器初值 |

### 20.3.2.4 CRC 数据流输入寄存器（CRCSTRIN）

表 20-9：CRC 数据流输入寄存器（CRCSTRIN）位段定义

| CRCSTRIN (CRC Stream Input Register) |    |                |    |                     |    |    |    |
|--------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: CRC->CRCSTRIN                |    | Offset: 0x000C |    | Default: 0x00000000 |    |    |    |
| 31                                   | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                  |    |                |    |                     |    |    |    |
| 23                                   | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                  |    |                |    |                     |    |    |    |
| 15                                   | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                  |    |                |    |                     |    |    |    |
| 7                                    | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                  |    |                |    |                     |    |    |    |

表 20-10：CRC 数据流输入寄存器（CRCSTRIN）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                                        |
|------|-----|----|-----|-------------------------------------------|
| 31:0 | VAL | RW | 0x0 | 数据流输入<br>CRCCTLEN.PERBYTE=1 时高 24 位回读总是 0 |

## 20.3.2.5 CRC 结果寄存器 (CRCRESULT)

表 20-11: CRC 结果寄存器 (CRCRESULT) 位段定义

| CRCRESULT (CRC Result Register) |    |                |    |                     |    |    |    |
|---------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: CRC->CRCRESULT          |    | Offset: 0x0010 |    | Default: 0x00000000 |    |    |    |
| 31                              | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                             |    |                |    |                     |    |    |    |
| 23                              | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                             |    |                |    |                     |    |    |    |
| 15                              | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                             |    |                |    |                     |    |    |    |
| 7                               | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                             |    |                |    |                     |    |    |    |

表 20-12: CRC 结果寄存器 (CRCRESULT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述       |
|------|-----|----|-----|----------|
| 31:0 | VAL | RO | 0x0 | CRC 计算结果 |

## 20.3.2.6 CRC 中断原始事件标志寄存器 (CRCRAWIF)

表 20-13: CRC 中断原始事件标志寄存器 (CRCRAWIF) 位段定义

| CRCRAWIF (CRC Interrupt Raw Flag Register) |    |                |    |                     |    |        |      |
|--------------------------------------------|----|----------------|----|---------------------|----|--------|------|
| Access: CRC->CRCRAWIF                      |    | Offset: 0x0014 |    | Default: 0x00000000 |    |        |      |
| 31                                         | 30 | 29             | 28 | 27                  | 26 | 25     | 24   |
| RESERVED                                   |    |                |    |                     |    |        |      |
| 23                                         | 22 | 21             | 20 | 19                  | 18 | 17     | 16   |
| RESERVED                                   |    |                |    |                     |    |        |      |
| 15                                         | 14 | 13             | 12 | 11                  | 10 | 9      | 8    |
| RESERVED                                   |    |                |    |                     |    |        |      |
| 7                                          | 6  | 5              | 4  | 3                   | 2  | 1      | 0    |
| RESERVED                                   |    |                |    |                     |    | STROVF | DONE |

表 20-14: CRC 中断原始事件标志寄存器 (CRCRAWIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                    |
|------|---------------|----|-----|-------------------------------------------------------|
| 31:2 | RESERVED_31_2 | RO | 0x0 | 保留                                                    |
| 1    | STROVF        | RO | 0x0 | CRC 数据流上溢事件标志<br>0: 数据流输入长度未超出设定值<br>1: 数据流输入长度超出了设定值 |
| 0    | DONE          | RO | 0x0 | CRC 运算结束事件标志<br>0: CRC 运算未完成<br>1: CRC 运算已完成          |

### 20.3.2.7 CRC 中断标志寄存器（CRCIF）

表 20-15: CRC 中断标志寄存器（CRCIF）位段定义

|                                     |    |                |    |                     |     |        |      |
|-------------------------------------|----|----------------|----|---------------------|-----|--------|------|
| CRCIF (CRC Interrupt Flag Register) |    |                |    |                     |     |        |      |
| Access: CRC->CRCIF                  |    | Offset: 0x0018 |    | Default: 0x00000000 |     |        |      |
| 31                                  | 30 | 29             | 28 | 27                  | 26  | 25     | 24   |
| RESERVED                            |    |                |    |                     |     |        |      |
| 23                                  | 22 | 21             | 20 | 19                  | 18  | 17     | 16   |
| RESERVED                            |    |                |    |                     |     |        |      |
| 15                                  | 14 | 13             | 12 | 11                  | 10  | 9      | 8    |
| RESERVED                            |    |                |    |                     |     |        |      |
| 7                                   | 6  | 5              | 4  | 3                   | 2   | 1      | 0    |
| RESERVED                            |    |                |    |                     | INT | STROVF | DONE |

表 20-16: CRC 中断标志寄存器（CRCIF）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                              |
|------|---------------|----|-----|-----------------------------------------------------------------|
| 31:3 | RESERVED_31_3 | RO | 0x0 | 保留                                                              |
| 2    | INT           | RO | 0x0 | CRC 全局中断标志<br>0: 中断未发生<br>1: 中断已产生，并已经通知 CPU<br>本位段被清除之前不会产生新中断 |
| 1    | STROVF        | RO | 0x0 | CRC 数据流上溢中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断       |
| 0    | DONE          | RO | 0x0 | CRC 运算结束中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断        |



## 20.3.2.8 CRC 中断清除寄存器 (CRCIC)

表 20-17: CRC 中断清除寄存器 (CRCIC) 位段定义

| CRCIC (CRC Interrupt Clear Register) |    |                |    |                     |     |        |      |
|--------------------------------------|----|----------------|----|---------------------|-----|--------|------|
| Access: CRC->CRCIC                   |    | Offset: 0x001C |    | Default: 0x00000000 |     |        |      |
| 31                                   | 30 | 29             | 28 | 27                  | 26  | 25     | 24   |
| RESERVED                             |    |                |    |                     |     |        |      |
| 23                                   | 22 | 21             | 20 | 19                  | 18  | 17     | 16   |
| RESERVED                             |    |                |    |                     |     |        |      |
| 15                                   | 14 | 13             | 12 | 11                  | 10  | 9      | 8    |
| RESERVED                             |    |                |    |                     |     |        |      |
| 7                                    | 6  | 5              | 4  | 3                   | 2   | 1      | 0    |
| RESERVED                             |    |                |    |                     | INT | STROVF | DONE |

表 20-18: CRC 中断清除寄存器 (CRCIC) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                             |
|------|---------------|-----|-----|----------------------------------------------------------------|
| 31:3 | RESERVED_31_3 | RO  | 0x0 | 保留                                                             |
| 2    | INT           | W1C | 0x0 | 全局中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零           |
| 1    | STROVF        | W1C | 0x0 | CRC 数据流上溢中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 0    | DONE          | W1C | 0x0 | CRC 运算结束中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |

### 20.3.2.9 CRC 中断使能寄存器（CRCIE）

表 20-19: CRC 中断使能寄存器（CRCIE）位段定义

| CRCIE (CRC Interrupt Enable Register) |    |                |    |                     |    |        |      |
|---------------------------------------|----|----------------|----|---------------------|----|--------|------|
| Access: CRC->CRCIE                    |    | Offset: 0x0020 |    | Default: 0x00000000 |    |        |      |
| 31                                    | 30 | 29             | 28 | 27                  | 26 | 25     | 24   |
| RESERVED                              |    |                |    |                     |    |        |      |
| 23                                    | 22 | 21             | 20 | 19                  | 18 | 17     | 16   |
| RESERVED                              |    |                |    |                     |    |        |      |
| 15                                    | 14 | 13             | 12 | 11                  | 10 | 9      | 8    |
| RESERVED                              |    |                |    |                     |    |        |      |
| 7                                     | 6  | 5              | 4  | 3                   | 2  | 1      | 0    |
| RESERVED                              |    |                |    |                     |    | STROVF | DONE |

表 20-20: CRC 中断使能寄存器（CRCIE）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                              |
|------|---------------|----|-----|---------------------------------|
| 31:2 | RESERVED_31_2 | RO | 0x0 | 保留                              |
| 1    | STROVF        | RW | 0x0 | CRC 数据流上溢中断使能<br>0: 关闭<br>1: 使能 |
| 0    | DONE          | RW | 0x0 | CRC 运算结束中断使能<br>0: 关闭<br>1: 使能  |

### 20.3.2.10 CRC 模块写使能寄存器（CRCREGKEY）

表 20-21: CRC 模块写使能寄存器（CRCREGKEY）位段定义

| CRCREGKEY (CRC Register Write-Allow Key Register) |    |                |    |                     |    |    |    |
|---------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: CRC->CRCREGKEY                            |    | Offset: 0x0024 |    | Default: 0x1ACCE551 |    |    |    |
| 31                                                | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| KEY                                               |    |                |    |                     |    |    |    |
| 23                                                | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| KEY                                               |    |                |    |                     |    |    |    |
| 15                                                | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| KEY                                               |    |                |    |                     |    |    |    |
| 7                                                 | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| KEY                                               |    |                |    |                     |    |    |    |

表 20-22: CRC 模块写使能寄存器（CRCREGKEY）位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                           |
|------|-----|----|------------|------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 CRC 寄存器 |

## 21 高级加密标准（AES）模块

### 21.1 概述

SPC1185 提供了 1 个 AES（Advanced Encryption Standard）模块，其特性如下：

- 支持 6 种工作模式：
  - ECB（Electronic Codebook）加解密；
  - CBC（Cipher Block Chaining）加解密；
  - CTR（Counter）加解密；
  - CCM（Counter with CBC Message Authentication Code）加解密；
  - MMO（Matyas-Meyer-Qseas）加解密；
  - 旁路（Bypass）模式：输出与原始输入相同；
- 支持 128 位、192 位、256 位密钥长度；
- 通过读写寄存器导入或者导出数据；
- 支持不完整数据；
- 支持错误指示；
- 支持 3 个中断事件：
  - 输出 FIFO 数据就绪；
  - 输入 FIFO 空；
  - 计算结束；
- 独立的 8x32 位输入和输出 FIFO。

### 21.2 功能描述

#### 21.2.1 AES 工作流程

用户可以根据以下步骤操作 AES 模块：

1. 配置 AES，包括：
  - a) 配置工作模式；
  - b) 选择加密或解密；
  - c) 设置密钥长度；
  - d) 设置消息字符串长度；
  - e) 设置关联字符串长度（若适用）；
  - f) 设置输出格式、中断使能等杂项配置；
2. 设置密钥；
3. 设置初始向量；
4. 开启 AES 模块，并开始数据交互，直到输入预期长度的消息字符串：
  - a) 若输入 FIFO 非满则通过写 AESSTRIN 送入消息字符串；
  - b) 若输出 FIFO 非空格则通过读 ASESTROUT 导出结果；
5. 等待运算完成（AESSTS.DONE 状态标志为 1 或者 AESIF.DONE 中断触发），并读空输出 FIFO：
  - a) 若输出 FIFO 非空格则通过读 ASESTROUT 导出结果。

## 21.2.2 AES 配置

在启动 AES 之前，请按照如下步骤正确配置 AES。

- 设置 AESCTL.MODE 位段，配置 AES 工作模式：
  - 0: ECB
  - 1: CBC
  - 2: CTR
  - 5: CCM
  - 6: MMO
  - 7: 旁路模式，输出与原始输入相同
- 设置 AESCTL.DECRYPT 位段，选择加密或解密：
  - 0: 加密
  - 1: 解密
- 设置 AESCTL.KEYSIZE 位段，选择密钥长度（旁路模式下忽略本配置）：
  - 0: 128 位（注意 MMO 模式密钥只能是 128 位）
  - 1: 192 位
  - 2: 256 位
- 根据密钥长度，填充密钥（旁路模式下忽略本配置）：
  - 128 位：从低字节开始依次填充 AESKEY[0]、AESKEY[1]、……、AESKEY[3]
  - 192 位：从低字节开始依次填充 AESKEY[0]、AESKEY[1]、……、AESKEY[5]
  - 256 位：从低字节开始依次填充 AESKEY[0]、AESKEY[1]、……、AESKEY[7]
- 设置 AESMSTRLEN，配置消息字串长度（字节数）：
  - ECB、CBC、CTR 模式下，字串长度应当至少为 16；
  - ECB 模式下，字串长度应当为 16 的整数倍；
  - MMO 模式下，字串长度应当不超过 8195 字节。
- 对于 CCM 模式的额外配置：
  - 设置 AESASTRLEN，配置关联字串长度（字节数）
  - 设置 AESCTL.MICLEN，配置 MIC 字串长度（字节数）
- 对于 CTR 模式的额外配置：
  - 设置 AESCTL.CTRMOD，配置计数器模值
- 对于 CCM 加密模式的输出选项配置：
  - 设置 AESCTL.OUTHDR 位，选择在输出加密数据流的最前边是否先输出 B0 和 I(a)；
  - 设置 AESCTL.OUTMIC 位，选择 MIC 是否追加在输出加密数据流的最后；
  - 设置 AESCTL.OUTMSG 位，选择是否输出加密数据流，若设为 0，则输出 FIFO 无任何数据（AESCTL.OUTHDR 和 AESCTL.OUTMIC 被忽略），用户只能通过 AESOV[0]~AESOV[3] 获取 MIC 数据。
- 对于 MMO 模式的输出选项配置：
  - 设置 AESCTL.OUTMIC 位，选择 HASH 是否追加在输出加密数据流的最后；
  - 设置 AESCTL.OUTMSG 位，选择是否输出加密数据流，若设为 0，则输出 FIFO 无任何数据（AESCTL.OUTMIC 被忽略），用户只能通过 AESOV[0]~AESOV[3] 获取 HASH 数据。
- 对于 CTR 模式的初始向量做如下配置：
  - 设置 AESIV[0] = 初始计数值

- 设置 AESIV[1] = Nonce[31:0]
- 设置 AESIV[2] = Nonce[63:32]
- 设置 AESIV[3] = Nonce[95:64]
- 对于 CCM 模式的初始向量做如下配置：
  - 设置 AESIV[0] = Nonce[31:0]
  - 设置 AESIV[1] = Nonce[63:32]
  - 设置 AESIV[2] = Nonce[95:64]
  - 设置 AESIV[3][7:0] = Nonce[103:96]
  - 设置 AESIV[3][15:8] = 15 - Nonce 字节数

### 21.2.3 数据访问

AES 模块包含独立的输入 FIFO 和输出 FIFO，各有 8 个 32 位存储空间。当输入 FIFO 非满时，可以通过写 AESSTRIN 往输入 FIFO 放入数据；当输出 FIFO 非空时，可以通过读 AESSTROUT 从输出 FIFO 取出数据。当输入数据量达到预设的字节数，且已全部处理完，则 AES 模块完成工作。

### 21.2.4 启动 AES 模块

启动 AES 模块前，应当清除输入 FIFO 和输出 FIFO，使得模块可以从一个全新的状态开始。用户可以通过往 AESCTL.CMD 写 2 实现 AES 模块的复位和 FIFO 的清除，然后通过往 AESCTL.CMD 写 1 启动 AES 模块进行工作。用户也可以通过直接往 AESCTL.CMD 写 3，实现先复位 AES 模块并清除 FIFO，然后自动启动 AES 开始工作。

### 21.2.5 中断请求

AES 模块有三个中断事件：输入 FIFO 满，输出 FIFO 空以及 AES 计算完成。若通过 AESIE 寄存器对应位段使能，则事件发生时触发中断，并锁存中断标志到 AESIF 寄存器。通过往 AESIC 寄存器对应位段写 1，可以清除中断标志。注意，若 AESIF 位段不清除，将不会产生新的中断请求。

### 21.2.6 不完整数据的支持

当输入数据长度不是 128 位（16 字节）的整数倍时，属于不完整数据。AES 模块针对不同模式有不同的处理方式，如表 21-1 所示。

表 21-1: AES 不完整数据填充方案

| 模式     | 描述                                         |
|--------|--------------------------------------------|
| ECB    | 数据长度必须为 128 位（16 字节）的整数倍，否则报错              |
| CBC    | 采用密文窃取（Cipher stealing）技术，并遵循 NIST-CS2 标准  |
| CTR    | 不影响 AES 计算                                 |
| CCM    | 对关联字串（A）和消息字串（M）都自动填充 0                    |
| MMO    | 从低字节开始往高字节依次自动填充 0x80、0x00、0x00……两个字节的长度信息 |
| Bypass | 不影响工作                                      |

## 21.2.7 错误状态检查

AESSTS.ERROR 会记录 AES 配置和计算过程中的错误信息，具体如表 21-2 所示。

表 21-2: AES 报错场景

| 模式     | 错误的原因                    |
|--------|--------------------------|
| ECB    | 数据长度不是 128 位（16 字节）的整数倍， |
| CBC    | 数据长度少于 128 位（16 字节）      |
| CTR    | 数据长度少于 128 位（16 字节）      |
| CCM    | 解密过程中检测到 MIC 值不匹配        |
| MMO    | 数据长度超过 8191 字节           |
| Bypass | 无报错场景                    |

## 21.2.8 输出向量

AES 模块的输出向量提供了一些有用的信息，并记录在 AESOV[0]~AESOV[3]寄存器中，如表 21-3 所示。

表 21-3: AES 输出向量

| 模式     | 输出向量                                                                                                                                      |
|--------|-------------------------------------------------------------------------------------------------------------------------------------------|
| ECB    | 无输出向量                                                                                                                                     |
| CBC    | 最后一个输出数据块<br>AESOV[0] = OutputData[31:0]<br>AESOV[1] = OutputData[63:32]<br>AESOV[2] = OutputData[95:64]<br>AESOV[3] = OutputData[127:96] |
| CTR    | 最后的计数值（Counter）<br>AESOV[0] = Counter[31:0]<br>AESOV[1] = Counter[63:32]<br>AESOV[2] = Counter[95:64]<br>AESOV[3] = Counter[127:96]       |
| CCM    | 加密模式下输出 MIC 值，并根据所设置的 MIC 字符串长度从 AESOV[0]低字节开始逐一存放<br>AESOV[0] = MIC[31:0]<br>AESOV[1] = MIC[63:32]<br>.....                              |
| MMO    | AESOV[0] = HASH[31:0]<br>AESOV[1] = HASH[63:32]<br>AESOV[2] = HASH[95:64]<br>AESOV[3] = HASH[127:96]                                      |
| Bypass | 无输出向量                                                                                                                                     |

## 21.3 寄存器

### 21.3.1 AES 寄存器列表

表 21-4: AES 模块基地址

| 外设模块 | 基地址         |
|------|-------------|
| AES  | 0x4000 7F00 |

表 21-5: AES 寄存器列表

| 寄存器                          | 偏移地址   | 描述             | 复位值        |
|------------------------------|--------|----------------|------------|
| <a href="#">AESCTL*</a>      | 0x0000 | AES 控制寄存器      | 0x000A0000 |
| <a href="#">AESSTS</a>       | 0x0004 | AES 状态寄存器      | 0x00000011 |
| <a href="#">AESASTRLLEN*</a> | 0x0008 | AES 关联字符串长度寄存器 | 0x00000000 |
| <a href="#">AESMSTRLEN*</a>  | 0x000C | AES 消息字符串长度寄存器 | 0x00000000 |
| <a href="#">AESIV[0]*</a>    | 0x0010 | AES 初始向量寄存器 0  | 0x00000000 |
| <a href="#">AESIV[1]*</a>    | 0x0014 | AES 初始向量寄存器 1  | 0x00000000 |
| <a href="#">AESIV[2]*</a>    | 0x0018 | AES 初始向量寄存器 2  | 0x00000000 |
| <a href="#">AESIV[3]*</a>    | 0x001C | AES 初始向量寄存器 3  | 0x00000000 |
| <a href="#">AESKEY[0]*</a>   | 0x0020 | AES 密钥寄存器 0    | 0x00000000 |
| <a href="#">AESKEY[1]*</a>   | 0x0024 | AES 密钥寄存器 1    | 0x00000000 |
| <a href="#">AESKEY[2]*</a>   | 0x0028 | AES 密钥寄存器 2    | 0x00000000 |
| <a href="#">AESKEY[3]*</a>   | 0x002C | AES 密钥寄存器 3    | 0x00000000 |
| <a href="#">AESKEY[4]*</a>   | 0x0030 | AES 密钥寄存器 4    | 0x00000000 |
| <a href="#">AESKEY[5]*</a>   | 0x0034 | AES 密钥寄存器 5    | 0x00000000 |
| <a href="#">AESKEY[6]*</a>   | 0x0038 | AES 密钥寄存器 6    | 0x00000000 |
| <a href="#">AESKEY[7]*</a>   | 0x003C | AES 密钥寄存器 7    | 0x00000000 |
| <a href="#">AESOV[0]</a>     | 0x0040 | AES 输出向量寄存器 0  | 0x00000000 |
| <a href="#">AESOV[1]</a>     | 0x0044 | AES 输出向量寄存器 1  | 0x00000000 |
| <a href="#">AESOV[2]</a>     | 0x0048 | AES 输出向量寄存器 2  | 0x00000000 |
| <a href="#">AESOV[3]</a>     | 0x004C | AES 输出向量寄存器 3  | 0x00000000 |
| <a href="#">AESSTRIN</a>     | 0x0050 | AES 输入消息字寄存器   | 0x00000000 |
| <a href="#">AESSTROUT</a>    | 0x0054 | AES 输出消息字寄存器   | 0x00000000 |
| <a href="#">AESIF</a>        | 0x0058 | AES 中断标志寄存器    | 0x00000000 |
| <a href="#">AESIE*</a>       | 0x005C | AES 中断使能寄存器    | 0x00000000 |
| <a href="#">AESIC</a>        | 0x0060 | AES 中断清除寄存器    | 0x00000000 |
| <a href="#">AESREGKEY</a>    | 0x0064 | AES 模块写使能寄存器   | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 AESREGKEY=0x1ACCE551 时才可以改写。



## 21.3.2 AES 寄存器

### 21.3.2.1 AES 控制寄存器（AESCTL）

表 21-6: AES 控制寄存器（AESCTL）位段定义

|                                                              |         |      |        |        |         |        |        |
|--------------------------------------------------------------|---------|------|--------|--------|---------|--------|--------|
| AESCTL (AES Control Register)                                |         |      |        |        |         |        |        |
| Access: AES->AESCTL    Offset: 0x0000    Default: 0x000A0000 |         |      |        |        |         |        |        |
| 31                                                           | 30      | 29   | 28     | 27     | 26      | 25     | 24     |
| RESERVED                                                     |         |      |        |        |         |        |        |
| 23                                                           | 22      | 21   | 20     | 19     | 18      | 17     | 16     |
| RESERVED                                                     | OFIFOTH |      |        | OUTMIC | OUTHDR  | OUTMSG | MICLEN |
| 15                                                           | 14      | 13   | 12     | 11     | 10      | 9      | 8      |
| MICLEN                                                       | KEYSIZE |      | CTRMOD |        |         |        |        |
| 7                                                            | 6       | 5    | 4      | 3      | 2       | 1      | 0      |
| CTRMOD                                                       |         | MODE |        |        | DECRYPT | CMD    |        |

表 21-7: AES 控制寄存器（AESCTL）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                               |
|-------|----------------|----|-----|------------------------------------------------------------------------------------------------------------------|
| 31:23 | RESERVED_31_23 | RO | 0x0 | 保留                                                                                                               |
| 22:20 | OFIFOTH        | RW | 0x0 | 当输出 FIFO 存放的 32 位数据量超过 OFIFOTH 时触发 OFIFORDY 事件和中断                                                                |
| 19    | OUTMIC         | RW | 0x1 | 对于 CCM/MMO 模式输出 MIC/HASH 到 FIFO<br>AESCTL.OUTMSG=0 时忽略本位段<br>0: 不输出 MIC/HASH 到输出 FIFO<br>1: 输出 MIC/HASH 到输出 FIFO |
| 18    | OUTHDR         | RW | 0x0 | 对于 CCM 模式输出 B0 和 I(a)到输出 FIFO<br>AESCTL.OUTMSG=0 时忽略本位段<br>0: 不输出 B0 和 I(a)到输出 FIFO<br>1: 输出 B0 和 I(a)到输出 FIFO   |
| 17    | OUTMSG         | RW | 0x1 | 输出计算后的消息到输出 FIFO<br>0: 不输出任何消息到输出 FIFO<br>1: 输出计算后的消息到输出 FIFO                                                    |
| 16:15 | MICLEN         | RW | 0x0 | CCM 模式下 MIC 长度<br>0: 0 字节<br>1: 4 字节<br>2: 8 字节<br>3: 16 字节                                                      |
| 14:13 | KEYSIZE        | RW | 0x0 | 秘钥长度<br>0: 16 字节<br>1: 24 字节<br>2: 32 字节                                                                         |



| 位段   | 位段名     | 属性  | 复位值 | 描述                                                                                                                               |
|------|---------|-----|-----|----------------------------------------------------------------------------------------------------------------------------------|
| 12:6 | CTRMOD  | RW  | 0x0 | CTR 模式计数器模值<br>000xxxx: 模值 = $2^{128}$<br>否则: 模值 = $2^{\text{CNTMOD}}$                                                           |
| 5:3  | MODE    | RW  | 0x0 | AES 运行模式<br>0: ECB<br>1: CBC<br>2: CTR<br>5: CCM<br>6: MMO<br>7: BYPASS                                                          |
| 2    | DECRYPT | RW  | 0x0 | 加解密选择<br>MMO 和 BYPASS 模式下忽略本位段<br>0: 加密<br>1: 解密                                                                                 |
| 1:0  | CMD     | W1S | 0x0 | 发送至 AES 计算引擎的命令脉冲<br>本位段自动清零<br>0: 写 0 无效, 读总是 0<br>1: 写 1 启动 AES 计算引擎<br>2: 写 2 复位 AES 并清空 FIFO<br>3: 写 3 复位 AES 并清空 FIFO 后启动引擎 |

### 21.3.2.2 AES 状态寄存器 (AESSTS)

表 21-8: AES 状态寄存器 (AESSTS) 位段定义

|                                                              |    |       |            |           |          |            |      |
|--------------------------------------------------------------|----|-------|------------|-----------|----------|------------|------|
| AESSTS (AES Status Register)                                 |    |       |            |           |          |            |      |
| Access: AES->AESSTS    Offset: 0x0004    Default: 0x00000011 |    |       |            |           |          |            |      |
| 31                                                           | 30 | 29    | 28         | 27        | 26       | 25         | 24   |
| RESERVED                                                     |    |       |            |           |          |            |      |
| 23                                                           | 22 | 21    | 20         | 19        | 18       | 17         | 16   |
| OFIFOLVL                                                     |    |       |            | RESERVED  |          |            |      |
| 15                                                           | 14 | 13    | 12         | 11        | 10       | 9          | 8    |
| RESERVED                                                     |    |       |            | IFIFOLVL  |          |            |      |
| 7                                                            | 6  | 5     | 4          | 3         | 2        | 1          | 0    |
| RESERVED                                                     |    | ERROR | OFIFOEMPTY | IFIFOFULL | OFIFORDY | IFIFOEMPTY | DONE |

表 21-9: AES 状态寄存器 (AESSTS) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                  |
|-------|----------------|----|-----|-------------------------------------------------------------------------------------|
| 31:24 | RESERVED_31_24 | RO | 0x0 | 保留                                                                                  |
| 23:20 | OFIFOLVL       | RO | 0x0 | 输出 FIFO 当前存放的 32 位数据的个数                                                             |
| 19:12 | RESERVED_19_12 | RO | 0x0 | 保留                                                                                  |
| 11:8  | IFIFOLVL       | RO | 0x0 | 输入 FIFO 当前存放的 32 位数据的个数                                                             |
| 7:6   | RESERVED_7_6   | RO | 0x0 | 保留                                                                                  |
| 5     | ERROR          | RO | 0x0 | AES 错误<br>0: 错误未发生<br>1: 错误已发生, 详见 <a href="#">章节 21.2.7</a>                        |
| 4     | OFIFOEMPTY     | RO | 0x1 | 输出 FIFO 空<br>0: 输出 FIFO 非空 (有数据)<br>1: 输出 FIFO 空 (没有数据)                             |
| 3     | IFIFOFULL      | RO | 0x0 | 输入 FIFO 满<br>0: 输入 FIFO 非满 (可以存入新数据)<br>1: 输入 FIFO 满 (不可以存入新数据)                     |
| 2     | OFIFORDY       | RO | 0x0 | 输出 FIFO 数据就绪<br>0: 输出 FIFO 中没有足够的数据<br>1: 输出 FIFO 中有足够的数据                           |
| 1     | IFIFOEMPTY     | RO | 0x0 | 输入 FIFO 数据空<br>本字段在 AES 计算引擎未启动时始终为 0<br>0: 输入 FIFO 非空 (有数据)<br>1: 输入 FIFO 空 (没有数据) |
| 0     | DONE           | RO | 0x1 | AES 计算完成<br>0: 未完成<br>1: 已完成                                                        |

### 21.3.2.3 AES 关联字符串长度寄存器 (AESASTRLEN)

表 21-10: AES 关联字符串长度寄存器 (AESASTRLEN) 位段定义

| AESASTRLEN (AES Associate String Length Register)                |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: AES->AESASTRLEN    Offset: 0x0008    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                              |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                              |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                              |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 21-11: AES 关联字符串长度寄存器 (AESASTRLEN) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述        |
|------|-----|----|-----|-----------|
| 31:0 | VAL | RW | 0x0 | 关联字符串的字节数 |

### 21.3.2.4 AES 消息字符串长度寄存器 (AESMSTRLEN)

表 21-12: AES 消息字符串长度寄存器 (AESMSTRLEN) 位段定义

| AESMSTRLEN (AES Message String Length Register)                  |    |    |    |    |    |    |    |
|------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: AES->AESMSTRLEN    Offset: 0x000C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                               | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                              |    |    |    |    |    |    |    |
| 23                                                               | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                              |    |    |    |    |    |    |    |
| 15                                                               | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                              |    |    |    |    |    |    |    |
| 7                                                                | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                              |    |    |    |    |    |    |    |

表 21-13: AES 消息字符串长度寄存器 (AESMSTRLEN) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述      |
|------|-----|----|-----|---------|
| 31:0 | VAL | RW | 0x0 | 消息字符串长度 |

### 21.3.2.5 AES 初始向量寄存器 0 (AESIV[0])

表 21-14: AES 初始向量寄存器 0 (AESIV[0]) 位段定义

|                                                                                                            |    |    |    |    |    |    |    |
|------------------------------------------------------------------------------------------------------------|----|----|----|----|----|----|----|
| AESIV[0] (AES Initial Vector Register 0)<br>Access: AES->AESIV[0]    Offset: 0x0010    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                                                         | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE3                                                                                                      |    |    |    |    |    |    |    |
| 23                                                                                                         | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE2                                                                                                      |    |    |    |    |    |    |    |
| 15                                                                                                         | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE1                                                                                                      |    |    |    |    |    |    |    |
| 7                                                                                                          | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE0                                                                                                      |    |    |    |    |    |    |    |

表 21-15: AES 初始向量寄存器 0 (AESIV[0]) 位段描述

| 位段    | 位段名   | 属性 | 复位值 | 描述       |
|-------|-------|----|-----|----------|
| 31:24 | BYTE3 | RW | 0x0 | 初始向量字节 3 |
| 23:16 | BYTE2 | RW | 0x0 | 初始向量字节 2 |
| 15:8  | BYTE1 | RW | 0x0 | 初始向量字节 1 |
| 7:0   | BYTE0 | RW | 0x0 | 初始向量字节 0 |

### 21.3.2.6 AES 初始向量寄存器 1 (AESIV[1])

表 21-16: AES 初始向量寄存器 1 (AESIV[1]) 位段定义

|                                                                                                            |    |    |    |    |    |    |    |
|------------------------------------------------------------------------------------------------------------|----|----|----|----|----|----|----|
| AESIV[1] (AES Initial Vector Register 1)<br>Access: AES->AESIV[1]    Offset: 0x0014    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                                                         | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE7                                                                                                      |    |    |    |    |    |    |    |
| 23                                                                                                         | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE6                                                                                                      |    |    |    |    |    |    |    |
| 15                                                                                                         | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE5                                                                                                      |    |    |    |    |    |    |    |
| 7                                                                                                          | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE4                                                                                                      |    |    |    |    |    |    |    |

表 21-17: AES 初始向量寄存器 1 (AESIV[1]) 位段描述

| 位段    | 位段名   | 属性 | 复位值 | 描述       |
|-------|-------|----|-----|----------|
| 31:24 | BYTE7 | RW | 0x0 | 初始向量字节 7 |
| 23:16 | BYTE6 | RW | 0x0 | 初始向量字节 6 |
| 15:8  | BYTE5 | RW | 0x0 | 初始向量字节 5 |
| 7:0   | BYTE4 | RW | 0x0 | 初始向量字节 4 |

## 21.3.2.7 AES 初始向量寄存器 2 (AESIV[2])

表 21-18: AES 初始向量寄存器 2 (AESIV[2]) 位段定义

|                                                                |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESIV[2] (AES Initial Vector Register2)                        |    |    |    |    |    |    |    |
| Access: AES->AESIV[2]    Offset: 0x0018    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE11                                                         |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE10                                                         |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE9                                                          |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE8                                                          |    |    |    |    |    |    |    |

表 21-19: AES 初始向量寄存器 2 (AESIV[2]) 位段描述

| 位段    | 位段名    | 属性 | 复位值 | 描述        |
|-------|--------|----|-----|-----------|
| 31:24 | BYTE11 | RW | 0x0 | 初始向量字节 11 |
| 23:16 | BYTE10 | RW | 0x0 | 初始向量字节 10 |
| 15:8  | BYTE9  | RW | 0x0 | 初始向量字节 9  |
| 7:0   | BYTE8  | RW | 0x0 | 初始向量字节 8  |

## 21.3.2.8 AES 初始向量寄存器 3 (AESIV[3])

表 21-20: AES 初始向量寄存器 3 (AESIV[3]) 位段定义

|                                                                |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESIV[3] (AES Initial Vector Register 3)                       |    |    |    |    |    |    |    |
| Access: AES->AESIV[3]    Offset: 0x001C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE15                                                         |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE14                                                         |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE13                                                         |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE12                                                         |    |    |    |    |    |    |    |

表 21-21: AES 初始向量寄存器 3 (AESIV[3]) 位段描述

| 位段    | 位段名    | 属性 | 复位值 | 描述        |
|-------|--------|----|-----|-----------|
| 31:24 | BYTE15 | RW | 0x0 | 初始向量字节 15 |
| 23:16 | BYTE14 | RW | 0x0 | 初始向量字节 14 |
| 15:8  | BYTE13 | RW | 0x0 | 初始向量字节 13 |
| 7:0   | BYTE12 | RW | 0x0 | 初始向量字节 12 |

### 21.3.2.9 AES 密钥寄存器 0 (AESKEY[0])

表 21-22: AES 密钥寄存器 0 (AESKEY[0]) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESKEY[0] (AES Key Register 0)                                  |    |    |    |    |    |    |    |
| Access: AES->AESKEY[0]    Offset: 0x0020    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE3                                                           |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE2                                                           |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE1                                                           |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE0                                                           |    |    |    |    |    |    |    |

表 21-23: AES 密钥寄存器 0 (AESKEY[0]) 位段描述

| 位段    | 位段名   | 属性 | 复位值 | 描述     |
|-------|-------|----|-----|--------|
| 31:24 | BYTE3 | RW | 0x0 | 密钥字节 3 |
| 23:16 | BYTE2 | RW | 0x0 | 密钥字节 2 |
| 15:8  | BYTE1 | RW | 0x0 | 密钥字节 1 |
| 7:0   | BYTE0 | RW | 0x0 | 密钥字节 0 |

### 21.3.2.10 AES 密钥寄存器 1 (AESKEY[1])

表 21-24: AES 密钥寄存器 1 (AESKEY[1]) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESKEY[1] (AES Key Register 1)                                  |    |    |    |    |    |    |    |
| Access: AES->AESKEY[1]    Offset: 0x0024    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE7                                                           |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE6                                                           |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE5                                                           |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE4                                                           |    |    |    |    |    |    |    |

表 21-25: AES 密钥寄存器 1 (AESKEY[1]) 位段描述

| 位段    | 位段名   | 属性 | 复位值 | 描述     |
|-------|-------|----|-----|--------|
| 31:24 | BYTE7 | RW | 0x0 | 密钥字节 7 |
| 23:16 | BYTE6 | RW | 0x0 | 密钥字节 6 |
| 15:8  | BYTE5 | RW | 0x0 | 密钥字节 5 |
| 7:0   | BYTE4 | RW | 0x0 | 密钥字节 4 |

## 21.3.2.11 AES 密钥寄存器 2 (AESKEY[2])

表 21-26: AES 密钥寄存器 2 (AESKEY[2]) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESKEY[2] (AES Key Register 2)                                  |    |    |    |    |    |    |    |
| Access: AES->AESKEY[2]    Offset: 0x0028    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE11                                                          |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE10                                                          |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE9                                                           |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE8                                                           |    |    |    |    |    |    |    |

表 21-27: AES 密钥寄存器 2 (AESKEY[2]) 位段描述

| 位段    | 位段名    | 属性 | 复位值 | 描述      |
|-------|--------|----|-----|---------|
| 31:24 | BYTE11 | RW | 0x0 | 密钥字节 11 |
| 23:16 | BYTE10 | RW | 0x0 | 密钥字节 10 |
| 15:8  | BYTE9  | RW | 0x0 | 密钥字节 9  |
| 7:0   | BYTE8  | RW | 0x0 | 密钥字节 8  |

## 21.3.2.12 AES 密钥寄存器 3 (AESKEY[3])

表 21-28: AES 密钥寄存器 3 (AESKEY[3]) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESKEY[3] (AES Key Register 3)                                  |    |    |    |    |    |    |    |
| Access: AES->AESKEY[3]    Offset: 0x002C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE15                                                          |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE14                                                          |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE13                                                          |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE12                                                          |    |    |    |    |    |    |    |

表 21-29: AES 密钥寄存器 3 (AESKEY[3]) 位段描述

| 位段    | 位段名    | 属性 | 复位值 | 描述      |
|-------|--------|----|-----|---------|
| 31:24 | BYTE15 | RW | 0x0 | 密钥字节 15 |
| 23:16 | BYTE14 | RW | 0x0 | 密钥字节 14 |
| 15:8  | BYTE13 | RW | 0x0 | 密钥字节 13 |
| 7:0   | BYTE12 | RW | 0x0 | 密钥字节 12 |

### 21.3.2.13 AES 密钥寄存器 4 (AESKEY[4])

表 21-30: AES 密钥寄存器 4 (AESKEY[4]) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESKEY[4] (AES Key Register 4)                                  |    |    |    |    |    |    |    |
| Access: AES->AESKEY[4]    Offset: 0x0030    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE19                                                          |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE18                                                          |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE17                                                          |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE16                                                          |    |    |    |    |    |    |    |

表 21-31: AES 密钥寄存器 4 (AESKEY[4]) 位段描述

| 位段    | 位段名    | 属性 | 复位值 | 描述      |
|-------|--------|----|-----|---------|
| 31:24 | BYTE19 | RW | 0x0 | 密钥字节 19 |
| 23:16 | BYTE18 | RW | 0x0 | 密钥字节 18 |
| 15:8  | BYTE17 | RW | 0x0 | 密钥字节 17 |
| 7:0   | BYTE16 | RW | 0x0 | 密钥字节 16 |

### 21.3.2.14 AES 密钥寄存器 5 (AESKEY[5])

表 21-32: AES 密钥寄存器 5 (AESKEY[5]) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESKEY[5] (AES Key Register 5)                                  |    |    |    |    |    |    |    |
| Access: AES->AESKEY[5]    Offset: 0x0034    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE23                                                          |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE22                                                          |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE21                                                          |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE20                                                          |    |    |    |    |    |    |    |

表 21-33: AES 密钥寄存器 5 (AESKEY[5]) 位段描述

| 位段    | 位段名    | 属性 | 复位值 | 描述      |
|-------|--------|----|-----|---------|
| 31:24 | BYTE23 | RW | 0x0 | 密钥字节 23 |
| 23:16 | BYTE22 | RW | 0x0 | 密钥字节 22 |
| 15:8  | BYTE21 | RW | 0x0 | 密钥字节 21 |
| 7:0   | BYTE20 | RW | 0x0 | 密钥字节 20 |



## 21.3.2.15 AES 密钥寄存器 6 (AESKEY[6])

表 21-34: AES 密钥寄存器 6 (AESKEY[6]) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESKEY[0] (AES Key Register 6)                                  |    |    |    |    |    |    |    |
| Access: AES->AESKEY[6]    Offset: 0x0038    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE27                                                          |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE26                                                          |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE25                                                          |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE24                                                          |    |    |    |    |    |    |    |

表 21-35: AES 密钥寄存器 6 (AESKEY[6]) 位段描述

| 位段    | 位段名    | 属性 | 复位值 | 描述      |
|-------|--------|----|-----|---------|
| 31:24 | BYTE27 | RW | 0x0 | 密钥字节 27 |
| 23:16 | BYTE26 | RW | 0x0 | 密钥字节 26 |
| 15:8  | BYTE25 | RW | 0x0 | 密钥字节 25 |
| 7:0   | BYTE24 | RW | 0x0 | 密钥字节 24 |

## 21.3.2.16 AES 密钥寄存器 7 (AESKEY[7])

表 21-36: AES 密钥寄存器 7 (AESKEY[7]) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESKEY[7] (AES Key Register 7)                                  |    |    |    |    |    |    |    |
| Access: AES->AESKEY[7]    Offset: 0x003C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE31                                                          |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE30                                                          |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE29                                                          |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE28                                                          |    |    |    |    |    |    |    |

表 21-37: AES 密钥寄存器 7 (AESKEY[7]) 位段描述

| 位段    | 位段名    | 属性 | 复位值 | 描述      |
|-------|--------|----|-----|---------|
| 31:24 | BYTE31 | RW | 0x0 | 密钥字节 31 |
| 23:16 | BYTE30 | RW | 0x0 | 密钥字节 30 |
| 15:8  | BYTE29 | RW | 0x0 | 密钥字节 29 |
| 7:0   | BYTE28 | RW | 0x0 | 密钥字节 28 |

### 21.3.2.17 AES 输出向量寄存器 0 (AESOV[0])

表 21-38: AES 输出向量寄存器 0 (AESOV[0]) 位段定义

|                                                                |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESOV[0] (AES Output Vector Register 0)                        |    |    |    |    |    |    |    |
| Access: AES->AESOV[0]    Offset: 0x0040    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE3                                                          |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE2                                                          |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE1                                                          |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE0                                                          |    |    |    |    |    |    |    |

表 21-39: AES 输出向量寄存器 0 (AESOV[0]) 位段描述

| 位段    | 位段名   | 属性 | 复位值 | 描述       |
|-------|-------|----|-----|----------|
| 31:24 | BYTE3 | RO | 0x0 | 输出向量字节 3 |
| 23:16 | BYTE2 | RO | 0x0 | 输出向量字节 2 |
| 15:8  | BYTE1 | RO | 0x0 | 输出向量字节 1 |
| 7:0   | BYTE0 | RO | 0x0 | 输出向量字节 0 |

### 21.3.2.18 AES 输出向量寄存器 1 (AESOV[1])

表 21-40: AES 输出向量寄存器 1 (AESOV[1]) 位段定义

|                                                                |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESOV[1] (AES Output Vector Register 1)                        |    |    |    |    |    |    |    |
| Access: AES->AESOV[1]    Offset: 0x0044    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE7                                                          |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE6                                                          |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE5                                                          |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE4                                                          |    |    |    |    |    |    |    |

表 21-41: AES 输出向量寄存器 1 (AESOV[1]) 位段描述

| 位段    | 位段名   | 属性 | 复位值 | 描述       |
|-------|-------|----|-----|----------|
| 31:24 | BYTE7 | RO | 0x0 | 输出向量字节 7 |
| 23:16 | BYTE6 | RO | 0x0 | 输出向量字节 6 |
| 15:8  | BYTE5 | RO | 0x0 | 输出向量字节 5 |
| 7:0   | BYTE4 | RO | 0x0 | 输出向量字节 4 |

## 21.3.2.19 AES 输出向量寄存器 2 (AESOV[2])

表 21-42: AES 输出向量寄存器 2 (AESOV[2]) 位段定义

|                                                                |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESOV[2] (AES Output Vector Register 2)                        |    |    |    |    |    |    |    |
| Access: AES->AESOV[2]    Offset: 0x0048    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE11                                                         |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE10                                                         |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE9                                                          |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE8                                                          |    |    |    |    |    |    |    |

表 21-43: AES 输出向量寄存器 2 (AESOV[2]) 位段描述

| 位段    | 位段名    | 属性 | 复位值 | 描述        |
|-------|--------|----|-----|-----------|
| 31:24 | BYTE11 | RO | 0x0 | 输出向量字节 11 |
| 23:16 | BYTE10 | RO | 0x0 | 输出向量字节 10 |
| 15:8  | BYTE9  | RO | 0x0 | 输出向量字节 9  |
| 7:0   | BYTE8  | RO | 0x0 | 输出向量字节 8  |

## 21.3.2.20 AES 输出向量寄存器 3 (AESOV[3])

表 21-44: AES 输出向量寄存器 3 (AESOV[3]) 位段定义

|                                                                |    |    |    |    |    |    |    |
|----------------------------------------------------------------|----|----|----|----|----|----|----|
| AESOV[3] (AES Output Vector Register 3)                        |    |    |    |    |    |    |    |
| Access: AES->AESOV[3]    Offset: 0x004C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                             | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| BYTE15                                                         |    |    |    |    |    |    |    |
| 23                                                             | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| BYTE14                                                         |    |    |    |    |    |    |    |
| 15                                                             | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| BYTE13                                                         |    |    |    |    |    |    |    |
| 7                                                              | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| BYTE12                                                         |    |    |    |    |    |    |    |

表 21-45: AES 输出向量寄存器 3 (AESOV[3]) 位段描述

| 位段    | 位段名    | 属性 | 复位值 | 描述        |
|-------|--------|----|-----|-----------|
| 31:24 | BYTE15 | RO | 0x0 | 输出向量字节 15 |
| 23:16 | BYTE14 | RO | 0x0 | 输出向量字节 14 |
| 15:8  | BYTE13 | RO | 0x0 | 输出向量字节 13 |
| 7:0   | BYTE12 | RO | 0x0 | 输出向量字节 12 |

### 21.3.2.21 AES 输入消息字寄存器 (AESSTRIN)

表 21-46: AES 输入消息字寄存器 (AESSTRIN) 位段定义

| AESSTRIN (AES Input Message Stream Word Register) |    |                |    |                     |    |    |    |
|---------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: AES->AESSTRIN                             |    | Offset: 0x0050 |    | Default: 0x00000000 |    |    |    |
| 31                                                | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                               |    |                |    |                     |    |    |    |
| 23                                                | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                               |    |                |    |                     |    |    |    |
| 15                                                | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                               |    |                |    |                     |    |    |    |
| 7                                                 | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                               |    |                |    |                     |    |    |    |

表 21-47: AES 输入消息字寄存器 (AESSTRIN) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述    |
|------|-----|----|-----|-------|
| 31:0 | VAL | WO | 0x0 | 输入消息字 |

### 21.3.2.22 AES 输出消息字寄存器 (AESSTROUT)

表 21-48: AES 输出消息字寄存器 (AESSTROUT) 位段定义

| AESSTROUT (AES Output Message Stream Word Register) |    |                |    |                     |    |    |    |
|-----------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: AES->AESSTROUT                              |    | Offset: 0x0054 |    | Default: 0x00000000 |    |    |    |
| 31                                                  | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                                 |    |                |    |                     |    |    |    |
| 23                                                  | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                                 |    |                |    |                     |    |    |    |
| 15                                                  | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                                 |    |                |    |                     |    |    |    |
| 7                                                   | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                                 |    |                |    |                     |    |    |    |

表 21-49: AES 输出消息字寄存器 (AESSTROUT) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述    |
|------|-----|----|-----|-------|
| 31:0 | VAL | RO | 0x0 | 输出消息字 |

## 21.3.2.23 AES 中断标志寄存器 (AESIF)

表 21-50: AES 中断标志寄存器 (AESIF) 位段定义

|                                                             |    |    |    |     |          |            |      |
|-------------------------------------------------------------|----|----|----|-----|----------|------------|------|
| AESIF (AES Interrupt Flag Register)                         |    |    |    |     |          |            |      |
| Access: AES->AESIF    Offset: 0x0058    Default: 0x00000000 |    |    |    |     |          |            |      |
| 31                                                          | 30 | 29 | 28 | 27  | 26       | 25         | 24   |
| RESERVED                                                    |    |    |    |     |          |            |      |
| 23                                                          | 22 | 21 | 20 | 19  | 18       | 17         | 16   |
| RESERVED                                                    |    |    |    |     |          |            |      |
| 15                                                          | 14 | 13 | 12 | 11  | 10       | 9          | 8    |
| RESERVED                                                    |    |    |    |     |          |            |      |
| 7                                                           | 6  | 5  | 4  | 3   | 2        | 1          | 0    |
| RESERVED                                                    |    |    |    | INT | OFIFORDY | IFIFOEMPTY | DONE |

表 21-51: AES 中断标志寄存器 (AESIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                               |
|------|---------------|----|-----|------------------------------------------------------------------|
| 31:4 | RESERVED_31_4 | RO | 0x0 | 保留                                                               |
| 3    | INT           | RO | 0x0 | AES 全局中断标志<br>0: 中断未发生<br>1: 中断已产生, 并已经通知 CPU<br>本位段被清除之前不会产生新中断 |
| 2    | OFIFORDY      | RO | 0x0 | AES 输出 FIFO 数据就绪中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 1    | IFIFOEMPTY    | RO | 0x0 | AES 输入 FIFO 空中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断    |
| 0    | DONE          | RO | 0x0 | AES 计算完成中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断         |

### 21.3.2.24 AES 中断使能寄存器 (AESIE)

表 21-52: AES 中断使能寄存器 (AESIE) 位段定义

|                                                             |    |    |    |    |          |            |      |
|-------------------------------------------------------------|----|----|----|----|----------|------------|------|
| AESIE (AES Interrupt Enable Register)                       |    |    |    |    |          |            |      |
| Access: AES->AESIE    Offset: 0x005C    Default: 0x00000000 |    |    |    |    |          |            |      |
| 31                                                          | 30 | 29 | 28 | 27 | 26       | 25         | 24   |
| RESERVED                                                    |    |    |    |    |          |            |      |
| 23                                                          | 22 | 21 | 20 | 19 | 18       | 17         | 16   |
| RESERVED                                                    |    |    |    |    |          |            |      |
| 15                                                          | 14 | 13 | 12 | 11 | 10       | 9          | 8    |
| RESERVED                                                    |    |    |    |    |          |            |      |
| 7                                                           | 6  | 5  | 4  | 3  | 2        | 1          | 0    |
| RESERVED                                                    |    |    |    |    | OFIFORDY | IFIFOEMPTY | DONE |

表 21-53: AES 中断使能寄存器 (AESIE) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                     |
|------|---------------|----|-----|----------------------------------------|
| 31:3 | RESERVED_31_3 | RO | 0x0 | 保留                                     |
| 2    | OFIFORDY      | RW | 0x0 | AES 输出 FIFO 数据就绪中断使能<br>0: 关闭<br>1: 使能 |
| 1    | IFIFOEMPTY    | RW | 0x0 | AES 输入 FIFO 空中断使能<br>0: 关闭<br>1: 使能    |
| 0    | DONE          | RW | 0x0 | AES 计算完成中断使能<br>0: 关闭<br>1: 使能         |

## 21.3.2.25 AES 中断清除寄存器 (AESIC)

表 21-54: AES 中断清除寄存器 (AESIC) 位段定义

| AESIC (AES Interrupt Clear Register) |    |                |    |                     |          |            |      |
|--------------------------------------|----|----------------|----|---------------------|----------|------------|------|
| Access: AES->AESIC                   |    | Offset: 0x0060 |    | Default: 0x00000000 |          |            |      |
| 31                                   | 30 | 29             | 28 | 27                  | 26       | 25         | 24   |
| RESERVED                             |    |                |    |                     |          |            |      |
| 23                                   | 22 | 21             | 20 | 19                  | 18       | 17         | 16   |
| RESERVED                             |    |                |    |                     |          |            |      |
| 15                                   | 14 | 13             | 12 | 11                  | 10       | 9          | 8    |
| RESERVED                             |    |                |    |                     |          |            |      |
| 7                                    | 6  | 5              | 4  | 3                   | 2        | 1          | 0    |
| RESERVED                             |    |                |    | INT                 | OFIFORDY | IFIFOEMPTY | DONE |

表 21-55: AES 中断清除寄存器 (AESIC) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                                 |
|------|---------------|-----|-----|--------------------------------------------------------------------|
| 31:4 | RESERVED_31_4 | RO  | 0x0 | 保留                                                                 |
| 3    | INT           | W1C | 0x0 | AES 全局中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零           |
| 2    | OFIFORDY      | W1C | 0x0 | AES 输出 FIFO 数据就绪中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零 |
| 1    | IFIFOEMPTY    | W1C | 0x0 | AES 输入 FIFO 空中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零    |
| 0    | DONE          | W1C | 0x0 | AES 计算完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零         |

21.3.2.26 AES 模块写使能寄存器 (AESREGKEY)

表 21-56: AES 模块写使能寄存器 (AESREGKEY) 位段定义

|                                                   |    |                |    |                     |    |    |    |
|---------------------------------------------------|----|----------------|----|---------------------|----|----|----|
| AESREGKEY (AES Register Write-Allow Key Register) |    |                |    |                     |    |    |    |
| Access: AES->AESREGKEY                            |    | Offset: 0x0064 |    | Default: 0x1ACCE551 |    |    |    |
| 31                                                | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| KEY                                               |    |                |    |                     |    |    |    |
| 23                                                | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| KEY                                               |    |                |    |                     |    |    |    |
| 15                                                | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| KEY                                               |    |                |    |                     |    |    |    |
| 7                                                 | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| KEY                                               |    |                |    |                     |    |    |    |

表 21-57: AES 模块写使能寄存器 (AESREGKEY) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                           |
|------|-----|----|------------|------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 AES 寄存器 |



## 22 直接存储器访问控制器（DMAC）

### 22.1 概述

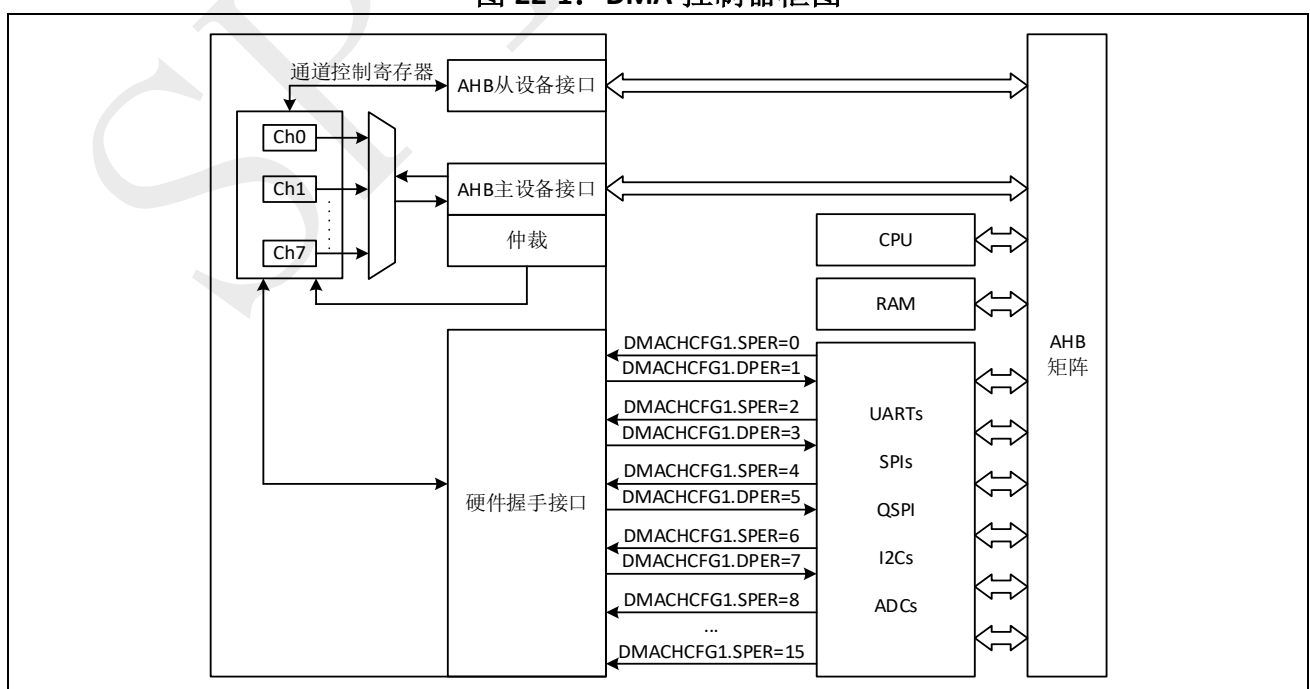
直接存储器访问（DMA）用于提供存储器之间、外设之间以及存储器和外设之间的数据高速传输。数据通过 DMA 控制器搬移而不需要 CPU 的参与，从而可以释放 CPU 资源给其他应用。

SPC1185 提供了两个 DMA 控制器，通过 AHB 总线矩阵实现与存储器、ADC、UART、SPI、QSPI、I2C 等外设的互联。每个 DMA 控制器的特性如下：

- 支持 8 个独立的通道，每个通道配备大小为 16 x 32 位的 FIFO；
- AHB 总线上的外设可以通过硬件握手接口发起 DMA 传输请求；
  - 支持硬件握手的外设包括：ADC、UART、SPI、QSPI、I2C
- 通道优先级软件可配；
- 支持存储器之间、存储器到外设或者外设到存储器、外设之间的传输；
- 支持单块传输，块大小可配，最大为 4095 字节；
- 支持源和目标突发传输，大小可配；
- 源和目的地址步进大小可配；
  - 增加到下一个传输位宽对齐的地址；
  - 减小到上一个传输位宽对齐的地址；
  - 保持不变；
- 支持 2 个中断源；
  - 传输完成触发中断；
  - 传输错误触发中断。

图 22-1 给出了 DMA 控制器框图

图 22-1：DMA 控制器框图



## 22.2 DMA 工作过程

### 22.2.1 基本定义

本章节涉及到的 DMA 相关概念定义和术语如下：

- **源：**指 DMA 从其读取数据的设备，DMA 控制器从源设备读取数据并存入通道 FIFO。
- **目的地：**指 DMA 将写入数据（之前从源设备读取并存放于 FIFO 中的数据）的设备。
- **通道：**连接源设备和目的设备之间的读/写数据路径。
- **块：**DMA 数据块，其大小由块大小确定。在 DMA 与内存之间的传输中，块被直接分解成突发传输和单个传输的序列。在 DMA 与外设之间的传输中，块被分解成单个和突发 DMA 事务的序列。
- **事务：**DMA 传输的基本单元。仅当设备为非内存设备时，事务才与 DMA 和源或目的设备之间的传输相关。有两种类型的事务：
  - 单个事务：单个事务的长度始终为 1，并转换为单个 AHB 传输；
  - 突发事务：突发事务的长度可配置。突发事务被转换为一系列突发和 AHB 单个传输。

### 22.2.2 硬件握手接口

DMA 硬件握手接口用于在事务级别上控制单个或突发事务的流动。当 DMA 通道和外设同时启用时，硬件握手接口可以自动完成数据传输。SPC1185 中的两个 DMA 控制器，其硬件握手接口分配给 UART、SPI、QSPI、I2C 和 ADC 使用，具体如表 22-1 和表 22-2 所示。

表 22-1：DMAC0 硬件握手接口分配

| DMAC0->DMACH[x].DMACHCFG1 配置 | 硬件握手接口                                  |
|------------------------------|-----------------------------------------|
| SPER=0                       | UART0_RX                                |
| DPER=1                       | UART0_TX                                |
| SPER=2                       | UART1_RX                                |
| DPER=3                       | UART1_TX                                |
| SPER=4                       | UART2_RX                                |
| DPER=5                       | UART2_TX                                |
| SPER=6                       | UART3_RX                                |
| DPER=7                       | UART3_TX                                |
| SPER=8                       | SYSTEM->DMAHSCTL.DMACOHS8 = 0: UART4_RX |
|                              | SYSTEM->DMAHSCTL.DMACOHS8 = 1: 浮空       |
| DPER=9                       | SYSTEM->DMAHSCTL.DMACOHS9 = 0: UART4_TX |
|                              | SYSTEM->DMAHSCTL.DMACOHS9 = 1: 浮空       |
| SPER=10                      | 浮空                                      |
| DPER=11                      | 浮空                                      |
| SPER=12                      | 浮空                                      |
| DPER=13                      | 浮空                                      |
| SPER=14                      | SYSTEM->DMAHSCTL.DMACOHS14 = 0: 浮空      |
|                              | SYSTEM->DMAHSCTL.DMACOHS14 = 1: QSPI_RX |
| DPER=15                      | SYSTEM->DMAHSCTL.DMACOHS15 = 0: 浮空      |
|                              | SYSTEM->DMAHSCTL.DMACOHS15 = 1: QSPI_TX |

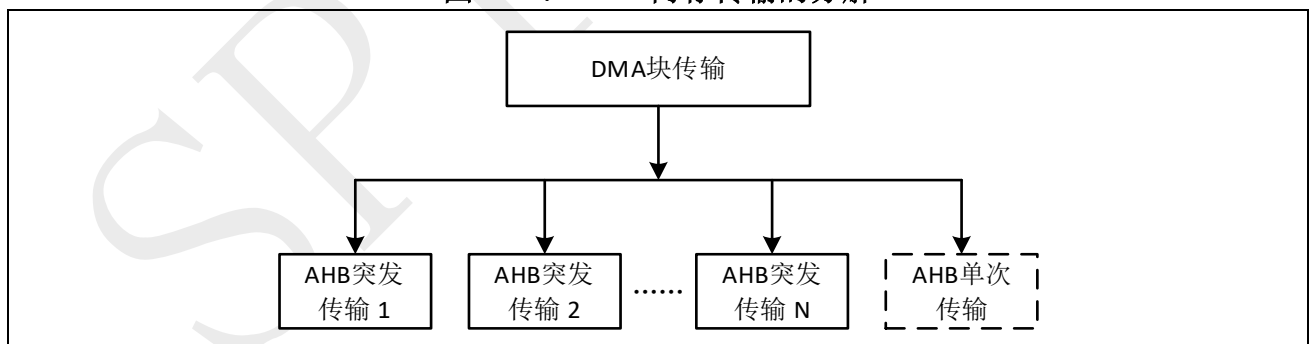
表 22-2: DMAC1 硬件握手接口分配

| DMAC1->DMACH[x].DMACHCFG1 配置 | 硬件握手接口                                  |
|------------------------------|-----------------------------------------|
| SPER=0                       | SPI0_RX                                 |
| DPER=1                       | SPI0_TX                                 |
| SPER=2                       | SPI1_RX                                 |
| DPER=3                       | SPI1_TX                                 |
| SPER=4                       | SPI2_RX                                 |
| DPER=5                       | SPI2_TX                                 |
| SPER=6                       | I2C0_RX                                 |
| DPER=7                       | I2C0_TX                                 |
| SPER=8                       | I2C1_RX                                 |
| DPER=9                       | SYSTEM->DMAHSCTL.DMAC1HS9 = 0: I2C1_TX  |
| SPER=9                       | SYSTEM->DMAHSCTL.DMAC1HS9 = 1: 浮空       |
| SPER=10                      | SYSTEM->DMAHSCTL.DMAC1HS10 = 0: I2C2_RX |
|                              | SYSTEM->DMAHSCTL.DMAC1HS10 = 1: 浮空      |
| DPER=11                      | SYSTEM->DMAHSCTL.DMAC1HS11 = 0: I2C2_TX |
| SPER=11                      | SYSTEM->DMAHSCTL.DMAC1HS11 = 1: 浮空      |
| SPER=12                      | 浮空                                      |
| SPER=13                      | ADC0_DMARESULT                          |
| SPER=14                      | ADC1_DMARESULT                          |
| SPER=15                      | ADC2_DMARESULT                          |

### 22.2.3 内存到内存传输

DMA 仅支持单块传输，块数可以通过编程 DMACHCTL1.BLKTS 进行配置。对于 DMA 和内存之间的传输，块数据传输会直接分解成一系列突发和单次传输，如图 22-2 所示。

图 22-2: DMA 内存传输的分解



#### 示例: DMA 在两个不同内存区域之间的传输

请参照下面的步骤使用 DMA 通道 0 将 12 字节数据从 0x1FFFC000 传输到 0x1FFFD000:

- 通过将 DMAEN 设置为 1 来启用 DMA 模块;
- 配置通道 0
  - 将源地址 DMACHSA 设置为 0x1FFFC000;
  - 将目的地址 DMACHDA 设置为 0x1FFFD000;
  - 通过将 DMACHCTL0.SINC 设置为 0 来设置源地址为递增步进;
  - 通过将 DMACHCTL0.DINC 设置为 0 来设置目标地址为递增步进;

- 通过将 DMACHCTL0.TT 设置为 0 将传输类型设置为内存到内存；
- 通过将 DMACHCTL0.IE 设置为 1 来启用通道中断；
- 通过将 DMACHCTL0.SWIDTH 和 DMACHCTL0.DWIDTH 设置为 0 将传输位段设置为字节；
- 通过将 DMACHCTL1.BLKTS 设置为 12 来设置总块传输大小；
- 通过将 0x101 写入 DMACHIE 启用通道 0 传输完成中断；
- 通过将 0x101 写入 DMACHEN 启动传输。

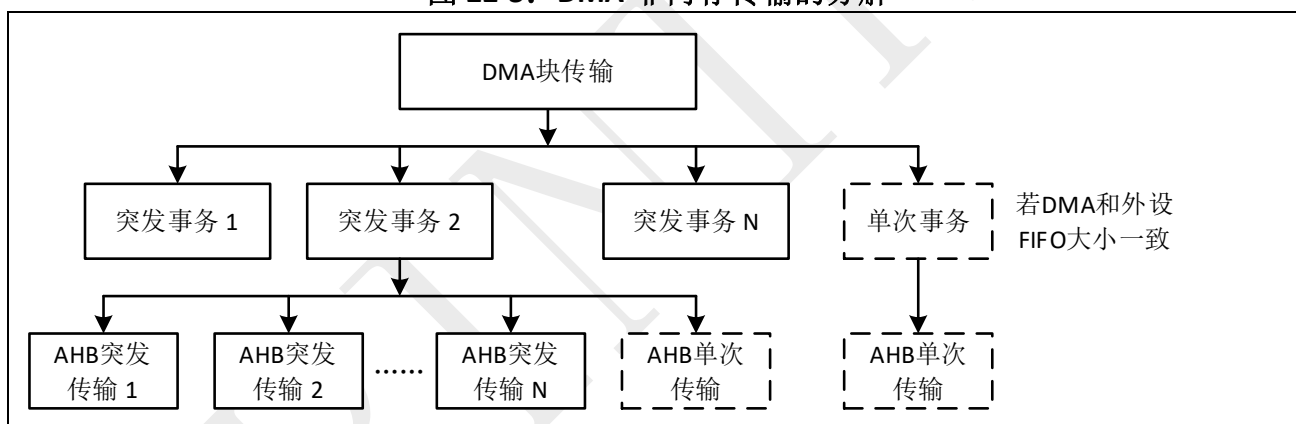
#### 22.2.4 内存到外设和外设到内存传输

内存到外设和外设到内存是非内存传输。如图 22-3 所示，对于 DMA 和外设之间的传输，块被分成多个事务（单次或突发），每个事务由外设发起请求。然后，每个事务都转换为 AHB 传输（单个或突发）到非内存外设。

DMA 控制器的突发事务长度由源和目的地的 `DMACHCTL0.SSIZE / DSIZE` 定义。它是每个 DMA 请求要传输的数据项（例如 FIFO 条目）的数量。应考虑 DMA 和外设的 FIFO 大小来确定突发事务长度，以避免 FIFO 上溢或下溢。

在 SPC1185 中，内存到外设的 DMA 传输包括 UART、SPI、QSPI、I2C 的发送数据；外设到内存的 DMA 传输包括 UART、SPI、QSPI、I2C 的接收数据以及 ADC 的运算结果。

图 22-3: DMA 非内存传输的分解



### 示例：内存和 UART0 之间的 DMA 传输

请参照下面的步骤使用 DMAC0 进行内存与 UART0 之间 16 个字节的数据传输:

- 通过将 DMAEN 设置为 1 来启用 DMAC0 模块；
- 配置 UART0 以支持 DMA 传输：
  - 通过 UARTCTL 寄存器启用传输、DMA 接口和 32 位总线；
  - 通过设置 UARTRXTH 为 3 将接收 FIFO 设为存放了 4 个字后触发 DMA 传输请求；
  - 通过设置 UARTTXTH 为 0 将发送 FIFO 设为如果空就触发 DMA 传输请求；
- 配置 DMAC0 通道 0 用于 UART0 数据接收：
  - 将源地址 DMACHSA 设置为 UART0 FIFO 接口的地址（即 UARTDAT 寄存器的地址）；
  - 将目标地址 DMACHDA 设置为内存区域 0 的起始地址；
  - 通过将 DMACHCTL0.SINC 设置为 2，将源地址设置为不变；
  - 通过将 DMACHCTL0.DINC 设置为 0，将目的地址设置为递增步进；
  - 通过将 DMACHCTL0.TT 设置为 2，将传输类型设置为从外设到内存；
  - 通过将 DMACHCTL0.IE 设置为 1，使能通道中断；

- 通过将 DMACHCTL0.SWIDTH 和 DMACHCTL0.DWIDTH 设置为 2，将传输设置为字传输；
- 通过将 DMACHCTL1.BLKTS 设置为 4，设置整个块传输的大小为 4 个字（16 字节）；
- 通过将 DMACHCFG0.SSWHS 设置为 0，使能硬件握手；
- 通过将 DMACHCFG0.SHSPOL 设置为 1，将硬件握手极性设置为高电平；
- 通过将 DMACHCFG1.SPER 设置为 0，将硬件握手接口设置为 UART0\_RX；
- 配置 DMAC0 通道 1 用于 UART0 数据发送：
  - 将源地址 DMACHSA 设置为内存区域 1 的起始地址；
  - 将目的地址 DMACHDA 设置为 UART0 FIFO 接口的地址（即 UARTDAT 寄存器）；
  - 通过设置 DMACHCTL0.SINC 为 0，将源地址设置为递增步进；
  - 通过设置 DMACHCTL0.DINC 为 2，将目的地址设置为冻结；
  - 通过设置 DMACHCTL0.TT 为 1，将传输类型设置为从内存到外设；
  - 通过设置 DMACHCTL0.IE 为 1，启用通道中断；
  - 通过将 DMACHCTL0.SWIDTH 和 DMACHCTL0.DWIDTH 设置为 2，将传输设置为字传输；
  - 通过设置 DMACHCTL1.BLKTS 为 4，设置总块传输大小为 4 个字（16 字节）；
  - 通过将 DMACHCFG0.DSWHS 设置为 0，使能硬件握手；
  - 通过将 DMACHCFG0.DHSPOL 设置为 1，将硬件握手极性设置为高电平；
  - 通过将 DMACHCFG1.DPER 设置为 1，将硬件握手接口设置为 UART0\_TX；
- 通过将 0x303 写入 DMACHIE 启用通道 0 和 1 传输完成中断；
- 通过将 0x303 写入 DMACHEN 启动通道 0 和 1 的传输。

### 22.2.5 外设到外设的传输

DMA 通过对外设到外设传输的支持，为各个外设之间提供了一个物理通信通道。需要注意的是，SPC1185 提供两个 DMA 控制器，只有从属于同一个 DMA 控制器的外设之间才能实现直接的相互传输。

#### 示例：UART0 和 UART1 之间的 DMA 传输

请参照下面的步骤使用 DMAC0 进行 UART0 和 UART1 之间 16 个字节的数据传输：

- 通过将 DMAEN 设置为 1 来启用 DMAC0 模块；
- 配置 UART0 以支持 DMA 数据发送：
  - 通过 UARTCTL 寄存器启用发送器、DMA 发送接口和 32 位总线；
  - 通过设置 UARCTXTH 为 0 将发送 FIFO 设为如果空就触发 DMA 传输请求；
- 配置 UART1 以支持 DMA 数据接收：
  - 通过 UARTCTL 寄存器启用接收器、DMA 接收接口和 32 位总线；
  - 通过设置 UARTRXTH 为 3 将接收 FIFO 设为存放了 4 个字后触发 DMA 传输请求；
- 配置 DMAC0 通道 0，用于将 UART1 接收到的数据通过 UART0 发送：
  - 将 UART1 FIFO 接口地址（即 UARTDAT 寄存器）设置为源地址 DMACHSA；
  - 将 UART0 FIFO 接口地址（即 UARTDAT 寄存器）设置为目的地址 DMACHDA；
  - 通过设置 DMACHCTL0.SINC 为 2，将源地址设置为保持不变；
  - 通过设置 DMACHCTL0.DINC 为 2，将目的地址设置为保持不变；
  - 通过将 DMACHCTL0.TT 设置为 3，将传输类型设置为从外设到外设；
  - 通过将 DMACHCTL0.IE 设置为 1，启用通道中断；
  - 通过将 DMACHCTL0.SWIDTH 和 DMACHCTL0.DWIDTH 设置为 2，将传输设置为字传输；

- 通过将 DMACHCTL1.BLKTS 设置为 4，设置整个块传输的大小为 4 个字（16 字节）；
  - 通过将 DMACHCFG0.SSWHS 和 DMACHCFG0.DSWHS 设置为 0，启用硬件握手；
  - 通过将 DMACHCFG0.SHSPOL 和 DMACHCFG0.DHSPOL 设置为 1，设置硬件握手极性为高电平；
  - 通过将 DMACHCFG1.SPER 设置为 2，将源硬件握手接口设置为 UART1\_RX。
  - 通过将 DMACHCFG1.DPER 设置为 1，将目的硬件握手接口设置为 UART0\_TX。
- 通过将 0x101 写入 DMACHIE 启用通道 0 传输完成中断；
  - 通过将 0x101 写入 DMACHEN 启动通道 0 传输。

## 22.3 AHB 传输错误处理

发生 AHB 传输错误（例如访问了不可读写的地址，使得 AHB 从设备返回 ERROR 响应）时，会发生以下操作：

- 正在进行的 DMA 传输会立即停止；
- 相关通道被禁用；
- 如果启用了中断，将会发出一个中断请求。

如果多个通道被启用，仅有检测到 AHB 错误的通道会被禁用。FIFO 的内容将变得不可访问，并在重新启用通道以开始新的传输时被覆盖。

硬件上没有自动从错误发生点恢复传输的支持，用户必须重新初始化完整的块传输才能成功完成数据传输。DMA 控制器不使用硬件握手接口来指示错误发生或传输结束。因此，如果外设的请求在发生错误时处于活动状态，则 DMA 不会自动将其停用。同理，硬件握手接口在出现错误中断时也需要由软件重置或重新初始化。换言之，在重新启用通道之前，用户需要通过关闭并重启外设 DMA 接口等方法让 DMA 硬件握手请求信号变低。



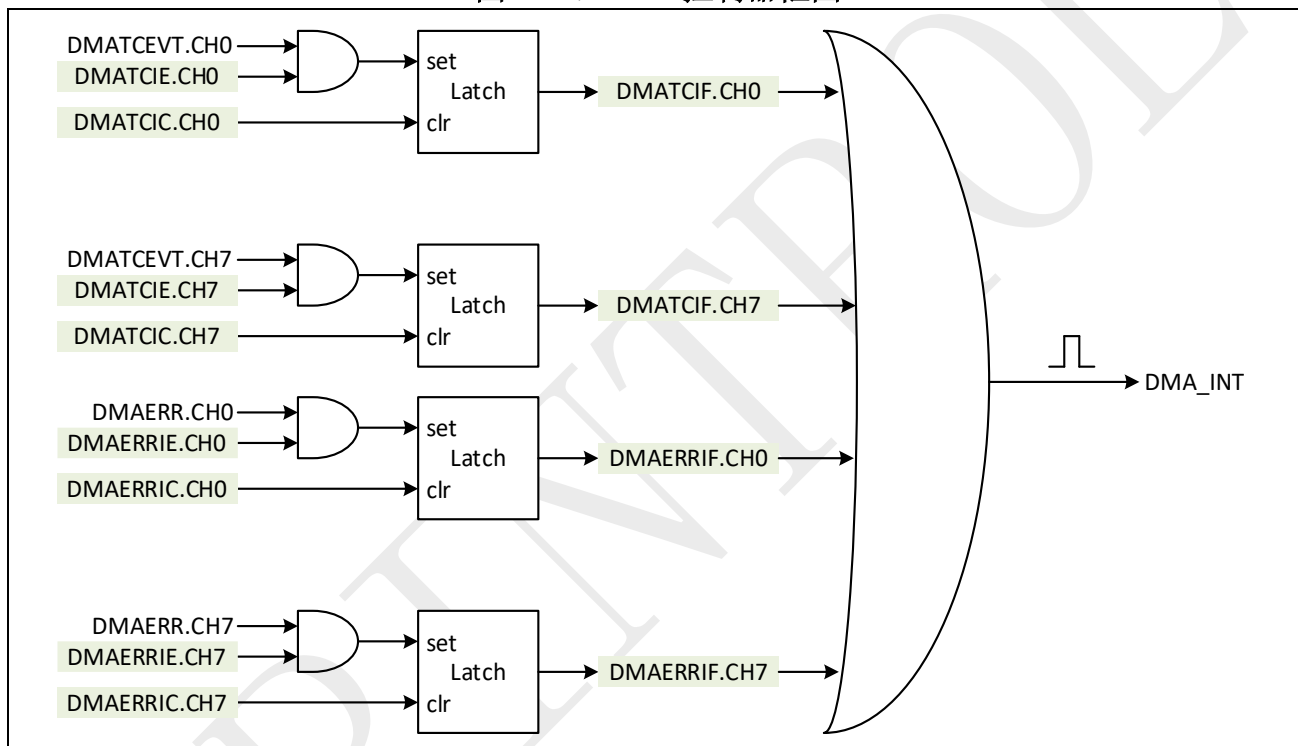
## 22.4 中断处理

当通道 x 的 DMA 传输完成时，事件会锁存到 DMATCRAWIF.CHx。如果通过将 DMATCIE.CHx 设置为 1 启用，可以生成中断请求并锁存到 DMATCIF.CHx。写入 1 到 DMATCIC 会清除 DMATCRAWIF.CHx 和 DMATCIF.CHx。

在 DMA 通道 x 传输期间，如果从 AHB 从设备收到 ERROR 响应时，DMA 传输将被取消并禁用该通道。该事件会锁存到 DMAERRRAWIF.CHx。如果通过将 DMAERRIE.CHx 设置为 1 启用，可以生成中断请求并锁存到 DMAERRIF.CHx。写入 1 到 DMAERRIC 会清除 DMAERRRAWIF.CHx 和 DMAERRIF.CHx。

如图 22-4 所示，中断标志位通过或运算后，合并成一个中断信号送给 CPU。

图 22-4: DMA 控制器框图



## 22.5 寄存器

### 22.5.1 DMACH 寄存器列表

表 22-3: DMACH 模块基地址

| 外设模块                   | 基地址         |
|------------------------|-------------|
| DMA0CH0 <sup>[1]</sup> | 0x4000 7400 |
| DMA0CH1 <sup>[1]</sup> | 0x4000 7458 |
| DMA0CH2 <sup>[1]</sup> | 0x4000 74B0 |
| DMA0CH3 <sup>[1]</sup> | 0x4000 7508 |
| DMA0CH4 <sup>[1]</sup> | 0x4000 7560 |
| DMA0CH5 <sup>[1]</sup> | 0x4000 75B8 |
| DMA0CH6 <sup>[1]</sup> | 0x4000 7610 |
| DMA0CH7 <sup>[1]</sup> | 0x4000 7668 |
| DMA1CH0 <sup>[2]</sup> | 0x4000 7800 |
| DMA1CH1 <sup>[2]</sup> | 0x4000 7858 |
| DMA1CH2 <sup>[2]</sup> | 0x4000 78B0 |
| DMA1CH3 <sup>[2]</sup> | 0x4000 7808 |
| DMA1CH4 <sup>[2]</sup> | 0x4000 7860 |
| DMA1CH5 <sup>[2]</sup> | 0x4000 78B8 |
| DMA1CH6 <sup>[2]</sup> | 0x4000 7810 |
| DMA1CH7 <sup>[2]</sup> | 0x4000 7868 |

[1] 可以通过 DMAC0->DMACH[0] ~ DMAC0->DMACH[7]访问；

[2] 可以通过 DMAC1->DMACH[0] ~ DMAC1->DMACH[7]访问。

表 22-4: DMACH 寄存器列表

| 寄存器                       | 偏移地址   | 描述            | 复位值        |
|---------------------------|--------|---------------|------------|
| <a href="#">DMACHSA</a>   | 0x0000 | DMA 通道源地址寄存器  | 0x00000000 |
| <a href="#">DMACHDA</a>   | 0x0008 | DMA 通道目的地址寄存器 | 0x00000000 |
| <a href="#">DMACHCTL0</a> | 0x0018 | DMA 通道控制寄存器 0 | 0x00304801 |
| <a href="#">DMACHCTL1</a> | 0x001C | DMA 通道控制寄存器 1 | 0x00000002 |
| <a href="#">DMACHCFG0</a> | 0x0040 | DMA 通道配置寄存器 0 | 0x00000E00 |
| <a href="#">DMACHCFG1</a> | 0x0044 | DMA 通道配置寄存器 1 | 0x00000004 |



## 22.5.2 DMACH 寄存器

### 22.5.2.1 DMA 通道源地址寄存器（DMACHSA）

表 22-5：DMA 通道源地址寄存器（DMACHSA）位段定义

| DMACHSA (DMA Channel Source Address Register)                   |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: DMACH->DMACHSA    Offset: 0x0000    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| ADDR                                                            |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ADDR                                                            |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| ADDR                                                            |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| ADDR                                                            |    |    |    |    |    |    |    |

表 22-6：DMA 通道源地址寄存器（DMACHSA）位段描述

| 位段   | 位段名  | 属性 | 复位值 | 描述                                                                                |
|------|------|----|-----|-----------------------------------------------------------------------------------|
| 31:0 | ADDR | RW | 0x0 | 当前 DMA 传输源地址<br>本寄存器只能写入一个按 DMACHCTL0.SWIDTH 对齐的地址<br>每次源端传输后按照 DMACHCTL0.SINC 更新 |

### 22.5.2.2 DMA 通道源地址寄存器（DMACHDA）

表 22-7：DMA 通道源地址寄存器（DMACHDA）位段定义

| DMACHDA (DMA Channel Destination Address Register)              |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: DMACH->DMACHDA    Offset: 0x0008    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| ADDR                                                            |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| ADDR                                                            |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| ADDR                                                            |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| ADDR                                                            |    |    |    |    |    |    |    |

表 22-8：DMA 通道源地址寄存器（DMACHDA）位段描述

| 位段   | 位段名  | 属性 | 复位值 | 描述                                                                                  |
|------|------|----|-----|-------------------------------------------------------------------------------------|
| 31:0 | ADDR | RW | 0x0 | 当前 DMA 传输目的地址<br>本寄存器只能写入一个按 DMACHCTL0.DWIDTH 对齐的地址<br>每次目的端传输后按照 DMACHCTL0.DINC 更新 |

### 22.5.2.3 DMA 通道控制寄存器 0 (DMACHCTL0)

表 22-9: DMA 通道控制寄存器 0 (DMACHCTL0) 位段定义

| DMACHCTL0 (DMA Channel Control Register 0) |        |       |          |                |       |                     |      |
|--------------------------------------------|--------|-------|----------|----------------|-------|---------------------|------|
| Access: DMACH->DMACHCTL0                   |        |       |          | Offset: 0x0018 |       | Default: 0x00304801 |      |
| 31                                         | 30     | 29    | 28       | 27             | 26    | 25                  | 24   |
| RESERVED                                   |        |       |          |                |       |                     |      |
| 23                                         | 22     | 21    | 20       | 19             | 18    | 17                  | 16   |
| RESERVED                                   | TT     |       | RESERVED |                | SSIZE |                     |      |
| 15                                         | 14     | 13    | 12       | 11             | 10    | 9                   | 8    |
| SSIZE                                      |        | DSIZE |          |                | SINC  |                     | DINC |
| 7                                          | 6      | 5     | 4        | 3              | 2     | 1                   | 0    |
| DINC                                       | SWIDTH |       |          | DWIDTH         |       |                     | IE   |

表 22-10: DMA 通道控制寄存器 0 (DMACHCTL0) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                            |
|-------|----------------|----|-----|-------------------------------------------------------------------------------------------------------------------------------|
| 31:23 | RESERVED_31_23 | RO | 0x0 | 保留                                                                                                                            |
| 22:20 | TT             | RW | 0x3 | 传输类型<br>0: 内存到内存, DMAC 为流控制器<br>1: 内存到外设, DMAC 为流控制器<br>2: 外设到内存, DMAC 为流控制器<br>3: 外设到外设, DMAC 为流控制器                          |
| 19    | RESERVED_19_17 | RO | 0x0 | 保留                                                                                                                            |
| 16:14 | SSIZE          | RW | 0x1 | 源突发事务长度<br>即每个源突发事务请求读取的宽度为 SWIDTH 的数据个数<br>注意: 本位段与 AHB 主机 HBURST 信号无关<br>0: 1 个<br>1: 4 个<br>2: 8 个<br>3: 16 个<br>4: 32 个   |
| 13:11 | DSIZE          | RW | 0x1 | 目的突发事务长度<br>即每个目的突发事务请求写入的宽度为 DWDITH 的数据个数<br>注意: 本位段与 AHB 主机 HBURST 信号无关<br>0: 1 个<br>1: 4 个<br>2: 8 个<br>3: 16 个<br>4: 32 个 |
| 10:9  | SINC           | RW | 0x0 | 每次传输后的源地址步进大小                                                                                                                 |

| 位段  | 位段名    | 属性 | 复位值 | 描述                                                                                |
|-----|--------|----|-----|-----------------------------------------------------------------------------------|
|     |        |    |     | 0: 递增到下一个 SWIDTH 位宽对齐的地址<br>1: 递减到上一个 SWIDTH 位宽对齐的地址<br>2: 保持不变                   |
| 8:7 | DINC   | RW | 0x0 | 每次传输后的目的地址步进大小<br>0: 递增到下一个 DWIDTH 位宽对齐的地址<br>1: 递减到上一个 DWIDTH 位宽对齐的地址<br>2: 保持不变 |
| 6:4 | SWIDTH | RW | 0x0 | 源传输位宽<br>对于非内存外设，通常设为 FIFO 接口位宽<br>0: 字节（8 位）<br>1: 半字（16 位）<br>2: 字（32 位）        |
| 3:1 | DWIDTH | RW | 0x0 | 目的传输位宽<br>对于非内存外设，通常设为 FIFO 接口位宽<br>0: 字节（8 位）<br>1: 半字（16 位）<br>2: 字（32 位）       |
| 0   | IE     | RW | 0x1 | 中断使能<br>本位段不影响中断原始事件标志的产生<br>0: 关闭<br>1: 使能                                       |

## 22.5.2.4 DMA 通道控制寄存器 1 (DMACHCTL1)

表 22-11: DMA 通道控制寄存器 1 (DMACHCTL1) 位段定义

| DMACHCTL1 (DMA Channel Control Register 1) |    |    |    |                |    |                     |    |
|--------------------------------------------|----|----|----|----------------|----|---------------------|----|
| Access: DMACH->DMACHCTL1                   |    |    |    | Offset: 0x001C |    | Default: 0x00000002 |    |
| 31                                         | 30 | 29 | 28 | 27             | 26 | 25                  | 24 |
| RESERVED                                   |    |    |    |                |    |                     |    |
| 23                                         | 22 | 21 | 20 | 19             | 18 | 17                  | 16 |
| RESERVED                                   |    |    |    |                |    |                     |    |
| 15                                         | 14 | 13 | 12 | 11             | 10 | 9                   | 8  |
| RESERVED                                   |    |    |    | BLKTS          |    |                     |    |
| 7                                          | 6  | 5  | 4  | 3              | 2  | 1                   | 0  |
| BLKTS                                      |    |    |    |                |    |                     |    |

表 22-12: DMA 通道控制寄存器 1 (DMACHCTL1) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                    |
|-------|----------------|----|-----|-----------------------------------------------------------------------------------------------------------------------|
| 31:12 | RESERVED_31_12 | RO | 0x0 | 保留                                                                                                                    |
| 11:0  | BLKTS          | RW | 0x2 | <p>块传输大小<br/>即每个块传输所需的单次事务的总数<br/>单次事务映射为单次 AMBA 总线操作，其位宽由 DMACHCTL0 寄存器 SWIDTH 或 DWIDTH 位段指定。<br/>本位段必须在通道使能前配置。</p> |

## 22.5.2.5 DMA 通道配置寄存器 0 (DMACHCFG0)

表 22-13: DMA 通道配置寄存器 0 (DMACHCFG0) 位段定义

| DMACHCFG0 (DMA Channel Configure Register 0) |    |    |          |                |        |                     |         |
|----------------------------------------------|----|----|----------|----------------|--------|---------------------|---------|
| Access: DMACH->DMACHCFG0                     |    |    |          | Offset: 0x0040 |        | Default: 0x00000E00 |         |
| 31                                           | 30 | 29 | 28       | 27             | 26     | 25                  | 24      |
| RESERVED                                     |    |    |          |                |        |                     |         |
| 23                                           | 22 | 21 | 20       | 19             | 18     | 17                  | 16      |
| RESERVED                                     |    |    |          | SHSPOL         | DHSPOL | RESERVED            |         |
| 15                                           | 14 | 13 | 12       | 11             | 10     | 9                   | 8       |
| RESERVED                                     |    |    |          | SSWHS          | DSWHS  | FIFOEMPTY           | SUSPEND |
| 7                                            | 6  | 5  | 4        | 3              | 2      | 1                   | 0       |
| PRIORITY                                     |    |    | RESERVED |                |        |                     |         |

表 22-14: DMA 通道配置寄存器 0 (DMACHCFG0) 位段描述

| 位段  | 位段名            | 属性 | 复位值 | 描述                                                                                                     |
|-----|----------------|----|-----|--------------------------------------------------------------------------------------------------------|
| 31  | RESERVED_31_20 | RO | 0x0 | 保留                                                                                                     |
| 19  | SHSPOL         | RW | 0x0 | 源硬件握手信号极性<br>0: 低电平有效<br>1: 高电平有效                                                                      |
| 18  | DHSPOL         | RW | 0x0 | 目的硬件握手信号极性<br>0: 低电平有效<br>1: 高电平有效                                                                     |
| 17  | RESERVED_17_12 | RW | 0x0 | 保留                                                                                                     |
| 11  | SSWHS          | RW | 0x1 | 源握手方式，源为内存时忽略本位段<br>0: 硬件握手<br>1: 软件握手                                                                 |
| 10  | DSWHS          | RW | 0x1 | 目的握手方式，目的为内存时忽略本位段<br>0: 硬件握手<br>1: 软件握手                                                               |
| 9   | FIFOEMPTY      | RO | 0x1 | 指示 FIFO 是否为空，与 SUSPEND 位段配合可以干净地关闭一个通道<br>0: FIFO 非空（有数据）<br>1: FIFO 空（没有数据）                           |
| 8   | SUSPEND        | RW | 0x0 | 通道暂停<br>暂停 DMA 数据传输，直到该位被清除。暂停操作无法保证当前事务会完成。可以与 FIFOEMPTY 位结合使用，以在不丢失任何数据的情况下完全禁用通道。<br>0: 运行<br>1: 暂停 |
| 7:5 | PRIORITY       | RW | 0x0 | 通道优先级：值越大，优先级越高                                                                                        |
| 4:0 | RESERVED_4_0   | RO | 0x0 | 保留                                                                                                     |

## 22.5.2.6 DMA 通道配置寄存器 1 (DMACHCFG1)

表 22-15: DMA 通道配置寄存器 1 (DMACHCFG1) 位段定义

| DMACHCFG1 (DMA Channel Configure Register 1)                      |          |    |         |    |      |        |          |
|-------------------------------------------------------------------|----------|----|---------|----|------|--------|----------|
| Access: DMACH->DMACHCFG1    Offset: 0x0044    Default: 0x00000004 |          |    |         |    |      |        |          |
| 31                                                                | 30       | 29 | 28      | 27 | 26   | 25     | 24       |
| RESERVED                                                          |          |    |         |    |      |        |          |
| 23                                                                | 22       | 21 | 20      | 19 | 18   | 17     | 16       |
| RESERVED                                                          |          |    |         |    |      |        |          |
| 15                                                                | 14       | 13 | 12      | 11 | 10   | 9      | 8        |
| RESERVED                                                          | DPER     |    |         |    | SPER |        |          |
| 7                                                                 | 6        | 5  | 4       | 3  | 2    | 1      | 0        |
| SPER                                                              | RESERVED |    | PROTCTL |    |      | FIFOTH | RESERVED |

表 22-16: DMA 通道配置寄存器 1 (DMACHCFG1) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                                   |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:15 | RESERVED_31_15 | RO | 0x0 | 保留                                                                                                                                                                   |
| 14:11 | DPER           | RW | 0x0 | 通过硬件握手接口交互的目的外设<br>DMACHCFG0.DSWHS=1 时忽略本位段<br>具体选项详见 <a href="#">章节 22.2.2</a>                                                                                      |
| 10:7  | SPER           | RW | 0x0 | 通过硬件握手接口交互的源外设<br>DMACHCFG0.SSWHS=1 时忽略本位段<br>具体选项详见 <a href="#">章节 22.2.2</a>                                                                                       |
| 6:5   | RESERVED_6_5   | RW | 0x0 | 保留                                                                                                                                                                   |
| 4:2   | PROTCTL        | RW | 0x1 | 设置 AHB 信号 HPROT[3:1]的值<br>因为 DMA 只用于数据访问而不是指令读取，所以 HPROT[0]始终为 1                                                                                                     |
| 1     | FIFOTH         | RW | 0x0 | 设定服务突发事务时 FIFO 内的数据个数<br>0: 只要 FIFO 里有指定位宽的单次 AHB 传输所需的数据（目的事务）或者空位（源事务）就开始传输<br>1: FIFO 中用于目的传输的数据不小于 FIFO 容量的一半或者 FIFO 中用于源传输的空位大于 FIFO 容量的一半，除非是突发事务或者块传输的最后一次传输。 |
| 0     | RESERVED_0     | RO | 0x0 | 保留                                                                                                                                                                   |

### 22.5.3 DMAC 寄存器列表

表 22-17: DMAC 模块基地址

| 外设模块  | 基地址         |
|-------|-------------|
| DMAC0 | 0x4000 7400 |
| DMAC1 | 0x4000 7800 |

表 22-18: DMAC 寄存器列表

| 寄存器                         | 偏移地址   | 描述                     | 复位值        |
|-----------------------------|--------|------------------------|------------|
| <a href="#">DMATCRAWIF</a>  | 0x02C0 | DMA 传输完成中断原始事件标志寄存器    | 0x00000000 |
| <a href="#">DMABTCRAWIF</a> | 0x02C8 | DMA 块传输完成中断原始事件标志寄存器   | 0x00000000 |
| <a href="#">DMASTCRAWIF</a> | 0x02D0 | DMA 源端传输完成中断原始事件标志寄存器  | 0x00000000 |
| <a href="#">DMADTCRAWIF</a> | 0x02D8 | DMA 目的端传输完成中断原始事件标志寄存器 | 0x00000000 |
| <a href="#">DMAERRRAWIF</a> | 0x02E0 | DMA 总线错误中断原始事件标志寄存器    | 0x00000000 |
| <a href="#">DMATCIF</a>     | 0x02E8 | DMA 传输完成中断标志寄存器        | 0x00000000 |
| <a href="#">DMABTCIF</a>    | 0x02F0 | DMA 块传输完成中断标志寄存器       | 0x00000000 |
| <a href="#">DMASTCIF</a>    | 0x02F8 | DMA 源端传输完成中断标志寄存器      | 0x00000000 |
| <a href="#">DMADTCIF</a>    | 0x0300 | DMA 目的端传输完成中断标志寄存器     | 0x00000000 |
| <a href="#">DMAERRIF</a>    | 0x0308 | DMA 总线错误中断标志寄存器        | 0x00000000 |
| <a href="#">DMATCIE</a>     | 0x0310 | DMA 传输完成中断使能寄存器        | 0x00000000 |
| <a href="#">DMABTCIE</a>    | 0x0318 | DMA 块传输完成中断使能寄存器       | 0x00000000 |
| <a href="#">DMASTCIE</a>    | 0x0320 | DMA 源端传输完成中断使能寄存器      | 0x00000000 |
| <a href="#">DMADTCIE</a>    | 0x0328 | DMA 目的端传输完成中断使能寄存器     | 0x00000000 |
| <a href="#">DMAERRIE</a>    | 0x0330 | DMA 总线错误中断使能寄存器        | 0x00000000 |
| <a href="#">DMATCIC</a>     | 0x0338 | DMA 传输完成中断清除寄存器        | 0x00000000 |
| <a href="#">DMABTCIC</a>    | 0x0340 | DMA 块传输完成中断清除寄存器       | 0x00000000 |
| <a href="#">DMASTCIC</a>    | 0x0348 | DMA 源端传输完成中断清除寄存器      | 0x00000000 |
| <a href="#">DMADTCIC</a>    | 0x0350 | DMA 目的端传输完成中断清除寄存器     | 0x00000000 |
| <a href="#">DMAERRIC</a>    | 0x0358 | DMA 总线错误中断清除寄存器        | 0x00000000 |
| <a href="#">DMAIF</a>       | 0x0360 | DMA 组合中断标志寄存器          | 0x00000000 |
| <a href="#">DMASSREQ</a>    | 0x0368 | DMA 源端软件事务请求寄存器        | 0x00000000 |
| <a href="#">DMADSREQ</a>    | 0x0370 | DMA 目的端软件事务请求寄存器       | 0x00000000 |
| <a href="#">DMASSSREQ</a>   | 0x0378 | DMA 源端软件事务单次请求寄存器      | 0x00000000 |
| <a href="#">DMADSSREQ</a>   | 0x0380 | DMA 目的端软件事务单次请求寄存器     | 0x00000000 |
| <a href="#">DMASSLREQ</a>   | 0x0388 | DMA 源端软件事务末次请求寄存器      | 0x00000000 |
| <a href="#">DMADSLREQ</a>   | 0x0390 | DMA 目的端软件事务末次请求寄存器     | 0x00000000 |
| <a href="#">DMAEN</a>       | 0x0398 | DMA 使能寄存器              | 0x00000000 |
| <a href="#">DMACHEN</a>     | 0x03A0 | DMA 通道使能寄存器            | 0x00000000 |

## 22.5.4 DMAC 寄存器

### 22.5.4.1 DMA 传输完成中断原始事件标志寄存器（DMATCRAWIF）

表 22-19: DMA 传输完成中断原始事件标志寄存器（DMATCRAWIF）位段定义

| DMATCRAWIF (DMA Transfer Complete Interrupt Raw Flag Register)    |     |     |     |     |     |     |     |
|-------------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMATCRAWIF    Offset: 0x02C0    Default: 0x00000000 |     |     |     |     |     |     |     |
| 31                                                                | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                          |     |     |     |     |     |     |     |
| 23                                                                | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                          |     |     |     |     |     |     |     |
| 15                                                                | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                          |     |     |     |     |     |     |     |
| 7                                                                 | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                               | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-20: DMA 传输完成中断原始事件标志寄存器（DMATCRAWIF）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                   |
|------|---------------|----|-----|--------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                   |
| 7    | CH7           | RO | 0x0 | 通道 7 传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 6    | CH6           | RO | 0x0 | 通道 6 传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 5    | CH5           | RO | 0x0 | 通道 5 传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 4    | CH4           | RO | 0x0 | 通道 4 传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 3    | CH3           | RO | 0x0 | 通道 3 传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 2    | CH2           | RO | 0x0 | 通道 2 传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 1    | CH1           | RO | 0x0 | 通道 1 传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 0    | CH0           | RO | 0x0 | 通道 0 传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |



## 22.5.4.2 DMA 块传输完成中断原始事件标志寄存器 (DMABTCRAWIF)

表 22-21: DMA 块传输完成中断原始事件标志寄存器 (DMABTCRAWIF) 位段定义

| DMABTCRAWIF (DMA Block Transfer Complete Interrupt Raw Flag Register) |     |     |     |     |     |     |     |
|-----------------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMABTCRAWIF    Offset: 0x02C8    Default: 0x00000000    |     |     |     |     |     |     |     |
| 31                                                                    | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                              |     |     |     |     |     |     |     |
| 23                                                                    | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                              |     |     |     |     |     |     |     |
| 15                                                                    | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                              |     |     |     |     |     |     |     |
| 7                                                                     | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                                   | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-22: DMA 块传输完成中断原始事件标志寄存器 (DMABTCRAWIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                    |
|------|---------------|----|-----|---------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                    |
| 7    | CH7           | RO | 0x0 | 通道 7 块传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 6    | CH6           | RO | 0x0 | 通道 6 块传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 5    | CH5           | RO | 0x0 | 通道 5 块传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 4    | CH4           | RO | 0x0 | 通道 4 块传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 3    | CH3           | RO | 0x0 | 通道 3 块传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 2    | CH2           | RO | 0x0 | 通道 2 块传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 1    | CH1           | RO | 0x0 | 通道 1 块传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 0    | CH0           | RO | 0x0 | 通道 0 块传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |

### 22.5.4.3 DMA 源端传输完成中断原始事件标志寄存器（DMASTCRAWIF）

表 22-23: DMA 源端传输完成中断原始事件标志寄存器（DMASTCRAWIF）位段定义

| DMASTCRAWIF (DMA Source Transfer Complete Interrupt Raw Flag Register) |     |     |     |     |     |     |     |
|------------------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMASTCRAWIF    Offset: 0x02D0    Default: 0x00000000     |     |     |     |     |     |     |     |
| 31                                                                     | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                               |     |     |     |     |     |     |     |
| 23                                                                     | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                               |     |     |     |     |     |     |     |
| 15                                                                     | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                               |     |     |     |     |     |     |     |
| 7                                                                      | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                                    | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-24: DMA 源端传输完成中断原始事件标志寄存器（DMASTCRAWIF）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                     |
|------|---------------|----|-----|----------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                     |
| 7    | CH7           | RO | 0x0 | 通道 7 源端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 6    | CH6           | RO | 0x0 | 通道 6 源端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 5    | CH5           | RO | 0x0 | 通道 5 源端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 4    | CH4           | RO | 0x0 | 通道 4 源端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 3    | CH3           | RO | 0x0 | 通道 3 源端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 2    | CH2           | RO | 0x0 | 通道 2 源端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 1    | CH1           | RO | 0x0 | 通道 1 源端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 0    | CH0           | RO | 0x0 | 通道 0 源端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |

## 22.5.4.4 DMA 目的端传输完成中断原始事件标志寄存器 (DMADTCRAWIF)

表 22-25: DMA 目的端传输完成中断原始事件标志寄存器 (DMADTCRAWIF) 位段定义

| DMADTCRAWIF (DMA Destination Transfer Complete Interrupt Raw Flag Register) |     |     |     |     |     |     |     |
|-----------------------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMADTCRAWIF    Offset: 0x02D8    Default: 0x00000000          |     |     |     |     |     |     |     |
| 31                                                                          | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                                    |     |     |     |     |     |     |     |
| 23                                                                          | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                                    |     |     |     |     |     |     |     |
| 15                                                                          | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                                    |     |     |     |     |     |     |     |
| 7                                                                           | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                                         | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-26: DMA 目的端传输完成中断原始事件标志寄存器 (DMADTCRAWIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                      |
|------|---------------|----|-----|-----------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                      |
| 7    | CH7           | RO | 0x0 | 通道 7 目的端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 6    | CH6           | RO | 0x0 | 通道 6 目的端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 5    | CH5           | RO | 0x0 | 通道 5 目的端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 4    | CH4           | RO | 0x0 | 通道 4 目的端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 3    | CH3           | RO | 0x0 | 通道 3 目的端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 2    | CH2           | RO | 0x0 | 通道 2 目的端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 1    | CH1           | RO | 0x0 | 通道 1 目的端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |
| 0    | CH0           | RO | 0x0 | 通道 0 目的端传输完成事件标志<br>0: 传输未完成<br>1: 传输完成 |

#### 22.5.4.5 DMA 总线访问错误原始标志寄存器 (DMAERRRAWIF)

表 22-27: DMA 总线访问错误原始标志寄存器 (DMAERRRAWIF) 位段定义

| DMAERRRAWIF (DMA Error Interrupt Raw Flag Register) |     |     |     |                |     |                     |     |
|-----------------------------------------------------|-----|-----|-----|----------------|-----|---------------------|-----|
| Access: DMAC->DMAERRRAWIF                           |     |     |     | Offset: 0x02E0 |     | Default: 0x00000000 |     |
| 31                                                  | 30  | 29  | 28  | 27             | 26  | 25                  | 24  |
| RESERVED                                            |     |     |     |                |     |                     |     |
| 23                                                  | 22  | 21  | 20  | 19             | 18  | 17                  | 16  |
| RESERVED                                            |     |     |     |                |     |                     |     |
| 15                                                  | 14  | 13  | 12  | 11             | 10  | 9                   | 8   |
| RESERVED                                            |     |     |     |                |     |                     |     |
| 7                                                   | 6   | 5   | 4   | 3              | 2   | 1                   | 0   |
| CH7                                                 | CH6 | CH5 | CH4 | CH3            | CH2 | CH1                 | CH0 |

表 22-28: DMA 总线访问错误原始标志寄存器 (DMAERRRAWIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                        |
|------|---------------|----|-----|-------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                        |
| 7    | CH7           | RO | 0x0 | 通道 7 总线访问错误事件标志<br>0: 总线访问正常<br>1: 总线访问错误 |
| 6    | CH6           | RO | 0x0 | 通道 6 总线访问错误事件标志<br>0: 总线访问正常<br>1: 总线访问错误 |
| 5    | CH5           | RO | 0x0 | 通道 5 总线访问错误事件标志<br>0: 总线访问正常<br>1: 总线访问错误 |
| 4    | CH4           | RO | 0x0 | 通道 4 总线访问错误事件标志<br>0: 总线访问正常<br>1: 总线访问错误 |
| 3    | CH3           | RO | 0x0 | 通道 3 总线访问错误事件标志<br>0: 总线访问正常<br>1: 总线访问错误 |
| 2    | CH2           | RO | 0x0 | 通道 2 总线访问错误事件标志<br>0: 总线访问正常<br>1: 总线访问错误 |
| 1    | CH1           | RO | 0x0 | 通道 1 总线访问错误事件标志<br>0: 总线访问正常<br>1: 总线访问错误 |
| 0    | CH0           | RO | 0x0 | 通道 0 总线访问错误事件标志<br>0: 总线访问正常<br>1: 总线访问错误 |

## 22.5.4.6 DMA 传输完成中断标志寄存器 (DMATCIF)

表 22-29: DMA 传输完成中断标志寄存器 (DMATCIF) 位段定义

| DMATCIF (DMA Transfer Complete Interrupt Flag Register)        |     |     |     |     |     |     |     |
|----------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMATCIF    Offset: 0x02E8    Default: 0x00000000 |     |     |     |     |     |     |     |
| 31                                                             | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                       |     |     |     |     |     |     |     |
| 23                                                             | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                       |     |     |     |     |     |     |     |
| 15                                                             | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                       |     |     |     |     |     |     |     |
| 7                                                              | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                            | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-30: DMA 传输完成中断标志寄存器 (DMATCIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                    |
|------|---------------|----|-----|---------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                    |
| 7    | CH7           | RO | 0x0 | 通道 7 传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 6    | CH6           | RO | 0x0 | 通道 6 传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 5    | CH5           | RO | 0x0 | 通道 5 传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 4    | CH4           | RO | 0x0 | 通道 4 传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 3    | CH3           | RO | 0x0 | 通道 3 传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 2    | CH2           | RO | 0x0 | 通道 2 传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 1    | CH1           | RO | 0x0 | 通道 1 传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 0    | CH0           | RO | 0x0 | 通道 0 传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |

#### 22.5.4.7 DMA 块传输完成中断标志寄存器 (DMABTCIF)

表 22-31: DMA 块传输完成中断标志寄存器 (DMABTCIF) 位段定义

| DMABTCIF (DMA Block Transfer Complete Interrupt Flag Register)  |     |     |     |     |     |     |     |
|-----------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMABTCIF    Offset: 0x02F0    Default: 0x00000000 |     |     |     |     |     |     |     |
| 31                                                              | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 23                                                              | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 15                                                              | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 7                                                               | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                             | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-32: DMA 块传输完成中断标志寄存器 (DMABTCIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                     |
|------|---------------|----|-----|----------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                     |
| 7    | CH7           | RO | 0x0 | 通道 7 块传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 6    | CH6           | RO | 0x0 | 通道 6 块传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 5    | CH5           | RO | 0x0 | 通道 5 块传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 4    | CH4           | RO | 0x0 | 通道 4 块传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 3    | CH3           | RO | 0x0 | 通道 3 块传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 2    | CH2           | RO | 0x0 | 通道 2 块传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 1    | CH1           | RO | 0x0 | 通道 1 块传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 0    | CH0           | RO | 0x0 | 通道 0 块传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |

## 22.5.4.8 DMA 源端传输完成中断标志寄存器 (DMASTCIF)

表 22-33: DMA 源端传输完成中断标志寄存器 (DMASTCIF) 位段定义

| DMASTCIF (DMA Source Transfer Complete Interrupt Flag Register) |     |     |     |     |     |     |     |
|-----------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMASTCIF    Offset: 0x02F8    Default: 0x00000000 |     |     |     |     |     |     |     |
| 31                                                              | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 23                                                              | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 15                                                              | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 7                                                               | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                             | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-34: DMA 源端传输完成中断标志寄存器 (DMASTCIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                      |
|------|---------------|----|-----|-----------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                      |
| 7    | CH7           | RO | 0x0 | 通道 7 源端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 6    | CH6           | RO | 0x0 | 通道 6 源端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 5    | CH5           | RO | 0x0 | 通道 5 源端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 4    | CH4           | RO | 0x0 | 通道 4 源端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 3    | CH3           | RO | 0x0 | 通道 3 源端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 2    | CH2           | RO | 0x0 | 通道 2 源端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 1    | CH1           | RO | 0x0 | 通道 1 源端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 0    | CH0           | RO | 0x0 | 通道 0 源端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |

## 22.5.4.9 DMA 目的端传输完成中断标志寄存器 (DMADTCIF)

表 22-35: DMA 目的端传输完成中断标志寄存器 (DMADTCIF) 位段定义

| DMADTCIF (DMA Destination Transfer Complete Interrupt Flag Register) |     |     |     |     |     |     |     |
|----------------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMADTCIF    Offset: 0x0300    Default: 0x00000000      |     |     |     |     |     |     |     |
| 31                                                                   | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                             |     |     |     |     |     |     |     |
| 23                                                                   | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                             |     |     |     |     |     |     |     |
| 15                                                                   | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                             |     |     |     |     |     |     |     |
| 7                                                                    | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                                  | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-36: DMA 目的端传输完成中断标志寄存器 (DMADTCIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                       |
|------|---------------|----|-----|------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                       |
| 7    | CH7           | RO | 0x0 | 通道 7 目的端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 6    | CH6           | RO | 0x0 | 通道 6 目的端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 5    | CH5           | RO | 0x0 | 通道 5 目的端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 4    | CH4           | RO | 0x0 | 通道 4 目的端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 3    | CH3           | RO | 0x0 | 通道 3 目的端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 2    | CH2           | RO | 0x0 | 通道 2 目的端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 1    | CH1           | RO | 0x0 | 通道 1 目的端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 0    | CH0           | RO | 0x0 | 通道 0 目的端传输完成中断标志<br>0: 中断未触发<br>1: 中断已触发 |



## 22.5.4.10 DMA 总线访问错误中断标志寄存器 (DMAERRIF)

表 22-37: DMA 总线访问错误中断标志寄存器 (DMAERRIF) 位段定义

| DMAERRIF (DMA Error Interrupt Flag Register)                    |     |     |     |     |     |     |     |
|-----------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMAERRIF    Offset: 0x0308    Default: 0x00000000 |     |     |     |     |     |     |     |
| 31                                                              | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 23                                                              | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 15                                                              | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 7                                                               | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                             | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-38: DMA 总线访问错误中断标志寄存器 (DMAERRIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                      |
|------|---------------|----|-----|-----------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                      |
| 7    | CH7           | RO | 0x0 | 通道 7 总线访问错误中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 6    | CH6           | RO | 0x0 | 通道 6 总线访问错误中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 5    | CH5           | RO | 0x0 | 通道 5 总线访问错误中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 4    | CH4           | RO | 0x0 | 通道 4 总线访问错误中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 3    | CH3           | RO | 0x0 | 通道 3 总线访问错误中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 2    | CH2           | RO | 0x0 | 通道 2 总线访问错误中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 1    | CH1           | RO | 0x0 | 通道 1 总线访问错误中断标志<br>0: 中断未触发<br>1: 中断已触发 |
| 0    | CH0           | RO | 0x0 | 通道 0 总线访问错误中断标志<br>0: 中断未触发<br>1: 中断已触发 |

## 22.5.4.11 DMA 传输完成中断使能寄存器 (DMATCIE)

表 22-39: DMA 传输完成中断使能寄存器 (DMATCIE) 位段定义

| DMATCIE (DMA Transfer Complete Interrupt Enable Register)      |       |       |       |       |       |       |       |
|----------------------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|
| Access: DMAC->DMATCIE    Offset: 0x0310    Default: 0x00000000 |       |       |       |       |       |       |       |
| 31                                                             | 30    | 29    | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                       |       |       |       |       |       |       |       |
| 23                                                             | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                       |       |       |       |       |       |       |       |
| 15                                                             | 14    | 13    | 12    | 11    | 10    | 9     | 8     |
| CH7WE                                                          | CH6WE | CH5WE | CH4WE | CH3WE | CH2WE | CH1WE | CH0WE |
| 7                                                              | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CH7                                                            | CH6   | CH5   | CH4   | CH3   | CH2   | CH1   | CH0   |

表 22-40: DMA 传输完成中断使能寄存器 (DMATCIE) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                      |
|-------|----------------|-----|-----|-------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                                      |
| 15    | CH7WE          | W1S | 0x0 | CH7 位段写使能 (必须与 CH7 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 14    | CH6WE          | W1S | 0x0 | CH6 位段写使能 (必须与 CH6 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 13    | CH5WE          | W1S | 0x0 | CH5 位段写使能 (必须与 CH5 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 12    | CH4WE          | W1S | 0x0 | CH4 位段写使能 (必须与 CH4 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 11    | CH3WE          | W1S | 0x0 | CH3 位段写使能 (必须与 CH3 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 10    | CH2WE          | W1S | 0x0 | CH2 位段写使能 (必须与 CH2 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 9     | CH1WE          | W1S | 0x0 | CH1 位段写使能 (必须与 CH1 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 8     | CH0WE          | W1S | 0x0 | CH0 位段写使能 (必须与 CH0 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |

| 位段 | 位段名 | 属性 | 复位值 | 描述                              |
|----|-----|----|-----|---------------------------------|
| 7  | CH7 | RW | 0x0 | 通道 7 传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 6  | CH6 | RW | 0x0 | 通道 6 传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 5  | CH5 | RW | 0x0 | 通道 5 传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 4  | CH4 | RW | 0x0 | 通道 4 传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 3  | CH3 | RW | 0x0 | 通道 3 传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 2  | CH2 | RW | 0x0 | 通道 2 传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 1  | CH1 | RW | 0x0 | 通道 1 传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 0  | CH0 | RW | 0x0 | 通道 0 传输完成中断使能<br>0: 关闭<br>1: 使能 |

## 22.5.4.12 DMA 块传输完成中断使能寄存器 (DMABTCIE)

表 22-41: DMA 块传输完成中断使能寄存器 (DMABTCIE) 位段定义

| DMABTCIE (DMA Block Transfer Complete Interrupt Enable Register) |       |       |       |       |       |       |       |
|------------------------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|
| Access: DMAC->DMABTCIE    Offset: 0x0318    Default: 0x00000000  |       |       |       |       |       |       |       |
| 31                                                               | 30    | 29    | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                         |       |       |       |       |       |       |       |
| 23                                                               | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                         |       |       |       |       |       |       |       |
| 15                                                               | 14    | 13    | 12    | 11    | 10    | 9     | 8     |
| CH7WE                                                            | CH6WE | CH5WE | CH4WE | CH3WE | CH2WE | CH1WE | CH0WE |
| 7                                                                | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CH7                                                              | CH6   | CH5   | CH4   | CH3   | CH2   | CH1   | CH0   |

表 22-42: DMA 块传输完成中断使能寄存器 (DMABTCIE) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                      |
|-------|----------------|-----|-----|-------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                                      |
| 15    | CH7WE          | W1S | 0x0 | CH7 位段写使能 (必须与 CH7 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 14    | CH6WE          | W1S | 0x0 | CH6 位段写使能 (必须与 CH6 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 13    | CH5WE          | W1S | 0x0 | CH5 位段写使能 (必须与 CH5 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 12    | CH4WE          | W1S | 0x0 | CH4 位段写使能 (必须与 CH4 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 11    | CH3WE          | W1S | 0x0 | CH3 位段写使能 (必须与 CH3 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 10    | CH2WE          | W1S | 0x0 | CH2 位段写使能 (必须与 CH2 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 9     | CH1WE          | W1S | 0x0 | CH1 位段写使能 (必须与 CH1 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 8     | CH0WE          | W1S | 0x0 | CH0 位段写使能 (必须与 CH0 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |

| 位段 | 位段名 | 属性 | 复位值 | 描述                               |
|----|-----|----|-----|----------------------------------|
| 7  | CH7 | RW | 0x0 | 通道 7 块传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 6  | CH6 | RW | 0x0 | 通道 6 块传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 5  | CH5 | RW | 0x0 | 通道 5 块传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 4  | CH4 | RW | 0x0 | 通道 4 块传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 3  | CH3 | RW | 0x0 | 通道 3 块传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 2  | CH2 | RW | 0x0 | 通道 2 块传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 1  | CH1 | RW | 0x0 | 通道 1 块传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 0  | CH0 | RW | 0x0 | 通道 0 块传输完成中断使能<br>0: 关闭<br>1: 使能 |

## 22.5.4.13 DMA 源端传输完成中断使能寄存器（DMASTCIE）

表 22-43: DMA 源端传输完成中断使能寄存器（DMASTCIE）位段定义

| DMASTCIE (DMA Source Transfer Complete Interrupt Enable Register) |       |       |       |       |       |       |       |
|-------------------------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|
| Access: DMAC->DMASTCIE    Offset: 0x0320    Default: 0x00000000   |       |       |       |       |       |       |       |
| 31                                                                | 30    | 29    | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                          |       |       |       |       |       |       |       |
| 23                                                                | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                          |       |       |       |       |       |       |       |
| 15                                                                | 14    | 13    | 12    | 11    | 10    | 9     | 8     |
| CH7WE                                                             | CH6WE | CH5WE | CH4WE | CH3WE | CH2WE | CH1WE | CH0WE |
| 7                                                                 | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CH7                                                               | CH6   | CH5   | CH4   | CH3   | CH2   | CH1   | CH0   |

表 22-44: DMA 源端传输完成中断使能寄存器（DMASTCIE）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                   |
|-------|----------------|-----|-----|----------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                                   |
| 15    | CH7WE          | W1S | 0x0 | CH7 位段写使能（必须与 CH7 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 14    | CH6WE          | W1S | 0x0 | CH6 位段写使能（必须与 CH6 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 13    | CH5WE          | W1S | 0x0 | CH5 位段写使能（必须与 CH5 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 12    | CH4WE          | W1S | 0x0 | CH4 位段写使能（必须与 CH4 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 11    | CH3WE          | W1S | 0x0 | CH3 位段写使能（必须与 CH3 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 10    | CH2WE          | W1S | 0x0 | CH2 位段写使能（必须与 CH2 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 9     | CH1WE          | W1S | 0x0 | CH1 位段写使能（必须与 CH1 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 8     | CH0WE          | W1S | 0x0 | CH0 位段写使能（必须与 CH0 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |

| 位段 | 位段名 | 属性 | 复位值 | 描述                                |
|----|-----|----|-----|-----------------------------------|
| 7  | CH7 | RW | 0x0 | 通道 7 源端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 6  | CH6 | RW | 0x0 | 通道 6 源端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 5  | CH5 | RW | 0x0 | 通道 5 源端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 4  | CH4 | RW | 0x0 | 通道 4 源端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 3  | CH3 | RW | 0x0 | 通道 3 源端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 2  | CH2 | RW | 0x0 | 通道 2 源端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 1  | CH1 | RW | 0x0 | 通道 1 源端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 0  | CH0 | RW | 0x0 | 通道 0 源端传输完成中断使能<br>0: 关闭<br>1: 使能 |

#### 22.5.4.14 DMA 目的端传输完成中断使能寄存器 (DMADTCIE)

表 22-45: DMA 目的端传输完成中断使能寄存器 (DMADTCIE) 位段定义

| DMADTCIE (DMA Destination Transfer Complete Interrupt Enable Register) |       |       |       |       |       |       |       |
|------------------------------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|
| Access: DMAC->DMADTCIE    Offset: 0x0328    Default: 0x00000000        |       |       |       |       |       |       |       |
| 31                                                                     | 30    | 29    | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                               |       |       |       |       |       |       |       |
| 23                                                                     | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                               |       |       |       |       |       |       |       |
| 15                                                                     | 14    | 13    | 12    | 11    | 10    | 9     | 8     |
| CH7WE                                                                  | CH6WE | CH5WE | CH4WE | CH3WE | CH2WE | CH1WE | CH0WE |
| 7                                                                      | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CH7                                                                    | CH6   | CH5   | CH4   | CH3   | CH2   | CH1   | CH0   |

表 22-46: DMA 目的端传输完成中断使能寄存器 (DMADTCIE) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                      |
|-------|----------------|-----|-----|-------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                                      |
| 15    | CH7WE          | W1S | 0x0 | CH7 位段写使能 (必须与 CH7 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 14    | CH6WE          | W1S | 0x0 | CH6 位段写使能 (必须与 CH6 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 13    | CH5WE          | W1S | 0x0 | CH5 位段写使能 (必须与 CH5 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 12    | CH4WE          | W1S | 0x0 | CH4 位段写使能 (必须与 CH4 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 11    | CH3WE          | W1S | 0x0 | CH3 位段写使能 (必须与 CH3 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 10    | CH2WE          | W1S | 0x0 | CH2 位段写使能 (必须与 CH2 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 9     | CH1WE          | W1S | 0x0 | CH1 位段写使能 (必须与 CH1 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 8     | CH0WE          | W1S | 0x0 | CH0 位段写使能 (必须与 CH0 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |



| 位段 | 位段名 | 属性 | 复位值 | 描述                                 |
|----|-----|----|-----|------------------------------------|
| 7  | CH7 | RW | 0x0 | 通道 7 目的端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 6  | CH6 | RW | 0x0 | 通道 6 目的端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 5  | CH5 | RW | 0x0 | 通道 5 目的端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 4  | CH4 | RW | 0x0 | 通道 4 目的端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 3  | CH3 | RW | 0x0 | 通道 3 目的端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 2  | CH2 | RW | 0x0 | 通道 2 目的端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 1  | CH1 | RW | 0x0 | 通道 1 目的端传输完成中断使能<br>0: 关闭<br>1: 使能 |
| 0  | CH0 | RW | 0x0 | 通道 0 目的端传输完成中断使能<br>0: 关闭<br>1: 使能 |

### 22.5.4.15 DMA 总线访问错误中断使能寄存器（DMAERRIE）

表 22-47: DMA 总线访问错误中断使能寄存器（DMAERRIE）位段定义

| DMAERRIE (DMA Error Interrupt Enable Register)                  |       |       |       |       |       |       |       |
|-----------------------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|
| Access: DMAC->DMAERRIE    Offset: 0x0330    Default: 0x00000000 |       |       |       |       |       |       |       |
| 31                                                              | 30    | 29    | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                        |       |       |       |       |       |       |       |
| 23                                                              | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                        |       |       |       |       |       |       |       |
| 15                                                              | 14    | 13    | 12    | 11    | 10    | 9     | 8     |
| CH7WE                                                           | CH6WE | CH5WE | CH4WE | CH3WE | CH2WE | CH1WE | CH0WE |
| 7                                                               | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CH7                                                             | CH6   | CH5   | CH4   | CH3   | CH2   | CH1   | CH0   |

表 22-48: DMA 总线访问错误中断使能寄存器（DMAERRIE）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                   |
|-------|----------------|-----|-----|----------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                                   |
| 15    | CH7WE          | W1S | 0x0 | CH7 位段写使能（必须与 CH7 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 14    | CH6WE          | W1S | 0x0 | CH6 位段写使能（必须与 CH6 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 13    | CH5WE          | W1S | 0x0 | CH5 位段写使能（必须与 CH5 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 12    | CH4WE          | W1S | 0x0 | CH4 位段写使能（必须与 CH4 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 11    | CH3WE          | W1S | 0x0 | CH3 位段写使能（必须与 CH3 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 10    | CH2WE          | W1S | 0x0 | CH2 位段写使能（必须与 CH2 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 9     | CH1WE          | W1S | 0x0 | CH1 位段写使能（必须与 CH1 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |
| 8     | CH0WE          | W1S | 0x0 | CH0 位段写使能（必须与 CH0 位段同时写）<br>0: 写 0 禁止改写，读总是 0<br>1: 写 1 使能改写，本位段自动清零 |

| 位段 | 位段名 | 属性 | 复位值 | 描述                                |
|----|-----|----|-----|-----------------------------------|
| 7  | CH7 | RW | 0x0 | 通道 7 总线访问错误中断使能<br>0: 关闭<br>1: 使能 |
| 6  | CH6 | RW | 0x0 | 通道 6 总线访问错误中断使能<br>0: 关闭<br>1: 使能 |
| 5  | CH5 | RW | 0x0 | 通道 5 总线访问错误中断使能<br>0: 关闭<br>1: 使能 |
| 4  | CH4 | RW | 0x0 | 通道 4 总线访问错误中断使能<br>0: 关闭<br>1: 使能 |
| 3  | CH3 | RW | 0x0 | 通道 3 总线访问错误中断使能<br>0: 关闭<br>1: 使能 |
| 2  | CH2 | RW | 0x0 | 通道 2 总线访问错误中断使能<br>0: 关闭<br>1: 使能 |
| 1  | CH1 | RW | 0x0 | 通道 1 总线访问错误中断使能<br>0: 关闭<br>1: 使能 |
| 0  | CH0 | RW | 0x0 | 通道 0 总线访问错误中断使能<br>0: 关闭<br>1: 使能 |

### 22.5.4.16 DMA 传输完成中断清除寄存器 (DMATCIC)

表 22-49: DMA 传输完成中断清除寄存器 (DMATCIC) 位段定义

| DMATCIC (DMA Transfer Complete Interrupt Clear Register)       |     |     |     |     |     |     |     |
|----------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMATCIC    Offset: 0x0338    Default: 0x00000000 |     |     |     |     |     |     |     |
| 31                                                             | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                       |     |     |     |     |     |     |     |
| 23                                                             | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                       |     |     |     |     |     |     |     |
| 15                                                             | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                       |     |     |     |     |     |     |     |
| 7                                                              | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                            | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-50: DMA 传输完成中断清除寄存器 (DMATCIC) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                             |
|------|---------------|-----|-----|----------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO  | 0x0 | 保留                                                             |
| 7    | CH7           | W1C | 0x0 | 通道 7 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 6    | CH6           | W1C | 0x0 | 通道 6 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 5    | CH5           | W1C | 0x0 | 通道 5 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 4    | CH4           | W1C | 0x0 | 通道 4 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 3    | CH3           | W1C | 0x0 | 通道 3 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 2    | CH2           | W1C | 0x0 | 通道 2 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 1    | CH1           | W1C | 0x0 | 通道 1 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 0    | CH0           | W1C | 0x0 | 通道 0 传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |

## 22.5.4.17 DMA 块传输完成中断清除寄存器 (DMABTCIC)

表 22-51: DMA 块传输完成中断清除寄存器 (DMABTCIC) 位段定义

| DMABTCIC (DMA Block Transfer Complete Interrupt Clear Register) |     |     |     |     |     |     |     |
|-----------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMABTCIC    Offset: 0x0340    Default: 0x00000000 |     |     |     |     |     |     |     |
| 31                                                              | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 23                                                              | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 15                                                              | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 7                                                               | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                             | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-52: DMA 块传输完成中断清除寄存器 (DMABTCIC) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                              |
|------|---------------|-----|-----|-----------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO  | 0x0 | 保留                                                              |
| 7    | CH7           | W1C | 0x0 | 通道 7 块传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 6    | CH6           | W1C | 0x0 | 通道 6 块传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 5    | CH5           | W1C | 0x0 | 通道 5 块传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 4    | CH4           | W1C | 0x0 | 通道 4 块传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 3    | CH3           | W1C | 0x0 | 通道 3 块传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 2    | CH2           | W1C | 0x0 | 通道 2 块传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 1    | CH1           | W1C | 0x0 | 通道 1 块传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 0    | CH0           | W1C | 0x0 | 通道 0 块传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |

## 22.5.4.18 DMA 源端传输完成中断清除寄存器（DMASTCIC）

表 22-53: DMA 源端传输完成中断清除寄存器（DMASTCIC）位段定义

| DMASTCIC (DMA Source Transfer Complete Interrupt Clear Register) |     |     |     |     |     |     |     |
|------------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMASTCIC    Offset: 0x0348    Default: 0x00000000  |     |     |     |     |     |     |     |
| 31                                                               | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                         |     |     |     |     |     |     |     |
| 23                                                               | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                         |     |     |     |     |     |     |     |
| 15                                                               | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                         |     |     |     |     |     |     |     |
| 7                                                                | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                              | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-54: DMA 源端传输完成中断清除寄存器（DMASTCIC）位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                               |
|------|---------------|-----|-----|------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO  | 0x0 | 保留                                                               |
| 7    | CH7           | W1C | 0x0 | 通道 7 源端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 6    | CH6           | W1C | 0x0 | 通道 6 源端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 5    | CH5           | W1C | 0x0 | 通道 5 源端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 4    | CH4           | W1C | 0x0 | 通道 4 源端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 3    | CH3           | W1C | 0x0 | 通道 3 源端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 2    | CH2           | W1C | 0x0 | 通道 2 源端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 1    | CH1           | W1C | 0x0 | 通道 1 源端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 0    | CH0           | W1C | 0x0 | 通道 0 源端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |

## 22.5.4.19 DMA 目的端传输完成中断清除寄存器 (DMADTCIC)

表 22-55: DMA 目的端传输完成中断清除寄存器 (DMADTCIC) 位段定义

| DMADTCIC (DMA Destination Transfer Complete Interrupt Clear Register) |     |     |     |     |     |     |     |
|-----------------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMADTCIC    Offset: 0x0350    Default: 0x00000000       |     |     |     |     |     |     |     |
| 31                                                                    | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                              |     |     |     |     |     |     |     |
| 23                                                                    | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                              |     |     |     |     |     |     |     |
| 15                                                                    | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                              |     |     |     |     |     |     |     |
| 7                                                                     | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                                   | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-56: DMA 目的端传输完成中断清除寄存器 (DMADTCIC) 位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                                |
|------|---------------|-----|-----|-------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO  | 0x0 | 保留                                                                |
| 7    | CH7           | W1C | 0x0 | 通道 7 目的端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 6    | CH6           | W1C | 0x0 | 通道 6 目的端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 5    | CH5           | W1C | 0x0 | 通道 5 目的端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 4    | CH4           | W1C | 0x0 | 通道 4 目的端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 3    | CH3           | W1C | 0x0 | 通道 3 目的端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 2    | CH2           | W1C | 0x0 | 通道 2 目的端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 1    | CH1           | W1C | 0x0 | 通道 1 目的端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 0    | CH0           | W1C | 0x0 | 通道 0 目的端传输完成中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |



## 22.5.4.20 DMA 总线访问错误中断清除寄存器（DMAERRIC）

表 22-57: DMA 总线访问错误中断清除寄存器（DMAERRIC）位段定义

| DMAERRIC (DMA Error Interrupt Clear Register)                   |     |     |     |     |     |     |     |
|-----------------------------------------------------------------|-----|-----|-----|-----|-----|-----|-----|
| Access: DMAC->DMAERRIC    Offset: 0x0358    Default: 0x00000000 |     |     |     |     |     |     |     |
| 31                                                              | 30  | 29  | 28  | 27  | 26  | 25  | 24  |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 23                                                              | 22  | 21  | 20  | 19  | 18  | 17  | 16  |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 15                                                              | 14  | 13  | 12  | 11  | 10  | 9   | 8   |
| RESERVED                                                        |     |     |     |     |     |     |     |
| 7                                                               | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
| CH7                                                             | CH6 | CH5 | CH4 | CH3 | CH2 | CH1 | CH0 |

表 22-58: DMA 总线访问错误中断清除寄存器（DMAERRIC）位段描述

| 位段   | 位段名           | 属性  | 复位值 | 描述                                                               |
|------|---------------|-----|-----|------------------------------------------------------------------|
| 31:8 | RESERVED_31_8 | RO  | 0x0 | 保留                                                               |
| 7    | CH7           | W1S | 0x0 | 通道 7 总线访问错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 6    | CH6           | W1S | 0x0 | 通道 6 总线访问错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 5    | CH5           | W1S | 0x0 | 通道 5 总线访问错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 4    | CH4           | W1S | 0x0 | 通道 4 总线访问错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 3    | CH3           | W1S | 0x0 | 通道 3 总线访问错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 2    | CH2           | W1S | 0x0 | 通道 2 总线访问错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 1    | CH1           | W1S | 0x0 | 通道 1 总线访问错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 0    | CH0           | W1S | 0x0 | 通道 0 总线访问错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |



## 22.5.4.21 DMA 组合中断标志寄存器 (DMAIF)

表 22-59: DMA 组合中断标志寄存器 (DMAIF) 位段定义

| DMAIF (DMA Combined Interrupt Flag Register)                 |    |    |       |    |    |    |    |
|--------------------------------------------------------------|----|----|-------|----|----|----|----|
| Access: DMAC->DMAIF    Offset: 0x0360    Default: 0x00000000 |    |    |       |    |    |    |    |
| 31                                                           | 30 | 29 | 28    | 27 | 26 | 25 | 24 |
| RESERVED                                                     |    |    |       |    |    |    |    |
| 23                                                           | 22 | 21 | 20    | 19 | 18 | 17 | 16 |
| RESERVED                                                     |    |    |       |    |    |    |    |
| 15                                                           | 14 | 13 | 12    | 11 | 10 | 9  | 8  |
| RESERVED                                                     |    |    |       |    |    |    |    |
| 7                                                            | 6  | 5  | 4     | 3  | 2  | 1  | 0  |
| RESERVED                                                     |    |    | ERROR | DC | SC | BC | TC |

表 22-60: DMA 组合中断标志寄存器 (DMAIF) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                                      |
|------|---------------|----|-----|-----------------------------------------------------------------------------------------|
| 31:5 | RESERVED_31_5 | RO | 0x0 | 保留                                                                                      |
| 4    | ERROR         | RO | 0x0 | 总线访问错误全局中断标志<br>本位段是 DMAERRIF 所有位段的逻辑或<br>0: 无任何通道触发总线访问错误中断<br>1: 至少有一个通道触发总线访问错误中断    |
| 3    | DTC           | RO | 0x0 | 目的端传输完成全局中断标志<br>本位段是 DMADTCIF 所有位段的逻辑或<br>0: 无任何通道触发目的端传输完成中断<br>1: 至少有一个通道触发目的端传输完成中断 |
| 2    | STC           | RO | 0x0 | 源端传输完成全局中断标志<br>本位段是 DMASTCIF 所有位段的逻辑或<br>0: 无任何通道触发源端传输完成中断<br>1: 至少有一个通道触发源端传输完成中断    |
| 1    | BTC           | RO | 0x0 | 块传输完成全局中断标志<br>本位段是 DMABTCIF 所有位段的逻辑或<br>0: 无任何通道触发块传输完成中断<br>1: 至少有一个通道触发块传输完成中断       |
| 0    | TC            | RO | 0x0 | 传输完成全局中断标志<br>本位段是 DMATCIF 所有位段的逻辑或<br>0: 无任何通道触发传输完成中断<br>1: 至少有一个通道触发传输完成中断           |

## 22.5.4.22 DMA 源端软件事务请求寄存器 (DMASSREQ)

表 22-61: DMA 源端软件事务请求寄存器 (DMASSREQ) 位段定义

| DMASSREQ (DMA Source Software Transaction Request Register)     |       |       |       |       |       |       |       |
|-----------------------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|
| Access: DMAC->DMASSREQ    Offset: 0x0368    Default: 0x00000000 |       |       |       |       |       |       |       |
| 31                                                              | 30    | 29    | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                        |       |       |       |       |       |       |       |
| 23                                                              | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                        |       |       |       |       |       |       |       |
| 15                                                              | 14    | 13    | 12    | 11    | 10    | 9     | 8     |
| CH7WE                                                           | CH6WE | CH5WE | CH4WE | CH3WE | CH2WE | CH1WE | CH0WE |
| 7                                                               | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CH7                                                             | CH6   | CH5   | CH4   | CH3   | CH2   | CH1   | CH0   |

表 22-62: DMA 源端软件事务请求寄存器 (DMASSREQ) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                      |
|-------|----------------|-----|-----|-------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                                      |
| 15    | CH7WE          | W1S | 0x0 | CH7 位段写使能 (必须与 CH7 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 14    | CH6WE          | W1S | 0x0 | CH6 位段写使能 (必须与 CH6 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 13    | CH5WE          | W1S | 0x0 | CH5 位段写使能 (必须与 CH5 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 12    | CH4WE          | W1S | 0x0 | CH4 位段写使能 (必须与 CH4 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 11    | CH3WE          | W1S | 0x0 | CH3 位段写使能 (必须与 CH3 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 10    | CH2WE          | W1S | 0x0 | CH2 位段写使能 (必须与 CH2 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 9     | CH1WE          | W1S | 0x0 | CH1 位段写使能 (必须与 CH1 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 8     | CH0WE          | W1S | 0x0 | CH0 位段写使能 (必须与 CH0 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |

| 位段 | 位段名 | 属性 | 复位值 | 描述                                                     |
|----|-----|----|-----|--------------------------------------------------------|
| 7  | CH7 | RW | 0x0 | 通道 7 源端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 6  | CH6 | RW | 0x0 | 通道 6 源端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 5  | CH5 | RW | 0x0 | 通道 5 源端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 4  | CH4 | RW | 0x0 | 通道 4 源端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 3  | CH3 | RW | 0x0 | 通道 3 源端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 2  | CH2 | RW | 0x0 | 通道 2 源端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 1  | CH1 | RW | 0x0 | 通道 1 源端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 0  | CH0 | RW | 0x0 | 通道 0 源端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |

### 22.5.4.23 DMA 目的端软件事务请求寄存器 (DMADSREQ)

表 22-63: DMA 目的端软件事务请求寄存器 (DMADSREQ) 位段定义

| DMADSREQ (DMA Destination Software Transaction Request Register) |       |       |       |       |       |       |       |
|------------------------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|
| Access: DMAC->DMADSREQ    Offset: 0x0370    Default: 0x00000000  |       |       |       |       |       |       |       |
| 31                                                               | 30    | 29    | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                         |       |       |       |       |       |       |       |
| 23                                                               | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                         |       |       |       |       |       |       |       |
| 15                                                               | 14    | 13    | 12    | 11    | 10    | 9     | 8     |
| CH7WE                                                            | CH6WE | CH5WE | CH4WE | CH3WE | CH2WE | CH1WE | CH0WE |
| 7                                                                | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CH7                                                              | CH6   | CH5   | CH4   | CH3   | CH2   | CH1   | CH0   |

表 22-64: DMA 目的端软件事务请求寄存器 (DMADSREQ) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                      |
|-------|----------------|-----|-----|-------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                                      |
| 15    | CH7WE          | W1S | 0x0 | CH7 位段写使能 (必须与 CH7 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 14    | CH6WE          | W1S | 0x0 | CH6 位段写使能 (必须与 CH6 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 13    | CH5WE          | W1S | 0x0 | CH5 位段写使能 (必须与 CH5 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 12    | CH4WE          | W1S | 0x0 | CH4 位段写使能 (必须与 CH4 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 11    | CH3WE          | W1S | 0x0 | CH3 位段写使能 (必须与 CH3 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 10    | CH2WE          | W1S | 0x0 | CH2 位段写使能 (必须与 CH2 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 9     | CH1WE          | W1S | 0x0 | CH1 位段写使能 (必须与 CH1 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 8     | CH0WE          | W1S | 0x0 | CH0 位段写使能 (必须与 CH0 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |

| 位段 | 位段名 | 属性 | 复位值 | 描述                                                      |
|----|-----|----|-----|---------------------------------------------------------|
| 7  | CH7 | RW | 0x0 | 通道 7 目的端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 6  | CH6 | RW | 0x0 | 通道 6 目的端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 5  | CH5 | RW | 0x0 | 通道 5 目的端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 4  | CH4 | RW | 0x0 | 通道 4 目的端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 3  | CH3 | RW | 0x0 | 通道 3 目的端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 2  | CH2 | RW | 0x0 | 通道 2 目的端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 1  | CH1 | RW | 0x0 | 通道 1 目的端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 0  | CH0 | RW | 0x0 | 通道 0 目的端软件事务请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |

## 22.5.4.24 DMA 源端软件事务单次请求寄存器 (DMASSSREQ)

表 22-65: DMA 源端软件事务单次请求寄存器 (DMASSSREQ) 位段定义

| DMASSSREQ (DMA Source Software Transaction Single Request Register) |       |       |       |       |       |       |       |
|---------------------------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|
| Access: DMAC->DMASSSREQ    Offset: 0x0378    Default: 0x00000000    |       |       |       |       |       |       |       |
| 31                                                                  | 30    | 29    | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                            |       |       |       |       |       |       |       |
| 23                                                                  | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                            |       |       |       |       |       |       |       |
| 15                                                                  | 14    | 13    | 12    | 11    | 10    | 9     | 8     |
| CH7WE                                                               | CH6WE | CH5WE | CH4WE | CH3WE | CH2WE | CH1WE | CH0WE |
| 7                                                                   | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CH7                                                                 | CH6   | CH5   | CH4   | CH3   | CH2   | CH1   | CH0   |

表 22-66: DMA 源端软件事务单次请求寄存器 (DMASSSREQ) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                      |
|-------|----------------|-----|-----|-------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                                      |
| 15    | CH7WE          | W1S | 0x0 | CH7 位段写使能 (必须与 CH7 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 14    | CH6WE          | W1S | 0x0 | CH6 位段写使能 (必须与 CH6 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 13    | CH5WE          | W1S | 0x0 | CH5 位段写使能 (必须与 CH5 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 12    | CH4WE          | W1S | 0x0 | CH4 位段写使能 (必须与 CH4 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 11    | CH3WE          | W1S | 0x0 | CH3 位段写使能 (必须与 CH3 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 10    | CH2WE          | W1S | 0x0 | CH2 位段写使能 (必须与 CH2 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 9     | CH1WE          | W1S | 0x0 | CH1 位段写使能 (必须与 CH1 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 8     | CH0WE          | W1S | 0x0 | CH0 位段写使能 (必须与 CH0 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |

| 位段 | 位段名 | 属性 | 复位值 | 描述                                                       |
|----|-----|----|-----|----------------------------------------------------------|
| 7  | CH7 | RW | 0x0 | 通道 7 源端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 6  | CH6 | RW | 0x0 | 通道 6 源端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 5  | CH5 | RW | 0x0 | 通道 5 源端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 4  | CH4 | RW | 0x0 | 通道 4 源端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 3  | CH3 | RW | 0x0 | 通道 3 源端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 2  | CH2 | RW | 0x0 | 通道 2 源端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 1  | CH1 | RW | 0x0 | 通道 1 源端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 0  | CH0 | RW | 0x0 | 通道 0 源端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |



## 22.5.4.25 DMA 目的端软件事务单次请求寄存器 (DMADSSREQ)

表 22-67: DMA 目的端软件事务单次请求寄存器 (DMADSSREQ) 位段定义

| DMADSSREQ (DMA Destination Software Transaction Single Request Register) |       |       |       |       |       |       |       |
|--------------------------------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|
| Access: DMAC->DMADSSREQ    Offset: 0x0380    Default: 0x00000000         |       |       |       |       |       |       |       |
| 31                                                                       | 30    | 29    | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                                 |       |       |       |       |       |       |       |
| 23                                                                       | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                                 |       |       |       |       |       |       |       |
| 15                                                                       | 14    | 13    | 12    | 11    | 10    | 9     | 8     |
| CH7WE                                                                    | CH6WE | CH5WE | CH4WE | CH3WE | CH2WE | CH1WE | CH0WE |
| 7                                                                        | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CH7                                                                      | CH6   | CH5   | CH4   | CH3   | CH2   | CH1   | CH0   |

表 22-68: DMA 目的端软件事务单次请求寄存器 (DMADSSREQ) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                      |
|-------|----------------|-----|-----|-------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                                      |
| 15    | CH7WE          | W1S | 0x0 | CH7 位段写使能 (必须与 CH7 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 14    | CH6WE          | W1S | 0x0 | CH6 位段写使能 (必须与 CH6 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 13    | CH5WE          | W1S | 0x0 | CH5 位段写使能 (必须与 CH5 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 12    | CH4WE          | W1S | 0x0 | CH4 位段写使能 (必须与 CH4 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 11    | CH3WE          | W1S | 0x0 | CH3 位段写使能 (必须与 CH3 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 10    | CH2WE          | W1S | 0x0 | CH2 位段写使能 (必须与 CH2 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 9     | CH1WE          | W1S | 0x0 | CH1 位段写使能 (必须与 CH1 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 8     | CH0WE          | W1S | 0x0 | CH0 位段写使能 (必须与 CH0 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |



| 位段 | 位段名 | 属性 | 复位值 | 描述                                                        |
|----|-----|----|-----|-----------------------------------------------------------|
| 7  | CH7 | RW | 0x0 | 通道 7 目的端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 6  | CH6 | RW | 0x0 | 通道 6 目的端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 5  | CH5 | RW | 0x0 | 通道 5 目的端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 4  | CH4 | RW | 0x0 | 通道 4 目的端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 3  | CH3 | RW | 0x0 | 通道 3 目的端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 2  | CH2 | RW | 0x0 | 通道 2 目的端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 1  | CH1 | RW | 0x0 | 通道 1 目的端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 0  | CH0 | RW | 0x0 | 通道 0 目的端软件事务单次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |

## 22.5.4.26 DMA 源端软件事务末次请求寄存器 (DMASSLREQ)

表 22-69: DMA 源端软件事务末次请求寄存器 (DMASSLREQ) 位段定义

| DMASSLREQ (DMA Source Software Transaction Last Request Register) |       |       |       |       |       |       |       |
|-------------------------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|
| Access: DMAC->DMASSLREQ    Offset: 0x0388    Default: 0x00000000  |       |       |       |       |       |       |       |
| 31                                                                | 30    | 29    | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                          |       |       |       |       |       |       |       |
| 23                                                                | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                          |       |       |       |       |       |       |       |
| 15                                                                | 14    | 13    | 12    | 11    | 10    | 9     | 8     |
| CH7WE                                                             | CH6WE | CH5WE | CH4WE | CH3WE | CH2WE | CH1WE | CH0WE |
| 7                                                                 | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CH7                                                               | CH6   | CH5   | CH4   | CH3   | CH2   | CH1   | CH0   |

表 22-70: DMA 源端软件事务末次请求寄存器 (DMASSLREQ) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                      |
|-------|----------------|-----|-----|-------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                                      |
| 15    | CH7WE          | W1S | 0x0 | CH7 位段写使能 (必须与 CH7 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 14    | CH6WE          | W1S | 0x0 | CH6 位段写使能 (必须与 CH6 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 13    | CH5WE          | W1S | 0x0 | CH5 位段写使能 (必须与 CH5 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 12    | CH4WE          | W1S | 0x0 | CH4 位段写使能 (必须与 CH4 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 11    | CH3WE          | W1S | 0x0 | CH3 位段写使能 (必须与 CH3 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 10    | CH2WE          | W1S | 0x0 | CH2 位段写使能 (必须与 CH2 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 9     | CH1WE          | W1S | 0x0 | CH1 位段写使能 (必须与 CH1 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 8     | CH0WE          | W1S | 0x0 | CH0 位段写使能 (必须与 CH0 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |

| 位段 | 位段名 | 属性 | 复位值 | 描述                                                       |
|----|-----|----|-----|----------------------------------------------------------|
| 7  | CH7 | RW | 0x0 | 通道 7 源端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 6  | CH6 | RW | 0x0 | 通道 6 源端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 5  | CH5 | RW | 0x0 | 通道 5 源端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 4  | CH4 | RW | 0x0 | 通道 4 源端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 3  | CH3 | RW | 0x0 | 通道 3 源端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 2  | CH2 | RW | 0x0 | 通道 2 源端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 1  | CH1 | RW | 0x0 | 通道 1 源端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 0  | CH0 | RW | 0x0 | 通道 0 源端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |

## 22.5.4.27 DMA 目的端软件事务末次请求寄存器 (DMADSLREQ)

表 22-71: DMA 目的端软件事务末次请求寄存器 (DMADSLREQ) 位段定义

| DMADSLREQ (DMA Destination Software Transaction Last Request Register) |       |       |       |       |       |       |       |
|------------------------------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|
| Access: DMAC->DMADSLREQ    Offset: 0x0390    Default: 0x00000000       |       |       |       |       |       |       |       |
| 31                                                                     | 30    | 29    | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                               |       |       |       |       |       |       |       |
| 23                                                                     | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                               |       |       |       |       |       |       |       |
| 15                                                                     | 14    | 13    | 12    | 11    | 10    | 9     | 8     |
| CH7WE                                                                  | CH6WE | CH5WE | CH4WE | CH3WE | CH2WE | CH1WE | CH0WE |
| 7                                                                      | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CH7                                                                    | CH6   | CH5   | CH4   | CH3   | CH2   | CH1   | CH0   |

表 22-72: DMA 目的端软件事务末次请求寄存器 (DMADSLREQ) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                      |
|-------|----------------|-----|-----|-------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                                      |
| 15    | CH7WE          | W1S | 0x0 | CH7 位段写使能 (必须与 CH7 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 14    | CH6WE          | W1S | 0x0 | CH6 位段写使能 (必须与 CH6 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 13    | CH5WE          | W1S | 0x0 | CH5 位段写使能 (必须与 CH5 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 12    | CH4WE          | W1S | 0x0 | CH4 位段写使能 (必须与 CH4 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 11    | CH3WE          | W1S | 0x0 | CH3 位段写使能 (必须与 CH3 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 10    | CH2WE          | W1S | 0x0 | CH2 位段写使能 (必须与 CH2 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 9     | CH1WE          | W1S | 0x0 | CH1 位段写使能 (必须与 CH1 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 8     | CH0WE          | W1S | 0x0 | CH0 位段写使能 (必须与 CH0 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |

| 位段 | 位段名 | 属性 | 复位值 | 描述                                                        |
|----|-----|----|-----|-----------------------------------------------------------|
| 7  | CH7 | RW | 0x0 | 通道 7 目的端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 6  | CH6 | RW | 0x0 | 通道 6 目的端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 5  | CH5 | RW | 0x0 | 通道 5 目的端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 4  | CH4 | RW | 0x0 | 通道 4 目的端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 3  | CH3 | RW | 0x0 | 通道 3 目的端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 2  | CH2 | RW | 0x0 | 通道 2 目的端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 1  | CH1 | RW | 0x0 | 通道 1 目的端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |
| 0  | CH0 | RW | 0x0 | 通道 0 目的端软件事务末次请求<br>0: 写 0 无效<br>1: 写 1 发起请求, 事务完成后位段自动清零 |

## 22.5.4.28 DMA 使能寄存器 (DMAEN)

表 22-73: DMA 使能寄存器 (DMAEN) 位段定义

| DMAEN (DMA Enable Register) |    |                |    |                     |    |    |    |
|-----------------------------|----|----------------|----|---------------------|----|----|----|
| Access: DMAC->DMAEN         |    | Offset: 0x0398 |    | Default: 0x00000000 |    |    |    |
| 31                          | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| RESERVED                    |    |                |    |                     |    |    |    |
| 23                          | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| RESERVED                    |    |                |    |                     |    |    |    |
| 15                          | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| RESERVED                    |    |                |    |                     |    |    |    |
| 7                           | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| RESERVED                    |    |                |    |                     |    |    | EN |

表 22-74: DMA 使能寄存器 (DMAEN) 位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                                             |
|------|---------------|----|-----|--------------------------------------------------------------------------------|
| 31:1 | RESERVED_31_1 | RO | 0x0 | 保留                                                                             |
| 0    | EN            | RW | 0x0 | DMA 使能<br>0: 关闭<br>当本位段写 0 时仍有通道在传输数据, 则回读值保持为 1, 直到所有通道均完成数据传输, 位段清零<br>1: 使能 |

## 22.5.4.29 DMA 通道使能寄存器 (DMACHEN)

表 22-75: DMA 通道使能寄存器 (DMACHEN) 位段定义

| DMACHEN (DMA Channel Enable Register)                          |       |       |       |       |       |       |       |
|----------------------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|
| Access: DMAC->DMACHEN    Offset: 0x03A0    Default: 0x00000000 |       |       |       |       |       |       |       |
| 31                                                             | 30    | 29    | 28    | 27    | 26    | 25    | 24    |
| RESERVED                                                       |       |       |       |       |       |       |       |
| 23                                                             | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
| RESERVED                                                       |       |       |       |       |       |       |       |
| 15                                                             | 14    | 13    | 12    | 11    | 10    | 9     | 8     |
| CH7WE                                                          | CH6WE | CH5WE | CH4WE | CH3WE | CH2WE | CH1WE | CH0WE |
| 7                                                              | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
| CH7                                                            | CH6   | CH5   | CH4   | CH3   | CH2   | CH1   | CH0   |

表 22-76: DMA 通道使能寄存器 (DMACHEN) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                      |
|-------|----------------|-----|-----|-------------------------------------------------------------------------|
| 31:16 | RESERVED_31_16 | RO  | 0x0 | 保留                                                                      |
| 15    | CH7WE          | W1S | 0x0 | CH7 位段写使能 (必须与 CH7 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 14    | CH6WE          | W1S | 0x0 | CH6 位段写使能 (必须与 CH6 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 13    | CH5WE          | W1S | 0x0 | CH5 位段写使能 (必须与 CH5 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 12    | CH4WE          | W1S | 0x0 | CH4 位段写使能 (必须与 CH4 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 11    | CH3WE          | W1S | 0x0 | CH3 位段写使能 (必须与 CH3 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 10    | CH2WE          | W1S | 0x0 | CH2 位段写使能 (必须与 CH2 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 9     | CH1WE          | W1S | 0x0 | CH1 位段写使能 (必须与 CH1 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |
| 8     | CH0WE          | W1S | 0x0 | CH0 位段写使能 (必须与 CH0 位段同时写)<br>0: 写 0 禁止改写, 读总是 0<br>1: 写 1 使能改写, 本位段自动清零 |

| 位段 | 位段名 | 属性 | 复位值 | 描述                                      |
|----|-----|----|-----|-----------------------------------------|
| 7  | CH7 | RW | 0x0 | 通道 7 传输使能，传输完成后位段自动清零<br>0: 关闭<br>1: 使能 |
| 6  | CH6 | RW | 0x0 | 通道 6 传输使能，传输完成后位段自动清零<br>0: 关闭<br>1: 使能 |
| 5  | CH5 | RW | 0x0 | 通道 5 传输使能，传输完成后位段自动清零<br>0: 关闭<br>1: 使能 |
| 4  | CH4 | RW | 0x0 | 通道 4 传输使能，传输完成后位段自动清零<br>0: 关闭<br>1: 使能 |
| 3  | CH3 | RW | 0x0 | 通道 3 传输使能，传输完成后位段自动清零<br>0: 关闭<br>1: 使能 |
| 2  | CH2 | RW | 0x0 | 通道 2 传输使能，传输完成后位段自动清零<br>0: 关闭<br>1: 使能 |
| 1  | CH1 | RW | 0x0 | 通道 1 传输使能，传输完成后位段自动清零<br>0: 关闭<br>1: 使能 |
| 0  | CH0 | RW | 0x0 | 通道 0 传输使能，传输完成后位段自动清零<br>0: 关闭<br>1: 使能 |



## 23 Flash 存储器

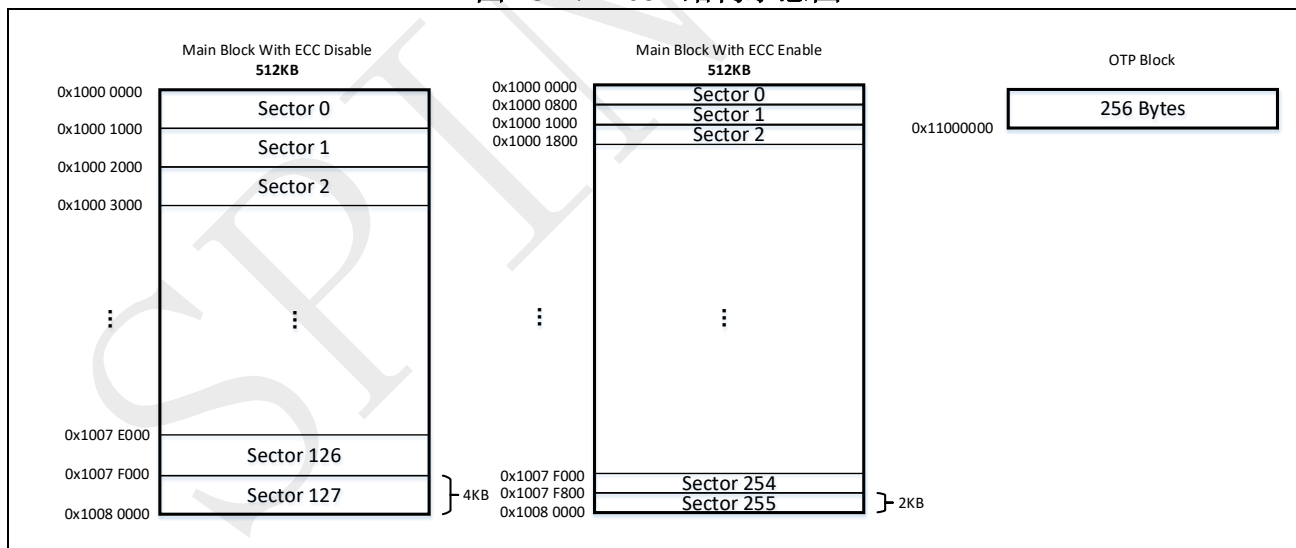
### 23.1 概述

SPC1185 内封装了容量最大为 512 KB 的 QSPI Flash，其特性如下：

- 支持通过 QSPI 以单线、双线输出、双线 I/O、四线输出、四线 I/O 模式访问。
- 支持串行接口时钟 SCLK 最高频率为 80MHz。
- 512 KB 主分区，支持 ECC
  - 使能 ECC 后 Flash 总容量不变；
- 分为 2048 个页面，每页大小为 256 字节（使能 ECC 后每页大小为 128 字节）。
- 每次以页为单位烧录。
- 每次可以按照如下大小为单位擦除：
  - 4 KB 扇区（使能 ECC 后扇区大小为 2 KB）：即 16 个页面；
  - 64 KB 块（使能 ECC 后块大小为 32 KB）：即 256 个页面；
  - 整片：即所有空间；
- 提供 1 个 256 字节的 OTP
  - 不支持 ECC；
- 按照如图 1-2 所示的地址映射提供 AHB 直接访问接口，便于支持就地执行。

Flash 的结构如图 23-1 所示。

图 23-1: Flash 结构示意图



### 23.2 配置字

系统设有两个配置字，根据应用需求由最终用户进行编程。配置字位于 Flash 主存储区的末尾（最后一个双字），详见表 23-1。

在系统上电复位后，新编程的配置字将被加载并激活。

表 23-1：配置字的构成及其描述

| 地址          | 配置字名称         | 配置字描述                                                  |
|-------------|---------------|--------------------------------------------------------|
| 0X1007 FFF8 | WDT_ENABLE    | 看门狗使能<br>0xFFFF FFFF：芯片启动时禁用看门狗<br>其他数值：芯片启动时启用看门狗     |
| 0x1007 FFFC | CHIP_SECURITY | 芯片调试接口锁定<br>0xFFFF FFFF：芯片调试接口将不被锁定<br>其他数值：芯片调试接口将被锁定 |

### 23.3 端口信号

Flash 的端口信号以及与 QSPI 端口信号的连接关系如表 23-2 所示。

表 23-2：Flash 端口信号

| Flash 端口                 | QSPI 端口 | 功能描述                                                                                     |
|--------------------------|---------|------------------------------------------------------------------------------------------|
| CLK                      | SCLK    | 串行接口时钟，极性为 CPOL = 0，相位为 CPHA = 0，即：<br>- 片选信号无效时 CLK = 0；<br>- 片选信号有效后第一个 CLK 边沿（上升沿）采样。 |
| CSn                      | SCS     | 片选信号，低电平有效                                                                               |
| DI (IO <sub>0</sub> )    | D0      | 单线模式下 Flash 数据输入                                                                         |
| DO (IO <sub>1</sub> )    | D1      | 单线模式下 Flash 数据输出                                                                         |
| WPn (IO <sub>2</sub> )   | D2      | 单线模式下 Flash 写保护控制，低电平使能写保护                                                               |
| HOLDn (IO <sub>3</sub> ) | D3      | 单线模式下 Flash 暂停控制，低电平暂停 Flash 操作                                                          |

## 23.4 命令描述

Flash 常用操作的命令如表 23-3 所示。

表 23-3: Flash 操作命令

| 命令名                           | 字节 1 | 字节 2     | 字节 3     | 字节 4    | 字节 5   | 字节 6     | 字节 7      | 字节 8   | 字节 9   |
|-------------------------------|------|----------|----------|---------|--------|----------|-----------|--------|--------|
| 写使能 <sup>[1]</sup>            | 0x06 |          |          |         |        |          |           |        |        |
| 写禁止                           | 0x04 |          |          |         |        |          |           |        |        |
| 读状态 <sup>[2]</sup>            | 0x05 | S[7:0]   |          |         |        |          |           |        |        |
| 单线读数据                         | 0x03 | A[23:16] | A[15:8]  | A[7:0]  | D[7:0] | .....    |           |        |        |
| 快速读数据                         | 0x0B | A[23:16] | A[15:8]  | A[7:0]  | Dummy  | D[7:0]   | .....     |        |        |
| 双线输出模式快速读数据                   | 0x3B | A[23:16] | A[15:8]  | A[7:0]  | Dummy  | Dummy    | D[7:0]    | .....  |        |
| 双线 I/O 模式快速读数据 <sup>[3]</sup> | 0xBB | A[23:16] | A[15:8]  | A[7:0]  | M[7:0] | D[7:0]   | .....     |        |        |
| 四线输出模式快速读数据                   | 0x6B | A[23:16] | A[15:8]  | A[7:0]  | Dummy  | Dummy    | Dummy     | Dummy  | D[7:0] |
| 四线 I/O 模式快速读数据 <sup>[3]</sup> | 0xEB | A[23:16] | A[15:8]  | A[7:0]  | M[7:0] | Dummy    | Dummy     | D[7:0] | .....  |
| 页烧录                           | 0x02 | A[23:16] | A[15:8]  | A[7:0]  | D[7:0] | .....    |           |        |        |
| 扇区擦除                          | 0x20 | A[23:16] | A[15:8]  | A[7:0]  |        |          |           |        |        |
| 块擦除                           | 0xD8 | A[23:16] | A[15:8]  | A[7:0]  |        |          |           |        |        |
| 整片擦除                          | 0xC7 |          |          |         |        |          |           |        |        |
| 擦除 OTP                        | 0x44 | A[23:16] | A[15:8]  | A[7:0]  |        |          |           |        |        |
| 烧录 OTP                        | 0x42 | A[23:16] | A[15:8]  | A[7:0]  | D[7:0] | .....    |           |        |        |
| 读取 OTP                        | 0x48 | A[23:16] | A[15:8]  | A[7:0]  | Dummy  | D[7:0]   | .....     |        |        |
| 读 Flash ID                    | 0x9F | MID[7:0] | ID[15:8] | ID[7:0] |        |          |           |        |        |
| 读 Flash UID <sup>[4]</sup>    | 0x4B | Dummy    | Dummy    | Dummy   | Dummy  | UID[7:0] | UID[15:8] | .....  |        |

- [1] 在执行 Flash 擦除命令（0x20/0xD8/0xC7/0x44）和 Flash 烧录命令（0x02/0x42）前，都应当先执行写使能命令。
- [2] 可以用读状态命令返回的字节最低位查询烧录、擦除等写操作的执行状态：S[0] = 1 表示写操作正在执行中，否则表示写操作已经完成。
- [3] 读模式控制字节 M[7:0]应当为 0xFX（M[3:0]可以为任意值）。当 MID[7:0] = 0xC8 时，M[7:0]可以为 0xAX。此时下一帧双线或四线 I/O 模式快速读数据操作可以省略 0xBB 或 0xEB 命令字节，从而提高读取效率。
- [4] 当 MID[7:0] = 0xC8 时，UID 为 16 字节，否则为 8 字节。
- [5] 除了特别以“二线/四线”前缀说明的命令，其余命令均为单线传输。

## 24 系统控制（SYSTEM）

### 24.1 概述

系统控制模块主要提供：

- 64 位产品识别号；
- 64 位唯一设备识别号；
- 用于低功耗模式唤醒的 I/O 引脚配置；
- 不可屏蔽中断控制；
- 复位事件控制；
- 系统配置信息；
- 存储器 ECC 错误地址；
- 调试接口控制；
- 系统引导信息；
- DMA 硬件握手配置；
- 仅在上电复位的寄存器。

### 24.2 64 位产品识别号

64 位产品识别号的含义和取值如表 24-1 所示。

表 24-1：64 位产品识别号定义

| 寄存器位段       | 含义   | 值                                        |
|-------------|------|------------------------------------------|
| CID1[31:24] | 产品类别 | 0x43: “C” 的 ASCII 码，表示为 SPC 控制器产品        |
| CID1[23:20] | 产品名称 | 1                                        |
| CID1[19:16] |      | 1                                        |
| CID1[15:12] |      | 8                                        |
| CID1[11:8]  |      | 5                                        |
| CID1[7:0]   | 温度等级 | 0x41: “A” 的 ASCII 码，表示结温范围是-40 ~ +125 °C |
| CID0[31:24] | 封装材料 | 0x50: “P” 的 ASCII 码，表示封装材料为塑料            |
| CID0[23:16] | 封装类型 | 0x45: “E” 的 ASCII 码，表示封装类型为 LQFP         |
| CID0[15:8]  | 引脚数目 | 0x64: 表示引脚数为 100                         |
| CID0[7:0]   | 后缀   | 0                                        |

## 24.3 64 位唯一设备识别号

设备唯一识别号非常适合用于：

- 用作序列号
- 用作密钥以提高 Flash 存储器中的安全性
  - 例如在对 Flash 存储器编程之前，用户将其与软件加密原语和和协议相结合来使用。
- 激活安全启动过程等

64 位唯一设备识别号基于出厂时间等信息为每颗 SPC1185 分配独有标识，其格式如表 24-2 所示。

表 24-2：64 位设备唯一识别号定义

| 位段      | UID1    |    | UID0   |    |
|---------|---------|----|--------|----|
|         | 含义      | 示例 | 含义     | 示例 |
| [31:28] | 出厂时间：年份 | 2  | 出厂时间：时 | 1  |
| [27:24] |         | 0  |        | 0  |
| [23:20] |         | 2  | 出厂时间：分 | 1  |
| [19:16] |         | 3  |        | 0  |
| [15:12] | 出厂时间：月份 | 0  | 出厂时间：秒 | 3  |
| [11: 8] |         | 4  |        | 5  |
| [ 7: 4] | 出厂时间：日  | 1  | 检验编号   | 0  |
| [ 3: 0] |         | 5  |        | 1  |

## 24.4 用于低功耗模式唤醒的 I/O 引脚配置

GPIOWKUPCTL 寄存器可以分别配置用于睡眠模式和停机模式唤醒的 I/O 引脚编号以及唤醒电平。对于从停机模式唤醒，还可以配置对于该引脚唤醒信号的消抖滤波时间。

## 24.5 不可屏蔽中断控制

NMIE、NMRAWIF/NMIF、NMIC 寄存器用来使能、标识和清除 CPU0 的不可屏蔽中断事件。

## 24.6 复位事件控制

RSTEV TEN、RSTEV TFLG、RSTEV TCLR 寄存器分别用来使能、标识和清除复位事件。

## 24.7 系统配置信息

SYSINFO 寄存器提供了存储器大小、时钟频率、ADC 精度、Flash 闪存 ECC 支持、Flash 闪存就地执行读缓存支持等信息。

## 24.8 存储器 ECC 错误地址

ROMERRADDR、FLASHERRADDR、RAM0ERRADDR 和 RAM1ERRADDR 分别记录了 ROM、Flash 闪存、RAM0、RAM1 发生 ECC 错误时对应的访问地址。

## 24.9 调试接口控制

DBGIFCTL 寄存器可以配置将 GPIO78~GPIO81 引脚用于调试的具体连接方式，详见章节 4.2.4 的表 4-4。

## 24.10 系统引导信息

BOOTINFO 寄存器提供了自上电后的引导次数、上电 RAM 内建自修复结果、引导配置引脚（GPIO77）当前电平等信息。

## 24.11 DMA 硬件握手配置

DMAHSCTL 用于配置 DMA 控制和外设之间的硬件握手接口，详见 [章节 22.2.2](#) 的 [表 22-1](#) 和 [表 22-2](#)。

## 24.12 仅在上电复位的寄存器

NVRE0、NVREG1、NVREG2 寄存器仅在上电复位，用户可将其用作信息保存以便于调试。

## 24.13 寄存器

### 24.13.1 SYSTEM 寄存器列表

表 24-3: SYSTEM 模块基地址

| 外设模块   | 基地址         |
|--------|-------------|
| SYSTEM | 0x4000 0000 |

表 24-4: SYSTEM 寄存器列表

| 寄存器                           | 偏移地址   | 描述                   | 复位值        |
|-------------------------------|--------|----------------------|------------|
| <a href="#">CID0</a>          | 0x0000 | 产品识别号寄存器 0           | 0x00000000 |
| <a href="#">CID1</a>          | 0x0004 | 产品识别号寄存器 1           | 0x00000000 |
| <a href="#">UID0</a>          | 0x0008 | 唯一设备识别号寄存器 0         | 0x00000000 |
| <a href="#">UID1</a>          | 0x000C | 唯一设备识别号寄存器 1         | 0x00000000 |
| <a href="#">RND0</a>          | 0x0010 | 随机数寄存器 0             | 0x00000000 |
| <a href="#">RND1</a>          | 0x0014 | 随机数寄存器 1             | 0x00000000 |
| <a href="#">REV0</a>          | 0x0018 | 版本信息寄存器 0            | 0x53521111 |
| <a href="#">REV1</a>          | 0x001C | 版本信息寄存器 1            | 0x202306A1 |
| <a href="#">GPIOWKUPCTL</a> * | 0x0020 | GPIO 唤醒控制寄存器         | 0x00010401 |
| <a href="#">GPIONMCTL</a> *   | 0x0024 | GPIO 不可屏蔽中断控制寄存器     | 0x00000001 |
| <a href="#">NMRAWIF</a>       | 0x0028 | 不可屏蔽中断原始事件标志寄存器      | 0x00000000 |
| <a href="#">NMIF</a>          | 0x002C | 不可屏蔽中断标志寄存器          | 0x00000000 |
| <a href="#">NMIC</a>          | 0x0030 | 不可屏蔽中断清除寄存器          | 0x00000000 |
| <a href="#">NMIE</a> *        | 0x0034 | 不可屏蔽中断使能寄存器          | 0x00040000 |
| <a href="#">RSTEVTF LG</a>    | 0x0038 | 复位事件标志寄存器            | 0x00000000 |
| <a href="#">RSTEVTC LR</a>    | 0x003C | 复位事件清除寄存器            | 0x00000000 |
| <a href="#">RSTEVTEN</a> *    | 0x0040 | 复位事件使能寄存器            | 0x00001800 |
| <a href="#">SYSINFO</a>       | 0x0044 | 系统信息寄存器              | 0x00000FFF |
| <a href="#">ROMERRADDR</a>    | 0x0048 | ROM 访问 ECC 错误地址寄存器   | 0xFFFFFFFF |
| <a href="#">FLASHERRADDR</a>  | 0x004C | Flash 访问 ECC 错误地址寄存器 | 0xFFFFFFFF |
| <a href="#">RAM0ERRADDR</a>   | 0x0050 | RAM0 访问 ECC 错误地址寄存器  | 0xFFFFFFFF |
| <a href="#">RAM1ERRADDR</a>   | 0x0054 | RAM1 访问 ECC 错误地址寄存器  | 0xFFFFFFFF |
| <a href="#">DBGIFCTL</a> *    | 0x0060 | 调试接口控制寄存器            | 0x00000004 |
| <a href="#">BOOTINFO</a>      | 0x0068 | 引导信息寄存器              | 0x80010000 |
| <a href="#">DMAHSCTL</a> *    | 0x006C | DMA 硬件握手控制寄存器        | 0x000007FF |
| <a href="#">NVREG0</a>        | 0x0070 | 上电永久寄存器 0            | 0x00000000 |
| <a href="#">NVREG1</a>        | 0x0074 | 上电永久寄存器 1            | 0x00000000 |
| <a href="#">NVREG2</a>        | 0x0078 | 上电永久寄存器 2            | 0x00000000 |
| <a href="#">SYSREGKEY</a>     | 0x007C | SYSTEM 模块写使能寄存器      | 0x1ACCE551 |

注意： 由\*标记的寄存器仅当 SYSREGKEY=0x1ACCE551 时才可以改写。

## 24.13.2 SYSTEM 寄存器

### 24.13.2.1 产品识别号寄存器 0 (CID0)

表 24-5: 产品识别号寄存器 0 (CID0) 位段定义

|                           |    |                |    |                     |    |    |    |
|---------------------------|----|----------------|----|---------------------|----|----|----|
| CID0 (Chip ID Register 0) |    |                |    |                     |    |    |    |
| Access: SYSTEM->CID0      |    | Offset: 0x0000 |    | Default: 0x00000000 |    |    |    |
| 31                        | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                       |    |                |    |                     |    |    |    |
| 23                        | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                       |    |                |    |                     |    |    |    |
| 15                        | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                       |    |                |    |                     |    |    |    |
| 7                         | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                       |    |                |    |                     |    |    |    |

表 24-6: 产品识别号寄存器 0 (CID0) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                         |
|------|-----|----|-----|----------------------------|
| 31:0 | VAL | RO | 0x0 | 64 位产品识别号的低 32 位, 详见表 24-1 |

### 24.13.2.2 产品识别号寄存器 1 (CID1)

表 24-7: 产品识别号寄存器 1 (CID1) 位段定义

|                           |    |                |    |                     |    |    |    |
|---------------------------|----|----------------|----|---------------------|----|----|----|
| CID1 (Chip ID Register 1) |    |                |    |                     |    |    |    |
| Access: SYSTEM->CID1      |    | Offset: 0x0004 |    | Default: 0x00000000 |    |    |    |
| 31                        | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                       |    |                |    |                     |    |    |    |
| 23                        | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                       |    |                |    |                     |    |    |    |
| 15                        | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                       |    |                |    |                     |    |    |    |
| 7                         | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                       |    |                |    |                     |    |    |    |

表 24-8: 产品识别号寄存器 1 (CID1) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                         |
|------|-----|----|-----|----------------------------|
| 31:0 | VAL | RO | 0x0 | 64 位产品识别号的高 32 位, 详见表 24-1 |



### 24.13.2.3 唯一设备识别号寄存器 0 (UID0)

表 24-9: 唯一设备识别号寄存器 0 (UID0) 位段定义

|                                                                                              |    |    |    |    |    |    |    |
|----------------------------------------------------------------------------------------------|----|----|----|----|----|----|----|
| UID0 (Unique ID Register 0)<br>Access: SYSTEM->UID0    Offset: 0x0008    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                                           | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                                                          |    |    |    |    |    |    |    |
| 23                                                                                           | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                                                          |    |    |    |    |    |    |    |
| 15                                                                                           | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                                          |    |    |    |    |    |    |    |
| 7                                                                                            | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                                          |    |    |    |    |    |    |    |

表 24-10: 唯一设备识别号寄存器 0 (UID0) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                           |
|------|-----|----|-----|------------------------------|
| 31:0 | VAL | RW | 0x0 | 64 位唯一设备识别号的低 32 位, 详见表 24-2 |

### 24.13.2.4 唯一设备识别号寄存器 1 (UID1)

表 24-11: 唯一设备识别号寄存器 1 (UID1) 位段定义

|                                                                                              |    |    |    |    |    |    |    |
|----------------------------------------------------------------------------------------------|----|----|----|----|----|----|----|
| UID1 (Unique ID Register 1)<br>Access: SYSTEM->UID1    Offset: 0x000C    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                                                           | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                                                          |    |    |    |    |    |    |    |
| 23                                                                                           | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                                                          |    |    |    |    |    |    |    |
| 15                                                                                           | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                                                          |    |    |    |    |    |    |    |
| 7                                                                                            | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                                                          |    |    |    |    |    |    |    |

表 24-12: 唯一设备识别号寄存器 1 (UID1) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述                           |
|------|-----|----|-----|------------------------------|
| 31:0 | VAL | RW | 0x0 | 64 位唯一设备识别号的高 32 位, 详见表 24-2 |

### 24.13.2.5 随机数寄存器 0 (RND0)

表 24-13: 随机数寄存器 0 (RND0) 位段定义

|                                 |    |                |    |                     |    |    |    |
|---------------------------------|----|----------------|----|---------------------|----|----|----|
| RND0 (Random Number Register 0) |    |                |    |                     |    |    |    |
| Access: SYSTEM->RND0            |    | Offset: 0x0010 |    | Default: 0x00000000 |    |    |    |
| 31                              | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                             |    |                |    |                     |    |    |    |
| 23                              | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                             |    |                |    |                     |    |    |    |
| 15                              | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                             |    |                |    |                     |    |    |    |
| 7                               | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                             |    |                |    |                     |    |    |    |

表 24-14: 随机数寄存器 0 (RND0) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述    |
|------|-----|----|-----|-------|
| 31:0 | VAL | RW | 0x0 | 随机数 0 |

### 24.13.2.6 随机数寄存器 1 (RND1)

表 24-15: 随机数寄存器 1 (RND1) 位段定义

|                                 |    |                |    |                     |    |    |    |
|---------------------------------|----|----------------|----|---------------------|----|----|----|
| RND1 (Random Number Register 1) |    |                |    |                     |    |    |    |
| Access: SYSTEM->RND1            |    | Offset: 0x0014 |    | Default: 0x00000000 |    |    |    |
| 31                              | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                             |    |                |    |                     |    |    |    |
| 23                              | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                             |    |                |    |                     |    |    |    |
| 15                              | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                             |    |                |    |                     |    |    |    |
| 7                               | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                             |    |                |    |                     |    |    |    |

表 24-16: 随机数寄存器 1 (RND1) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述    |
|------|-----|----|-----|-------|
| 31:0 | VAL | RW | 0x0 | 随机数 1 |

## 24.13.2.7 版本信息寄存器 0 (REV0)

表 24-17: 版本信息寄存器 0 (REV0) 位段定义

| REV0 (Revision Information Register 0) |    |                |    |                     |    |    |    |
|----------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: SYSTEM->REV0                   |    | Offset: 0x0018 |    | Default: 0x53521111 |    |    |    |
| 31                                     | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                    |    |                |    |                     |    |    |    |
| 23                                     | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                    |    |                |    |                     |    |    |    |
| 15                                     | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                    |    |                |    |                     |    |    |    |
| 7                                      | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                    |    |                |    |                     |    |    |    |

表 24-18: 版本信息寄存器 0 (REV0) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述              |
|------|-----|----|------------|-----------------|
| 31:0 | VAL | RW | 0x53521111 | 64 位版本信息的低 32 位 |

## 24.13.2.8 版本信息寄存器 1 (REV1)

表 24-19: 版本信息寄存器 1 (REV1) 位段定义

| REV1 (Revision Information Register 1) |    |                |    |                     |    |    |    |
|----------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: SYSTEM->REV1                   |    | Offset: 0x001C |    | Default: 0x202306A1 |    |    |    |
| 31                                     | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                    |    |                |    |                     |    |    |    |
| 23                                     | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                    |    |                |    |                     |    |    |    |
| 15                                     | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                    |    |                |    |                     |    |    |    |
| 7                                      | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                    |    |                |    |                     |    |    |    |

表 24-20: 版本信息寄存器 1 (REV1) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述              |
|------|-----|----|------------|-----------------|
| 31:0 | VAL | RW | 0x202306A1 | 64 位版本信息的高 32 位 |

## 24.13.2.9 GPIO 唤醒控制寄存器 (GPIOWKUPCTL)

表 24-21: GPIO 唤醒控制寄存器 (GPIOWKUPCTL) 位段定义

| GPIOWKUPCTL (GPIO Wake Up Control Register) |          |    |    |                |             |                     |              |
|---------------------------------------------|----------|----|----|----------------|-------------|---------------------|--------------|
| Access: SYSTEM->GPIOWKUPCTL                 |          |    |    | Offset: 0x0020 |             | Default: 0x00010401 |              |
| 31                                          | 30       | 29 | 28 | 27             | 26          | 25                  | 24           |
| RESERVED                                    |          |    |    |                |             |                     |              |
| 23                                          | 22       | 21 | 20 | 19             | 18          | 17                  | 16           |
| RESERVED                                    |          |    |    |                | SLEEPWKUPWE | SLEEPWKUPIO         | SLEEPWKUPPOL |
| 15                                          | 14       | 13 | 12 | 11             | 10          | 9                   | 8            |
| STOPWKUPWE                                  | RESERVED |    |    |                | STOPWKUPDG  |                     |              |
| 7                                           | 6        | 5  | 4  | 3              | 2           | 1                   | 0            |
| STOPWKUPIO                                  |          |    |    |                |             |                     | STOPWKUPPOL  |

表 24-22: GPIO 唤醒控制寄存器 (GPIOWKUPCTL) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                                                       |
|-------|----------------|-----|-----|----------------------------------------------------------------------------------------------------------|
| 31:19 | RESERVED_31_19 | RO  | 0x0 | 保留                                                                                                       |
| 18    | SLEEPWKUPWE    | W1S | 0x0 | 睡眠状态唤醒相关配置写使能<br>配置 SLEEPWKUPIO 或 SLEEPWKUPPOL 时本位段必须同时写 1<br>0: 关闭<br>1: 使能                             |
| 17    | SLEEPWKUPIO    | RW  | 0x0 | 用于从睡眠状态唤醒的 GPIO 引脚<br>0: 用 GPIO10 唤醒<br>1: 用 GPIO11 唤醒                                                   |
| 16    | SLEEPWKUPPOL   | RW  | 0x1 | 用于从睡眠状态唤醒的引脚电平<br>0: 引脚电平为低时唤醒<br>1: 引脚电平为高时唤醒                                                           |
| 15    | STOPWKUPWE     | W1S | 0x0 | 停机状态唤醒相关配置写使能<br>配置 STOPWKUPDG、SLEEPWKUPIO 或 SLEEPWKUPPOL 时本位段必须同时写 1<br>0: 关闭<br>1: 使能                  |
| 14:11 | RESERVED_14_11 | RO  | 0x0 | 保留                                                                                                       |
| 10:8  | STOPWKUPDG     | RW  | 0x4 | 停机状态唤醒引脚信号消抖滤波时间<br>0: 31us<br>1: 63us<br>2: 125us<br>3: 250us<br>4: 500us<br>5: 1ms<br>6: 2ms<br>7: 4ms |

| 位段  | 位段名         | 属性 | 复位值 | 描述                                             |
|-----|-------------|----|-----|------------------------------------------------|
| 7:1 | STOPWKUIPIO | RW | 0x0 | 用于从停机状态唤醒的 GPIO 引脚编号（0~81）                     |
| 0   | STOPWKUPPOL | RW | 0x1 | 用于从停机状态唤醒的引脚电平<br>0: 引脚电平为低时唤醒<br>1: 引脚电平为高时唤醒 |

#### 24.13.2.10 GPIO 不可屏蔽中断控制寄存器（GPIONMCTL）

表 24-23: GPIO 不可屏蔽中断控制寄存器（GPIONMCTL）位段定义

|                                                          |    |                |    |                     |    |    |     |
|----------------------------------------------------------|----|----------------|----|---------------------|----|----|-----|
| GPIONMCTL (GPIO Non-Maskable Interrupt Control Register) |    |                |    |                     |    |    |     |
| Access: SYSTEM->GPIONMCTL                                |    | Offset: 0x0024 |    | Default: 0x00000001 |    |    |     |
| 31                                                       | 30 | 29             | 28 | 27                  | 26 | 25 | 24  |
| RESERVED                                                 |    |                |    |                     |    |    |     |
| 23                                                       | 22 | 21             | 20 | 19                  | 18 | 17 | 16  |
| RESERVED                                                 |    |                |    |                     |    |    |     |
| 15                                                       | 14 | 13             | 12 | 11                  | 10 | 9  | 8   |
| RESERVED                                                 |    |                |    |                     |    |    |     |
| 7                                                        | 6  | 5              | 4  | 3                   | 2  | 1  | 0   |
| IOSEL                                                    |    |                |    |                     |    |    | POL |

表 24-24: GPIO 不可屏蔽中断控制寄存器（GPIONMCTL）位段描述

| 位段   | 位段名           | 属性 | 复位值 | 描述                                            |
|------|---------------|----|-----|-----------------------------------------------|
| 31:8 | RESERVED_31_8 | RO | 0x0 | 保留                                            |
| 7:1  | IOSEL         | RW | 0x0 | 触发不可屏蔽中断的 GPIO 引脚号（0~81）                      |
| 0    | POL           | RW | 0x1 | 触发不可屏蔽中断的 GPIO 输入信号边沿<br>0: 下降沿触发<br>1: 上升沿触发 |

### 24.13.2.11 不可屏蔽中断原始事件标志寄存器 (NMRAWIF)

表 24-25: 不可屏蔽中断原始事件标志寄存器 (NMRAWIF) 位段定义

|                                                                  |         |           |           |         |          |          |         |
|------------------------------------------------------------------|---------|-----------|-----------|---------|----------|----------|---------|
| NMRAWIF (Non-Maskable Interrupt Raw Flag Register)               |         |           |           |         |          |          |         |
| Access: SYSTEM->NMRAWIF    Offset: 0x0028    Default: 0x00000000 |         |           |           |         |          |          |         |
| 31                                                               | 30      | 29        | 28        | 27      | 26       | 25       | 24      |
| RESERVED                                                         |         |           |           |         |          |          |         |
| 23                                                               | 22      | 21        | 20        | 19      | 18       | 17       | 16      |
| RESERVED                                                         |         |           |           |         | WDTOTO   | RESERVED |         |
| 15                                                               | 14      | 13        | 12        | 11      | 10       | 9        | 8       |
| RESERVED                                                         | RAM1MBE | RAM1SBE   | RAM0MBE   | RAM0SBE | FLASHMBE | FLASHSBE | ROMMBE  |
| 7                                                                | 6       | 5         | 4         | 3       | 2        | 1        | 0       |
| ROMSBE                                                           | GPIONMI | CLKDETERR | PLLUNLOCK | VDD33OV | VDD33UV  | VDD12OV  | VDD12UV |

表 24-26: 不可屏蔽中断原始事件标志寄存器 (NMRAWIF) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                              |
|-------|----------------|----|-----|-------------------------------------------------|
| 31:19 | RESERVED_31_19 | RO | 0x0 | 保留                                              |
| 18    | WDTOTO         | RO | 0x0 | 看门狗定时器 0 超时事件标志<br>0: 事件未发生<br>1: 事件已发生         |
| 17:15 | RESERVED_17_15 | RO | 0x0 | 保留                                              |
| 14    | RAM1MBE        | RO | 0x0 | RAM1 访问 ECC 多比特错误事件标志<br>0: 事件未发生<br>1: 事件已发生   |
| 13    | RAM1SBE        | RO | 0x0 | RAM1 读取时 ECC 单比特错误事件标志<br>0: 事件未发生<br>1: 事件已发生  |
| 12    | RAM0MBE        | RO | 0x0 | RAM0 读取时 ECC 多比特错误事件标志<br>0: 事件未发生<br>1: 事件已发生  |
| 11    | RAM0SBE        | RO | 0x0 | RAM0 读取时 ECC 单比特错误事件标志<br>0: 事件未发生<br>1: 事件已发生  |
| 10    | FLASHMBE       | RO | 0x0 | Flash 读取时 ECC 多比特错误事件标志<br>0: 事件未发生<br>1: 事件已发生 |
| 9     | FLASHSBE       | RO | 0x0 | Flash 读取时 ECC 单比特错误事件标志<br>0: 事件未发生<br>1: 事件已发生 |

| 位段 | 位段名       | 属性 | 复位值 | 描述                                                                              |
|----|-----------|----|-----|---------------------------------------------------------------------------------|
| 8  | ROMMBE    | RO | 0x0 | ROM 读取时 ECC 多比特错误事件标志<br>0: 事件未发生<br>1: 事件已发生                                   |
| 7  | ROMSBE    | RO | 0x0 | ROM 读取时 ECC 单比特错误事件标志<br>0: 事件未发生<br>1: 事件已发生                                   |
| 6  | GPIONMI   | RO | 0x0 | GPIO 不可屏蔽中断事件标志<br>0: 事件未发生<br>1: 事件已发生                                         |
| 5  | CLKDETERR | RO | 0x0 | 时钟交叉检测模块报错事件标志<br>0: 事件未发生<br>1: 事件已发生                                          |
| 4  | PLLUNLOCK | RO | 0x0 | PLL 失锁事件标志<br>具体原因可以查询 CLKSTS 寄存器的 PLLFAST 和 PLLSLOW 位段<br>0: 事件未发生<br>1: 事件已发生 |
| 3  | VDD33OV   | RO | 0x0 | 3.3V 电源过压事件标志<br>0: 事件未发生<br>1: 事件已发生                                           |
| 2  | VDD33UV   | RO | 0x0 | 3.3V 电源欠压事件标志<br>0: 事件未发生<br>1: 事件已发生                                           |
| 1  | VDD12OV   | RO | 0x0 | 1.2V 电源过压事件标志<br>0: 事件未发生<br>1: 事件已发生                                           |
| 0  | VDD12UV   | RO | 0x0 | 1.2V 电源欠压事件标志<br>0: 事件未发生<br>1: 事件已发生                                           |

### 24.13.2.12 不可屏蔽中断标志寄存器 (NMIF)

表 24-27: 不可屏蔽中断标志寄存器 (NMIF) 位段定义

|                                                               |         |           |           |         |          |          |         |
|---------------------------------------------------------------|---------|-----------|-----------|---------|----------|----------|---------|
| NMIF (Non-Maskable Interrupt Flag Register)                   |         |           |           |         |          |          |         |
| Access: SYSTEM->NMIF    Offset: 0x002C    Default: 0x00000000 |         |           |           |         |          |          |         |
| 31                                                            | 30      | 29        | 28        | 27      | 26       | 25       | 24      |
| RESERVED                                                      |         |           |           |         |          |          |         |
| 23                                                            | 22      | 21        | 20        | 19      | 18       | 17       | 16      |
| RESERVED                                                      |         | INT       | RESERVED  |         | WDTOTO   | RESERVED |         |
| 15                                                            | 14      | 13        | 12        | 11      | 10       | 9        | 8       |
| RESERVED                                                      | RAM1MBE | RAM1SBE   | RAM0MBE   | RAM0SBE | FLASHMBE | FLASHSBE | ROMMBE  |
| 7                                                             | 6       | 5         | 4         | 3       | 2        | 1        | 0       |
| ROMSBE                                                        | GPIONMI | CLKDETERR | PLLUNLOCK | VDD33OV | VDD33UV  | VDD12OV  | VDD12UV |

表 24-28: 不可屏蔽中断标志寄存器 (NMIF) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                 |
|-------|----------------|----|-----|--------------------------------------------------------------------|
| 31:22 | RESERVED_31_22 | RO | 0x0 | 保留                                                                 |
| 21    | INT            | RO | 0x0 | 不可屏蔽中断全局中断标志<br>0: 中断未发生<br>1: 中断已产生, 并已经通知 CPU<br>本位段被清除之前不会产生新中断 |
| 20:19 | RESERVED_20_19 | RO | 0x0 | 保留                                                                 |
| 18    | WDTOTO         | RO | 0x0 | 看门狗定时器 0 超时中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断        |
| 17:15 | RESERVED_17_15 | RO | 0x0 | 保留                                                                 |
| 14    | RAM1MBE        | RO | 0x0 | RAM1 读取时 ECC 多比特错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 13    | RAM1SBE        | RO | 0x0 | RAM1 读取时 ECC 单比特错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 12    | RAM0MBE        | RO | 0x0 | RAM0 读取时 ECC 多比特错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |



| 位段 | 位段名       | 属性 | 复位值 | 描述                                                                  |
|----|-----------|----|-----|---------------------------------------------------------------------|
| 11 | RAM0SBE   | RO | 0x0 | RAM0 读取时 ECC 单比特错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断  |
| 10 | FLASHMBE  | RO | 0x0 | Flash 读取时 ECC 多比特错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 9  | FLASHSBE  | RO | 0x0 | Flash 读取时 ECC 单比特错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 8  | ROMMBE    | RO | 0x0 | ROM 读取时 ECC 多比特错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断   |
| 7  | ROMSBE    | RO | 0x0 | ROM 读取时 ECC 单比特错误中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断   |
| 6  | GPIONMI   | RO | 0x0 | GPIO 不可屏蔽中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断           |
| 5  | CLKDETERR | RO | 0x0 | 时钟交叉检测模块报错中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断          |
| 4  | PLLUNLOCK | RO | 0x0 | PLL 失锁中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断              |
| 3  | VDD33OV   | RO | 0x0 | 3.3V 电源过压中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断           |

| 位段 | 位段名     | 属性 | 复位值 | 描述                                                        |
|----|---------|----|-----|-----------------------------------------------------------|
| 2  | VDD33UV | RO | 0x0 | 3.3V 电源欠压中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 1  | VDD12OV | RO | 0x0 | 1.2V 电源过压中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |
| 0  | VDD12UV | RO | 0x0 | 1.2V 电源欠压中断标志<br>0: 中断未发生<br>1: 中断已发生<br>本位段被清除前新事件不再触发中断 |

## 24.13.2.13 不可屏蔽中断清除寄存器 (NMIC)

表 24-29: 不可屏蔽中断清除寄存器 (NMIC) 位段定义

|                                                               |         |           |           |         |          |          |         |
|---------------------------------------------------------------|---------|-----------|-----------|---------|----------|----------|---------|
| NMIC (Non-Maskable Interrupt Clear Register)                  |         |           |           |         |          |          |         |
| Access: SYSTEM->NMIC    Offset: 0x0030    Default: 0x00000000 |         |           |           |         |          |          |         |
| 31                                                            | 30      | 29        | 28        | 27      | 26       | 25       | 24      |
| RESERVED                                                      |         |           |           |         |          |          |         |
| 23                                                            | 22      | 21        | 20        | 19      | 18       | 17       | 16      |
| RESERVED                                                      |         | INT       | RESERVED  |         | WDTOTO   | RESERVED |         |
| 15                                                            | 14      | 13        | 12        | 11      | 10       | 9        | 8       |
| RESERVED                                                      | RAM1MBE | RAM1SBE   | RAM0MBE   | RAM0SBE | FLASHMBE | FLASHSBE | ROMMBE  |
| 7                                                             | 6       | 5         | 4         | 3       | 2        | 1        | 0       |
| ROMSBE                                                        | GPIONMI | CLKDETERR | PLLUNLOCK | VDD33OV | VDD33UV  | VDD12OV  | VDD12UV |

表 24-30: 不可屏蔽中断清除寄存器 (NMIC) 位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                       |
|-------|----------------|-----|-----|--------------------------------------------------------------------------|
| 31:22 | RESERVED_31_22 | RO  | 0x0 | 保留                                                                       |
| 21    | INT            | W1C | 0x0 | 不可屏蔽中断全局中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除中断标志, 本位段自动清零               |
| 20:19 | RESERVED_20_19 | RO  | 0x0 | 保留                                                                       |
| 18    | WDTOTO         | W1C | 0x0 | 看门狗定时器 0 超时中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零         |
| 17:15 | RESERVED_17_15 | RO  | 0x0 | 保留                                                                       |
| 14    | RAM1MBE        | W1C | 0x0 | RAM1 读取时 ECC 多比特错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |
| 13    | RAM1SBE        | W1C | 0x0 | RAM1 读取时 ECC 单比特错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |
| 12    | RAM0MBE        | W1C | 0x0 | RAM0 读取时 ECC 多比特错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |
| 11    | RAM0SBE        | W1C | 0x0 | RAM0 读取时 ECC 单比特错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零  |
| 10    | FLASHMBE       | W1C | 0x0 | Flash 读取时 ECC 多比特错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |

| 位段 | 位段名       | 属性  | 复位值 | 描述                                                                       |
|----|-----------|-----|-----|--------------------------------------------------------------------------|
| 9  | FLASHSBE  | W1C | 0x0 | Flash 读取时 ECC 单比特错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零 |
| 8  | ROMMBE    | W1C | 0x0 | ROM 读取时 ECC 多比特错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零   |
| 7  | ROMSBE    | W1C | 0x0 | ROM 读取时 ECC 单比特错误中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零   |
| 6  | GPIONMI   | W1C | 0x0 | GPIO 不可屏蔽中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零           |
| 5  | CLKDETERR | W1C | 0x0 | 时钟交叉检测模块报错中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零          |
| 4  | PLLUNLOCK | W1C | 0x0 | PLL 失锁中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零              |
| 3  | VDD33OV   | W1C | 0x0 | 3.3V 电源过压中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零           |
| 2  | VDD33UV   | W1C | 0x0 | 3.3V 电源欠压中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零           |
| 1  | VDD12OV   | W1C | 0x0 | 1.2V 电源过压中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零           |
| 0  | VDD12UV   | W1C | 0x0 | 1.2V 电源欠压中断清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除事件和中断标志, 本位段自动清零           |

## 24.13.2.14 不可屏蔽中断使能寄存器（NMIE）

表 24-31：不可屏蔽中断使能寄存器（NMIE）位段定义

|                                                               |         |           |           |         |          |          |         |
|---------------------------------------------------------------|---------|-----------|-----------|---------|----------|----------|---------|
| NMIE (Non-Maskable Interrupt Enable Register)                 |         |           |           |         |          |          |         |
| Access: SYSTEM->NMIE    Offset: 0x0034    Default: 0x00040000 |         |           |           |         |          |          |         |
| 31                                                            | 30      | 29        | 28        | 27      | 26       | 25       | 24      |
| RESERVED                                                      |         |           |           |         |          |          |         |
| 23                                                            | 22      | 21        | 20        | 19      | 18       | 17       | 16      |
| RESERVED                                                      |         |           | RESERVED  |         | WDTOTO   | RESERVED |         |
| 15                                                            | 14      | 13        | 12        | 11      | 10       | 9        | 8       |
| RESERVED                                                      | RAM1MBE | RAM1SBE   | RAM0MBE   | RAM0SBE | FLASHMBE | FLASHSBE | ROMMBE  |
| 7                                                             | 6       | 5         | 4         | 3       | 2        | 1        | 0       |
| ROMSBE                                                        | GPIONMI | CLKDETERR | PLLUNLOCK | VDD33OV | VDD33UV  | VDD12OV  | VDD12UV |

表 24-32：不可屏蔽中断使能寄存器（NMIE）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                        |
|-------|----------------|----|-----|-------------------------------------------|
| 31:21 | RESERVED_31_21 | RO | 0x0 | 保留                                        |
| 20:19 | RESERVED_20_19 | RW | 0x0 | 保留                                        |
| 18    | WDTOTO         | RW | 0x1 | 看门狗定时器 0 超时中断使能<br>0: 关闭<br>1: 使能         |
| 17:15 | RESERVED_17_15 | RW | 0x0 | 保留                                        |
| 14    | RAM1MBE        | RW | 0x0 | RAM1 读取时 ECC 多比特错误中断使能<br>0: 关闭<br>1: 使能  |
| 13    | RAM1SBE        | RW | 0x0 | RAM1 读取时 ECC 单比特错误中断使能<br>0: 关闭<br>1: 使能  |
| 12    | RAM0MBE        | RW | 0x0 | RAM0 读取时 ECC 多比特错误中断使能<br>0: 关闭<br>1: 使能  |
| 11    | RAM0SBE        | RW | 0x0 | RAM0 读取时 ECC 单比特错误中断使能<br>0: 关闭<br>1: 使能  |
| 10    | FLASHMBE       | RW | 0x0 | Flash 读取时 ECC 多比特错误中断使能<br>0: 关闭<br>1: 使能 |
| 9     | FLASHSBE       | RW | 0x0 | Flash 读取时 ECC 单比特错误中断使能<br>0: 关闭<br>1: 使能 |

| 位段 | 位段名       | 属性 | 复位值 | 描述                                      |
|----|-----------|----|-----|-----------------------------------------|
| 8  | ROMMBE    | RW | 0x0 | ROM 读取时 ECC 多比特错误中断使能<br>0: 关闭<br>1: 使能 |
| 7  | ROMSBE    | RW | 0x0 | ROM 读取时 ECC 单比特错误中断使能<br>0: 关闭<br>1: 使能 |
| 6  | GPIONMI   | RW | 0x0 | GPIO 不可屏蔽中断使能<br>0: 关闭<br>1: 使能         |
| 5  | CLKDETERR | RW | 0x0 | 时钟交叉检测模块报错中断使能<br>0: 关闭<br>1: 使能        |
| 4  | PLLUNLOCK | RW | 0x0 | PLL 失锁中断使能<br>0: 关闭<br>1: 使能            |
| 3  | VDD33OV   | RW | 0x0 | 3.3V 电源过压中断使能<br>0: 关闭<br>1: 使能         |
| 2  | VDD33UV   | RW | 0x0 | 3.3V 电源欠压中断使能<br>0: 关闭<br>1: 使能         |
| 1  | VDD12OV   | RW | 0x0 | 1.2V 电源过压中断使能<br>0: 关闭<br>1: 使能         |
| 0  | VDD12UV   | RW | 0x0 | 1.2V 电源欠压中断使能<br>0: 关闭<br>1: 使能         |

## 24.13.2.15 复位事件标志寄存器（RSTEVTFLG）

表 24-33: 复位事件标志寄存器（RSTEVTFLG）位段定义

| RSTEVTFLG (Reset Event Flag Register)                              |        |           |           |         |          |         |         |
|--------------------------------------------------------------------|--------|-----------|-----------|---------|----------|---------|---------|
| Access: SYSTEM->RSTEVTFLG    Offset: 0x0038    Default: 0x00000000 |        |           |           |         |          |         |         |
| 31                                                                 | 30     | 29        | 28        | 27      | 26       | 25      | 24      |
| RESERVED                                                           |        |           |           |         |          |         |         |
| 23                                                                 | 22     | 21        | 20        | 19      | 18       | 17      | 16      |
| RESERVED                                                           |        |           |           |         |          |         |         |
| 15                                                                 | 14     | 13        | 12        | 11      | 10       | 9       | 8       |
| RESERVED                                                           | PINRST | SYSRST    | WDT1RST   | WDTORST | RESERVED | RAM1MBE | RAM0MBE |
| 7                                                                  | 6      | 5         | 4         | 3       | 2        | 1       | 0       |
| FLASHMBE                                                           | ROMMBE | CLKDETERR | PLLUNLOCK | VDD33OV | VDD33UV  | VDD12OV | VDD12UV |

表 24-34: 复位事件标志寄存器（RSTEVTFLG）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                |
|-------|----------------|----|-----|---------------------------------------------------|
| 31:15 | RESERVED_31_15 | RO | 0x0 | 保留                                                |
| 14    | PINRST         | RO | 0x0 | XRSTn 引脚复位事件标志<br>0: 事件未发生<br>1: 事件已发生            |
| 13    | SYSRST         | RO | 0x0 | SYSRESET 复位事件标志<br>0: 事件未发生<br>1: 事件已发生           |
| 12    | WDT1RST        | RO | 0x0 | WDT1 复位事件标志<br>0: 事件未发生<br>1: 事件已发生               |
| 11    | WDTORST        | RO | 0x0 | WDT0 复位事件标志<br>0: 事件未发生<br>1: 事件已发生               |
| 10    | RESERVED       | RO | 0x0 | 保留                                                |
| 9     | RAM1MBE        | RO | 0x0 | RAM1 读取时 ECC 多比特错误复位事件标志<br>0: 事件未发生<br>1: 事件已发生  |
| 8     | RAM0MBE        | RO | 0x0 | RAM0 读取时 ECC 多比特错误复位事件标志<br>0: 事件未发生<br>1: 事件已发生  |
| 7     | FLASHMBE       | RO | 0x0 | Flash 读取时 ECC 多比特错误复位事件标志<br>0: 事件未发生<br>1: 事件已发生 |

| 位段 | 位段名       | 属性 | 复位值 | 描述                                              |
|----|-----------|----|-----|-------------------------------------------------|
| 6  | ROMMBE    | RO | 0x0 | ROM 读取时 ECC 多比特错误复位事件标志<br>0: 事件未发生<br>1: 事件已发生 |
| 5  | CLKDETERR | RO | 0x0 | 时钟交叉检测错误复位事件标志<br>0: 事件未发生<br>1: 事件已发生          |
| 4  | PLLUNLOCK | RO | 0x0 | PLL 失锁复位事件标志<br>0: 事件未发生<br>1: 事件已发生            |
| 3  | VDD33OV   | RO | 0x0 | 3.3V 电源过压复位事件标志<br>0: 事件未发生<br>1: 事件已发生         |
| 2  | VDD33UV   | RO | 0x0 | 3.3V 电源欠压复位事件标志<br>0: 事件未发生<br>1: 事件已发生         |
| 1  | VDD12OV   | RO | 0x0 | 1.2V 电源过压复位事件标志<br>0: 事件未发生<br>1: 事件已发生         |
| 0  | VDD12UV   | RO | 0x0 | 1.2V 电源欠压复位事件标志<br>0: 事件未发生<br>1: 事件已发生         |



## 24.13.2.16 复位事件清除寄存器（RSTEVTCLR）

表 24-35: 复位事件清除寄存器（RSTEVTCLR）位段定义

| RSTEVTCLR (Reset Event Clear Register)                             |        |           |           |         |          |         |         |
|--------------------------------------------------------------------|--------|-----------|-----------|---------|----------|---------|---------|
| Access: SYSTEM->RSTEVTCLR    Offset: 0x003C    Default: 0x00000000 |        |           |           |         |          |         |         |
| 31                                                                 | 30     | 29        | 28        | 27      | 26       | 25      | 24      |
| RESERVED                                                           |        |           |           |         |          |         |         |
| 23                                                                 | 22     | 21        | 20        | 19      | 18       | 17      | 16      |
| RESERVED                                                           |        |           |           |         |          |         |         |
| 15                                                                 | 14     | 13        | 12        | 11      | 10       | 9       | 8       |
| RESERVED                                                           | PINRST | SYSRST    | WDT1RST   | WDTORST | RESERVED | RAM1MBE | RAM0MBE |
| 7                                                                  | 6      | 5         | 4         | 3       | 2        | 1       | 0       |
| FLASHMBE                                                           | ROMMBE | CLKDETERR | PLLUNLOCK | VDD33OV | VDD33UV  | VDD12OV | VDD12UV |

表 24-36: 复位事件清除寄存器（RSTEVTCLR）位段描述

| 位段    | 位段名            | 属性  | 复位值 | 描述                                                                        |
|-------|----------------|-----|-----|---------------------------------------------------------------------------|
| 31:15 | RESERVED_31_15 | RO  | 0x0 | 保留                                                                        |
| 14    | PINRST         | W1C | 0x0 | XRSTn 引脚复位事件清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除复位事件标志, 本位段自动清零            |
| 13    | SYSRST         | W1C | 0x0 | SYSRESET 复位事件清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除复位事件标志, 本位段自动清零           |
| 12    | WDT1RST        | W1C | 0x0 | WDT1 复位事件清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除复位事件标志, 本位段自动清零               |
| 11    | WDTORST        | W1C | 0x0 | WDT0 复位事件清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除复位事件标志, 本位段自动清零               |
| 10    | RESERVED       | RO  | 0x0 | 保留                                                                        |
| 9     | RAM1MBE        | W1C | 0x0 | RAM1 读取时 ECC 多比特错误复位事件清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除复位事件标志, 本位段自动清零  |
| 8     | RAM0MBE        | W1C | 0x0 | RAM0 读取时 ECC 多比特错误复位事件清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除复位事件标志, 本位段自动清零  |
| 7     | FLASHMBE       | W1C | 0x0 | Flash 读取时 ECC 多比特错误复位事件清除<br>0: 写 0 无效, 读总是 0<br>1: 写 1 清除复位事件标志, 本位段自动清零 |
| 6     | ROMMBE         | W1C | 0x0 | ROM 读取时 ECC 多比特错误复位事件清除                                                   |

| 位段 | 位段名       | 属性  | 复位值 | 描述                                                            |
|----|-----------|-----|-----|---------------------------------------------------------------|
|    |           |     |     | 0: 写 0 无效，读总是 0<br>1: 写 1 清除复位事件标志，本位段自动清零                    |
| 5  | CLKDEERR  | W1C | 0x0 | 时钟交叉检测错误复位事件清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除复位事件标志，本位段自动清零  |
| 4  | PLLUNLOCK | W1C | 0x0 | PLL 失锁复位事件清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除复位事件标志，本位段自动清零    |
| 3  | VDD33OV   | W1C | 0x0 | 3.3V 电源过压复位事件清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除复位事件标志，本位段自动清零 |
| 2  | VDD33UV   | W1C | 0x0 | 3.3V 电源欠压复位事件清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除复位事件标志，本位段自动清零 |
| 1  | VDD12OV   | W1C | 0x0 | 1.2V 电源过压复位事件清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除复位事件标志，本位段自动清零 |
| 0  | VDD12UV   | W1C | 0x0 | 1.2V 电源欠压复位事件清除<br>0: 写 0 无效，读总是 0<br>1: 写 1 清除复位事件标志，本位段自动清零 |

## 24.13.2.17 复位事件使能寄存器（RSTEV TEN）

表 24-37：复位事件使能寄存器（RSTEV TEN）位段定义

| RSTEV TEN (Reset Event Enable Register)                            |        |           |           |         |          |         |         |
|--------------------------------------------------------------------|--------|-----------|-----------|---------|----------|---------|---------|
| Access: SYSTEM->RSTEV TEN    Offset: 0x0040    Default: 0x00001800 |        |           |           |         |          |         |         |
| 31                                                                 | 30     | 29        | 28        | 27      | 26       | 25      | 24      |
| RESERVED                                                           |        |           |           |         |          |         |         |
| 23                                                                 | 22     | 21        | 20        | 19      | 18       | 17      | 16      |
| RESERVED                                                           |        |           |           |         |          |         |         |
| 15                                                                 | 14     | 13        | 12        | 11      | 10       | 9       | 8       |
| RESERVED                                                           |        |           | WDT1RST   | WDT0RST | RESERVED | RAM1MBE | RAM0MBE |
| 7                                                                  | 6      | 5         | 4         | 3       | 2        | 1       | 0       |
| FLASHMBE                                                           | ROMMBE | CLKDETERR | PLLUNLOCK | VDD33OV | VDD33UV  | VDD12OV | VDD12UV |

表 24-38：复位事件使能寄存器（RSTEV TEN）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                          |
|-------|----------------|----|-----|---------------------------------------------|
| 31:13 | RESERVED_31_13 | RO | 0x0 | 保留                                          |
| 12    | WDT1RST        | RW | 0x1 | WDT1 复位事件使能<br>0: 关闭<br>1: 使能               |
| 11    | WDT0RST        | RW | 0x1 | WDT0 复位事件使能<br>0: 关闭<br>1: 使能               |
| 10    | RESERVED       | RW | 0x0 | 保留                                          |
| 9     | RAM1MBE        | RW | 0x0 | RAM1 读取时 ECC 多比特错误复位事件使能<br>0: 关闭<br>1: 使能  |
| 8     | RAM0MBE        | RW | 0x0 | RAM0 读取时 ECC 多比特错误复位事件使能<br>0: 关闭<br>1: 使能  |
| 7     | FLASHMBE       | RW | 0x0 | Flash 读取时 ECC 多比特错误复位事件使能<br>0: 关闭<br>1: 使能 |
| 6     | ROMMBE         | RW | 0x0 | ROM 读取时 ECC 多比特错误复位事件使能<br>0: 关闭<br>1: 使能   |
| 5     | CLKDETERR      | RW | 0x0 | 时钟交叉检测错误复位事件使能<br>0: 关闭<br>1: 使能            |

| 位段 | 位段名       | 属性 | 复位值 | 描述                                |
|----|-----------|----|-----|-----------------------------------|
| 4  | PLLUNLOCK | RW | 0x0 | PLL 失锁复位事件使能<br>0: 关闭<br>1: 使能    |
| 3  | VDD33OV   | RW | 0x0 | 3.3V 电源过压复位事件使能<br>0: 关闭<br>1: 使能 |
| 2  | VDD33UV   | RW | 0x0 | 3.3V 电源欠压复位事件使能<br>0: 关闭<br>1: 使能 |
| 1  | VDD12OV   | RW | 0x0 | 1.2V 电源过压复位事件使能<br>0: 关闭<br>1: 使能 |
| 0  | VDD12UV   | RW | 0x0 | 1.2V 电源欠压复位事件使能<br>0: 关闭<br>1: 使能 |

## 24.13.2.18 系统信息寄存器 (SYSINFO)

表 24-39: 系统信息寄存器 (SYSINFO) 位段定义

|                                                                  |    |    |            |          |           |        |         |
|------------------------------------------------------------------|----|----|------------|----------|-----------|--------|---------|
| SYSINFO (System Information Register)                            |    |    |            |          |           |        |         |
| Access: SYSTEM->SYSINFO    Offset: 0x0044    Default: 0x00000FFF |    |    |            |          |           |        |         |
| 31                                                               | 30 | 29 | 28         | 27       | 26        | 25     | 24      |
| RESERVED                                                         |    |    |            |          |           |        |         |
| 23                                                               | 22 | 21 | 20         | 19       | 18        | 17     | 16      |
| RESERVED                                                         |    |    |            |          |           |        |         |
| 15                                                               | 14 | 13 | 12         | 11       | 10        | 9      | 8       |
| RESERVED                                                         |    |    | FLASHCACHE | FLASHECC | CPUNUM    | ADCBIT |         |
| 7                                                                | 6  | 5  | 4          | 3        | 2         | 1      | 0       |
| CLKOPT                                                           |    |    | RAMSIZE    |          | FLASHSIZE |        | ROMSIZE |

表 24-40: 系统信息寄存器 (SYSINFO) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                                                                                               |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 31:13 | RESERVED_31_13 | RO | 0x0 | 保留                                                                                                                                                                               |
| 12    | FLASHCACHE     | RO | 0x0 | Flash 就地执行读缓存支持<br>0: 不支持<br>1: 支持                                                                                                                                               |
| 11    | FLASHECC       | RO | 0x1 | Flash 访问 ECC 使能<br>0: 关闭<br>1: 使能                                                                                                                                                |
| 10    | CPUNUM         | RO | 0x0 | CPU 核的数量<br>0: 单核<br>1: 双核                                                                                                                                                       |
| 9:8   | ADCBIT         | RO | 0x3 | ADC 精度<br>0: 11 位<br>1: 12 位<br>2: 13 位<br>3: 14 位                                                                                                                               |
| 7:5   | CLKOPT         | RO | 0x7 | 时钟选项<br>0: 最高频率 120MHz, 不支持晶振<br>1: 最高频率 150MHz, 不支持晶振<br>2: 最高频率 200MHz, 不支持晶振<br>3: 最高频率 240MHz, 不支持晶振<br>4: 最高频率 120MHz<br>5: 最高频率 150MHz<br>6: 最高频率 200MHz<br>7: 最高频率 240MHz |

| 位段  | 位段名       | 属性 | 复位值 | 描述                                                                                                                                           |
|-----|-----------|----|-----|----------------------------------------------------------------------------------------------------------------------------------------------|
| 4:3 | RAMSIZE   | RO | 0x3 | RAM 大小<br>0: 128KB (从 0x1FFA 0000 到 0x1FFB FFFF)<br>1: 192KB (从 0x1FFA 0000 到 0x1FFC FFFF)<br>2: 256KB (从 0x1FFA 0000 到 0x1FFD FFFF)         |
| 2:1 | FLASHSIZE | RO | 0x3 | Flash 就地执行寻址大小<br>0: 128KB (从 0x1000 0000 到 0x1001 FFFF)<br>1: 256KB (从 0x1000 0000 到 0x1003 FFFF)<br>2: 512KB (从 0x1000 0000 到 0x1007 FFFF) |
| 0   | ROMSIZE   | RO | 0x1 | ROM 固化 API 函数支持<br>0: 仅支持基本的 Flash 操作和电源模式函数<br>1: 完整的函数支持 (包括三角函数等)                                                                         |

#### 24.13.2.19 ROM 访问 ECC 错误地址寄存器 (ROMERRADDR)

表 24-41: ROM 访问 ECC 错误地址寄存器 (ROMERRADDR) 位段定义

| ROMERRADDR (ROM ECC Error Address Register) |    |                |    |                     |    |    |    |
|---------------------------------------------|----|----------------|----|---------------------|----|----|----|
| Access: SYSTEM->ROMERRADDR                  |    | Offset: 0x0048 |    | Default: 0xFFFFFFFF |    |    |    |
| 31                                          | 30 | 29             | 28 | 27                  | 26 | 25 | 24 |
| VAL                                         |    |                |    |                     |    |    |    |
| 23                                          | 22 | 21             | 20 | 19                  | 18 | 17 | 16 |
| VAL                                         |    |                |    |                     |    |    |    |
| 15                                          | 14 | 13             | 12 | 11                  | 10 | 9  | 8  |
| VAL                                         |    |                |    |                     |    |    |    |
| 7                                           | 6  | 5              | 4  | 3                   | 2  | 1  | 0  |
| VAL                                         |    |                |    |                     |    |    |    |

表 24-42: ROM 访问 ECC 错误地址寄存器 (ROMERRADDR) 位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                  |
|------|-----|----|------------|---------------------|
| 31:0 | VAL | RO | 0xFFFFFFFF | ROM 读取时发生 ECC 错误的地址 |

**24.13.2.20 Flash 访问 ECC 错误地址寄存器 (FLASHERRADDR)****表 24-43: Flash 访问 ECC 错误地址寄存器 (FLASHERRADDR) 位段定义**

| FLASHERRADDR (Flash ECC Error Address Register) |    |    |    |                |    |                     |    |
|-------------------------------------------------|----|----|----|----------------|----|---------------------|----|
| Access: SYSTEM->FLASHERRADDR                    |    |    |    | Offset: 0x004C |    | Default: 0xFFFFFFFF |    |
| 31                                              | 30 | 29 | 28 | 27             | 26 | 25                  | 24 |
| VAL                                             |    |    |    |                |    |                     |    |
| 23                                              | 22 | 21 | 20 | 19             | 18 | 17                  | 16 |
| VAL                                             |    |    |    |                |    |                     |    |
| 15                                              | 14 | 13 | 12 | 11             | 10 | 9                   | 8  |
| VAL                                             |    |    |    |                |    |                     |    |
| 7                                               | 6  | 5  | 4  | 3              | 2  | 1                   | 0  |
| VAL                                             |    |    |    |                |    |                     |    |

**表 24-44: Flash 访问 ECC 错误地址寄存器 (FLASHERRADDR) 位段描述**

| 位段   | 位段名 | 属性 | 复位值        | 描述                    |
|------|-----|----|------------|-----------------------|
| 31:0 | VAL | RO | 0xFFFFFFFF | Flash 读取时发生 ECC 错误的地址 |

**24.13.2.21 RAM0 访问 ECC 错误地址寄存器 (RAM0ERRADDR)****表 24-45: RAM0 访问 ECC 错误地址寄存器 (RAM0ERRADDR) 位段定义**

| RAM0ERRADDR (RAM0 ECC Error Address Register) |    |    |    |                |    |                     |    |
|-----------------------------------------------|----|----|----|----------------|----|---------------------|----|
| Access: SYSTEM->RAM0ERRADDR                   |    |    |    | Offset: 0x0050 |    | Default: 0xFFFFFFFF |    |
| 31                                            | 30 | 29 | 28 | 27             | 26 | 25                  | 24 |
| VAL                                           |    |    |    |                |    |                     |    |
| 23                                            | 22 | 21 | 20 | 19             | 18 | 17                  | 16 |
| VAL                                           |    |    |    |                |    |                     |    |
| 15                                            | 14 | 13 | 12 | 11             | 10 | 9                   | 8  |
| VAL                                           |    |    |    |                |    |                     |    |
| 7                                             | 6  | 5  | 4  | 3              | 2  | 1                   | 0  |
| VAL                                           |    |    |    |                |    |                     |    |

**表 24-46: RAM0 访问 ECC 错误地址寄存器 (RAM0ERRADDR) 位段描述**

| 位段   | 位段名 | 属性 | 复位值        | 描述                   |
|------|-----|----|------------|----------------------|
| 31:0 | VAL | RO | 0xFFFFFFFF | RAM0 读取时发生 ECC 错误的地址 |

**24.13.2.22 RAM1 访问 ECC 错误地址寄存器 (RAM1ERRADDR)****表 24-47: RAM1 访问 ECC 错误地址寄存器 (RAM1ERRADDR) 位段定义**

| RAM1ERRADDR (RAM1 ECC Error Address Register) |    |    |    |                |    |                     |    |
|-----------------------------------------------|----|----|----|----------------|----|---------------------|----|
| Access: SYSTEM->RAM1ERRADDR                   |    |    |    | Offset: 0x0054 |    | Default: 0xFFFFFFFF |    |
| 31                                            | 30 | 29 | 28 | 27             | 26 | 25                  | 24 |
| VAL                                           |    |    |    |                |    |                     |    |
| 23                                            | 22 | 21 | 20 | 19             | 18 | 17                  | 16 |
| VAL                                           |    |    |    |                |    |                     |    |
| 15                                            | 14 | 13 | 12 | 11             | 10 | 9                   | 8  |
| VAL                                           |    |    |    |                |    |                     |    |
| 7                                             | 6  | 5  | 4  | 3              | 2  | 1                   | 0  |
| VAL                                           |    |    |    |                |    |                     |    |

**表 24-48: RAM1 访问 ECC 错误地址寄存器 (RAM1ERRADDR) 位段描述**

| 位段   | 位段名 | 属性 | 复位值        | 描述                   |
|------|-----|----|------------|----------------------|
| 31:0 | VAL | RO | 0xFFFFFFFF | RAM1 读取时发生 ECC 错误的地址 |

**24.13.2.23 调试接口控制寄存器 (DBGIFCTL)****表 24-49: 调试接口控制寄存器 (DBGIFCTL) 位段定义**

| DBGIFCTL (Debug Interface Control Register) |    |    |    |                |      |                     |    |
|---------------------------------------------|----|----|----|----------------|------|---------------------|----|
| Access: SYSTEM->DBGIFCTL                    |    |    |    | Offset: 0x0060 |      | Default: 0x00000004 |    |
| 31                                          | 30 | 29 | 28 | 27             | 26   | 25                  | 24 |
| RESERVED                                    |    |    |    |                |      |                     |    |
| 23                                          | 22 | 21 | 20 | 19             | 18   | 17                  | 16 |
| RESERVED                                    |    |    |    |                |      |                     |    |
| 15                                          | 14 | 13 | 12 | 11             | 10   | 9                   | 8  |
| RESERVED                                    |    |    |    |                |      |                     |    |
| 7                                           | 6  | 5  | 4  | 3              | 2    | 1                   | 0  |
| RESERVED                                    |    |    |    |                | MODE |                     |    |

**表 24-50: 调试接口控制寄存器 (DBGIFCTL) 位段描述**

| 位段   | 位段名           | 属性 | 复位值 | 描述                                                      |
|------|---------------|----|-----|---------------------------------------------------------|
| 31:3 | RESERVED_31_3 | RO | 0x0 | 保留                                                      |
| 2:0  | MODE          | RW | 0x4 | 调试接口模式, 详见表 4-4<br>0: 关闭调试接口<br>1: JTAG 接口<br>4: SWD 接口 |



## 24.13.2.24 引导信息寄存器（BOOTINFO）

表 24-51：引导信息寄存器（BOOTINFO）位段定义

|                                                                   |    |    |    |    |    |    |                   |
|-------------------------------------------------------------------|----|----|----|----|----|----|-------------------|
| BOOTINFO (Boot Information Register)                              |    |    |    |    |    |    |                   |
| Access: SYSTEM->BOOTINFO    Offset: 0x0068    Default: 0x80010000 |    |    |    |    |    |    |                   |
| 31<br>BOOTPINLVL                                                  | 30 | 29 | 28 | 27 | 26 | 25 | 24                |
| RESERVED                                                          |    |    |    |    |    |    |                   |
| 23                                                                | 22 | 21 | 20 | 19 | 18 | 17 | 16<br>RAMBISRPASS |
| RESERVED                                                          |    |    |    |    |    |    |                   |
| 15                                                                | 14 | 13 | 12 | 11 | 10 | 9  | 8                 |
| BOOTCNT                                                           |    |    |    |    |    |    |                   |
| 7                                                                 | 6  | 5  | 4  | 3  | 2  | 1  | 0                 |
| BOOTCNT                                                           |    |    |    |    |    |    |                   |

表 24-52：引导信息寄存器（BOOTINFO）位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                                                                                 |
|-------|----------------|----|-----|----------------------------------------------------------------------------------------------------|
| 31    | BOOTPINLVL     | RO | 0x1 | GPIO77 引脚电平                                                                                        |
| 30:17 | RESERVED_30_17 | RO | 0x0 | 保留                                                                                                 |
| 16    | RAMBISRPASS    | RO | 0x1 | RAM 上电内建自修复结果<br>0: 失败<br>1: 成功                                                                    |
| 15:0  | BOOTCNT        | RW | 0x0 | 上电后引导的次数<br>每当重新上电时本位段复位成 0，之后每运行一次引导程序（例如：由复位引起），会导致该计数值加 1。<br>由于重新上电后也会运行引导，所以用户能看到的本位段的最小值是 1。 |

### 24.13.2.25 DMA 硬件握手控制寄存器 (DMAHSCTL)

表 24-53: DMA 硬件握手控制寄存器 (DMAHSCTL) 位段定义

|                                                             |           |          |    |    |           |           |          |
|-------------------------------------------------------------|-----------|----------|----|----|-----------|-----------|----------|
| DMAHSCTL (DMA Hardware Handshake Control Register)          |           |          |    |    |           |           |          |
| Access: SYSTEM->DMAHSCTL Offset: 0x006C Default: 0x000007FF |           |          |    |    |           |           |          |
| 31                                                          | 30        | 29       | 28 | 27 | 26        | 25        | 24       |
| RESERVED                                                    |           |          |    |    |           |           |          |
| 23                                                          | 22        | 21       | 20 | 19 | 18        | 17        | 16       |
| RESERVED                                                    |           |          |    |    |           |           |          |
| 15                                                          | 14        | 13       | 12 | 11 | 10        | 9         | 8        |
| RESERVED                                                    |           |          |    |    | DMAC1HS11 | DMAC1HS10 | DMAC1HS9 |
| 7                                                           | 6         | 5        | 4  | 3  | 2         | 1         | 0        |
| DMAC0HS15                                                   | DMAC0HS14 | RESERVED |    |    |           | DMAC0HS9  | DMAC0HS8 |

表 24-54: DMA 硬件握手控制寄存器 (DMAHSCTL) 位段描述

| 位段    | 位段名            | 属性 | 复位值 | 描述                                         |
|-------|----------------|----|-----|--------------------------------------------|
| 31:11 | RESERVED_31_11 | RO | 0x0 | 保留                                         |
| 10    | DMAC1HS11      | RW | 0x1 | DMAC1 硬件握手通道 11 的功能<br>0: I2C2_TX<br>1: 浮空 |
| 9     | DMAC1HS10      | RW | 0x1 | DMAC1 硬件握手通道 10 的功能<br>0: I2C2_RX<br>1: 浮空 |
| 8     | DMAC1HS9       | RW | 0x1 | DMAC1 硬件握手通道 9 的功能<br>0: I2C1_TX<br>1: 浮空  |
| 7     | DMAC0HS15      | RW | 0x1 | DMAC0 硬件握手通道 15 的功能<br>0: 浮空<br>1: QSPI_TX |
| 6     | DMAC0HS14      | RW | 0x1 | DMAC0 硬件握手通道 14 的功能<br>0: 浮空<br>1: QSPI_RX |
| 5:2   | RESERVED_5_2   | RW | 0xF | 保留                                         |
| 1     | DMAC0HS9       | RW | 0x1 | DMAC0 硬件握手通道 9 的功能<br>0: UART4_TX<br>1: 浮空 |
| 0     | DMAC0HS8       | RW | 0x1 | DMAC0 硬件握手通道 8 的功能<br>0: UART4_RX<br>1: 浮空 |

## 24.13.2.26 上电永久寄存器 0 (NVREG0)

表 24-55: 上电永久寄存器 0 (NVREG0) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| NVREG0 (Non-Volatile Register 0)                                |    |    |    |    |    |    |    |
| Access: SYSTEM->NVREG0    Offset: 0x0070    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 24-56: 上电永久寄存器 0 (NVREG0) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述           |
|------|-----|----|-----|--------------|
| 31:0 | VAL | RW | 0x0 | 本寄存器仅在上电时会复位 |

## 24.13.2.27 上电永久寄存器 1 (NVREG1)

表 24-57: 上电永久寄存器 1 (NVREG1) 位段定义

|                                                                 |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| NVREG1 (Non-Volatile Register 1)                                |    |    |    |    |    |    |    |
| Access: SYSTEM->NVREG1    Offset: 0x0074    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 24-58: 上电永久寄存器 1 (NVREG1) 位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述           |
|------|-----|----|-----|--------------|
| 31:0 | VAL | RW | 0x0 | 本寄存器仅在上电时会复位 |

### 24.13.2.28 上电永久寄存器 2（NVREG2）

表 24-59：上电永久寄存器 2（NVREG2）位段定义

| NVREG2 (Non-Volatile Register 2)                                |    |    |    |    |    |    |    |
|-----------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: SYSTEM->NVREG2    Offset: 0x0078    Default: 0x00000000 |    |    |    |    |    |    |    |
| 31                                                              | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| VAL                                                             |    |    |    |    |    |    |    |
| 23                                                              | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| VAL                                                             |    |    |    |    |    |    |    |
| 15                                                              | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| VAL                                                             |    |    |    |    |    |    |    |
| 7                                                               | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| VAL                                                             |    |    |    |    |    |    |    |

表 24-60：上电永久寄存器 2（NVREG2）位段描述

| 位段   | 位段名 | 属性 | 复位值 | 描述           |
|------|-----|----|-----|--------------|
| 31:0 | VAL | RW | 0x0 | 本寄存器仅在上电时会复位 |

### 24.13.2.29 SYSTEM 模块写使能寄存器（SYSREGKEY）

表 24-61：SYSTEM 模块写使能寄存器（SYSREGKEY）位段定义

| SYSREGKEY (System Register Write-Allow Key Register)               |    |    |    |    |    |    |    |
|--------------------------------------------------------------------|----|----|----|----|----|----|----|
| Access: SYSTEM->SYSREGKEY    Offset: 0x007C    Default: 0x1ACCE551 |    |    |    |    |    |    |    |
| 31                                                                 | 30 | 29 | 28 | 27 | 26 | 25 | 24 |
| KEY                                                                |    |    |    |    |    |    |    |
| 23                                                                 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
| KEY                                                                |    |    |    |    |    |    |    |
| 15                                                                 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
| KEY                                                                |    |    |    |    |    |    |    |
| 7                                                                  | 6  | 5  | 4  | 3  | 2  | 1  | 0  |
| KEY                                                                |    |    |    |    |    |    |    |

表 24-62：SYSTEM 模块写使能寄存器（SYSREGKEY）位段描述

| 位段   | 位段名 | 属性 | 复位值        | 描述                              |
|------|-----|----|------------|---------------------------------|
| 31:0 | KEY | RW | 0x1ACCE551 | 写入 0x1ACCE551 解锁受保护的 SYSTEM 寄存器 |